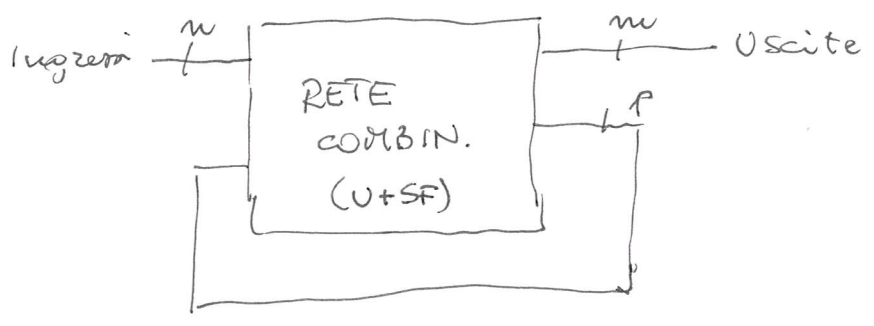


Ancora di reti "cicliche"

- Rinunciamo alla modalità di funzionamento SINCRONA e cerchiamo di trovare un modo di progetto ragionevole per ottenere funzionalità SEQUENZIALI da una normale rete non ACICLICA, quindi con richiuse cicliche.
  - Come fatto inizialmente con il DISTABILE
- Partiamo dall'analisi di una generica rete CICLICA, per vedere poi se e come è possibile invertire la procedura di analisi per definire una STRATEGIA di SINTESI.
- Punto 1: individuare le variabili di stato

nella prima fase dell'analisi cerchiamo di individuare un insieme MINIMO di connessioni la cui apertura rende il circuito ACICLICO (e quindi COMBINATORIO)



Esistono algoritmi che permettono di individuare un set minimo di variabili la cui conoscenza garantisce la conoscenza dell'intera rete. Saremo le nostre VARIABILI DI STATO

- Punto 2: analisi delle rete ACICLICA



Su questa rete abbiamo diverse "aspettative".  
 La prima, è che il rapporto  $V_{out}/V_{in}$  per ogni uscita (SF)  
 rispetto a ogni ingresso (SP) sia in modulo maggiore di 1.  
 (per  $V_{in}$  intermedie)

Otterremo una tabella del tipo

SP	$i_0$	$i_1$	$i_2$	$i_3$	...
$S_0$	( $S_0$ )	( $S_0$ )	$S_2$	$S_1$	
$S_1$	$S_3$	( $S_1$ )	$S_2$	$S_0$	
$S_2$	$S_1$	$S_0$	$S_3$	$S_1$	
$S_3$	( $S_3$ )	$S_2$	$S_2$	( $S_3$ )	
⋮					

nelle caselle c'è lo  
 stato futuro corrisp.  
 a ingresso e stato  
 presente dato

Situazione OSCILLATORIA

→ Sono state cerchiato le combinazioni STABILI  
 ( $SP = SF$ )

→ Se per un ingresso dato NON C'È alcuna configurazione  
 stabile la rete OSCILLERÀ oppure avrà una  
 situazione stabile ma NON logicamente DEFINITA  
 (dipende dai poli della rete). Nell'esempio,  $i_2$ .

→ Se per un ingresso c'è UNA SOLA soluzione stabile,  
 il circuito, se la raggiunge, la mantiene.  
 Ma potrebbe pure accadere che il circuito oscilla  
 tra due situazioni non stabili. Per esempio, con  
 $IN = i_3$  potrebbe esserci una oscillazione tra  $S_0$  e  $S_1$   
 senza mai raggiungere lo stato stabile  $S_3$ .

→ Se per un ingresso ci sono PIÙ SOLUZIONI  
 stabili, occorre capire quale si potrà presentare  
 in funzione della STORIA del circuito.  
 Anche qui potrebbero presentarsi situazioni  
 oscillatorie. (vedi  $i_3$ , tra  $S_1$  e  $S_0$ )

• Punto 3 : data la tabella che descrive la rete che calcola lo STATO FUTURO, capire come si passi da una situazione STABILE a una nuova situazione STABILE, in seguito al cambiamento dell'ingresso.

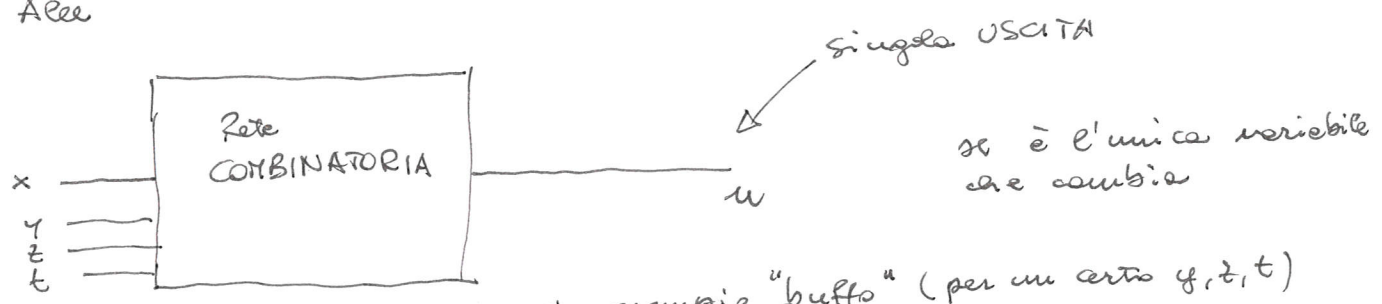
Nell'analisi, quello che noi possiamo ipotizzare (forzando l'utente ad attenersi a regole stringenti) è di MODIFICARE l'ingresso SOLO quando ogni transitorio è esaurito e SOLO un bit alla volta

Quindi, se la rete ha  $n$  ingressi, ci interessano solo le  $(n-1)$  transizioni ADIACENTI.

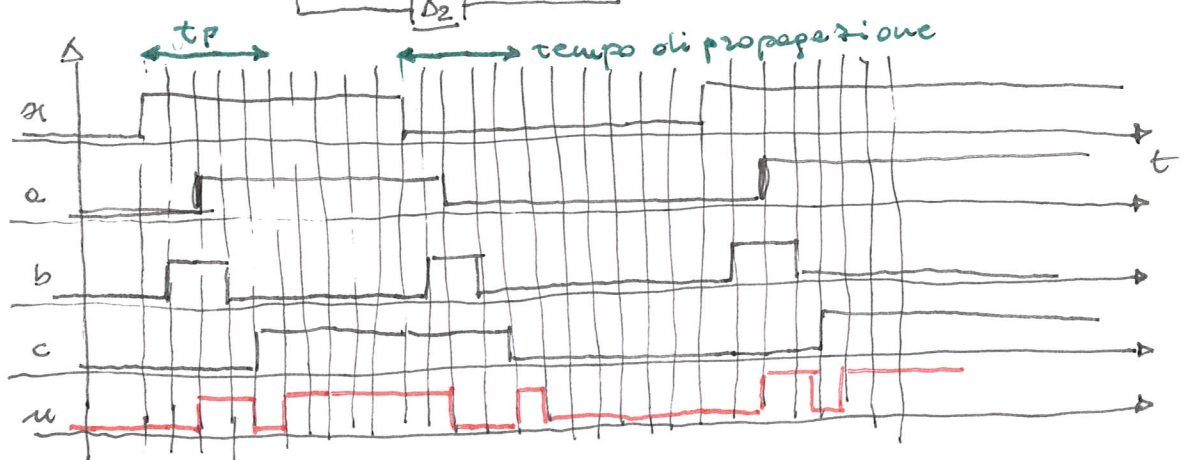
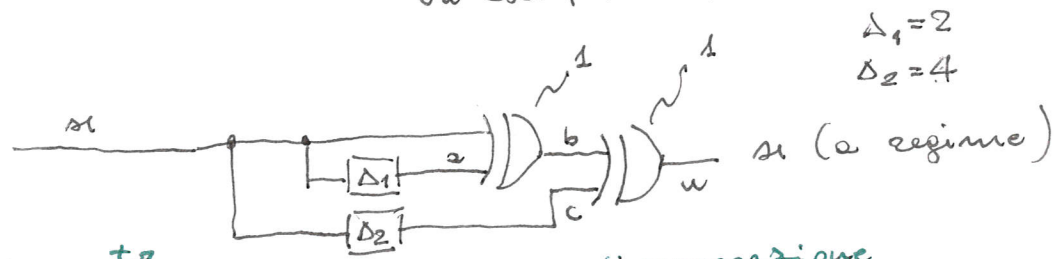
Dopo un certo tempo di propagazione (in generale diverso per ogni uscita) la rete presenterà una uscita stabile; ma cosa accade nel frattempo?

- ⊗ Alle singole variabili potrebbe accadere "di TUTTO" (vedi ALEE)
- ⊗ Possono cambiare PIU' VARIABILI

Ⓐ Alee



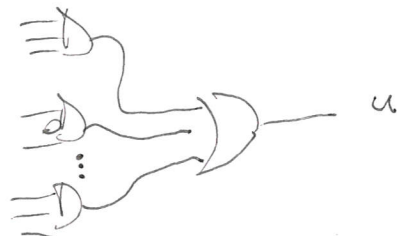
Un esempio "buffo" (per un certo  $y, z, t$ )



ALEA DINAMICA

nell'esempio mostrato appare evidente che l'alea è prodotta da diversi percorsi dell'ingresso si verso l'uscita. una forma NORIALE (SP o PS) presenta meno problemi -

→ in particolare se l'uscita CAMBIA, non tornerà più indietro. Esempio SP

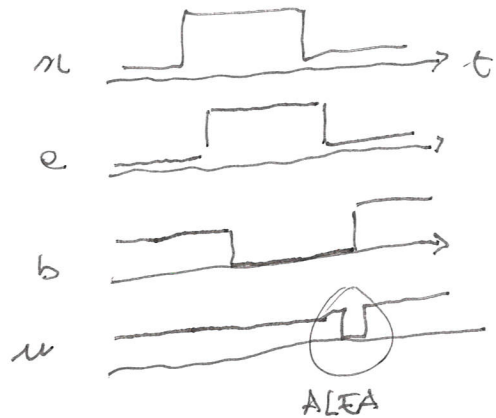
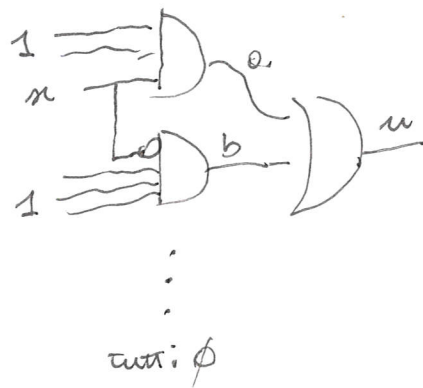


0 → 1 si è attivato uno (o più) termine prodotto

1 → 0 non c'è alcun termine prodotto

Quindi NIENTE ALEE DINAMICHE

→ ci possono però essere ALEE STATICHE (valore prima della commutazione = valore dopo, e regime)  
 in particolare, nelle SP, ci può essere ALEA su livelli ALTO



b ha maggior ritardo (cause inverter); ma se venisse ritardato a si avrebbe alea SULLA PRIMA commutazione

→ Possano essere EVITATE con sintesi NON OTTIMA: tutti gli 1 adiacenti devono essere coperti da uno stesso implicante

	$\bar{y}z$	00	01	11	10
$\bar{x}$	0	0	1	1	0
$x$	1	1	1	0	0

Occorre aggiungere  $\bar{y}z$  (per evitare ALEA sulla commutazione di  $x$ )

→ Criterio di SINTESI per reti in forma NORMALE  
 senza cioè: 2 TERMINI ADIACENTI devono sempre essere  
 contenuti in un UNICO IMPLICANTE (anche qualora questo  
 non fosse necessario nella sintesi ottima.).

③ Le nuove uscite differisce dalla precedente per MOLTE  
 variabili.

potremmo far in modo che il 1° cambiamento ritorni  
 quando tutti i transistori sono eseguiti (AGGIUNGENDO  
 RITARDO all'uscita) ma la stessa cosa non potrà  
 essere garantita alle commutazioni successive.

- L'analisi sarebbe meno CRITICA se tra uno stato e  
 il successivo variasse solo 1 variabile. Si eviterebbero  
 TRANSIZIONI MULTIPLE all'ingresso delle rete, con il  
 rischio di non essere in grado di prevedere  
 l'equilibrio finale.

- Se si VERIFICA questa ulteriore condizione, possiamo  
 usare la tabella  $IN; SP \rightarrow SF$  per determinare  
 l'evoluzione della rete

→ Partiamo da un certo ingresso  $i_0$  e da uno  
 stato stabile  $s_0$

→ Modifichiamo 1 bit dell'ingresso  $i_1$   
 la rete calcola lo stato futuro  $s_1$  (che differisce  
 di un solo bit da  $s_0$ )

NB: se vogliamo essere sicuri che quando  $s_1$   
 arriva in ingresso alla rete siano eseguiti  
 tutti i transistori dovuti al cambio di  
 ingresso, dobbiamo introdurre un RITARDO  
 sul percorso di reazione

→ ALEA ESSENZIALE

→ Se  $S_{y1}$  è di equilibrio di fermiens, altrimenti pensiamo a un nuovo stato adiacente  $S_{y2}$  (a parità di ingresso) e così via, fino a quando incontriamo finalmente uno stato stabile.

(Se non c'è, la macchina OSCILLA)

(Riprendere il punto 3)

Se la rete soddisfa quindi i seguenti criteri

- Cambia 1 solo ingresso alla volta
- Al singolo cambiamento dell'ingresso corrisponde al massimo il cambiamento di 1 sua uscita
- Non ci sono ALEE

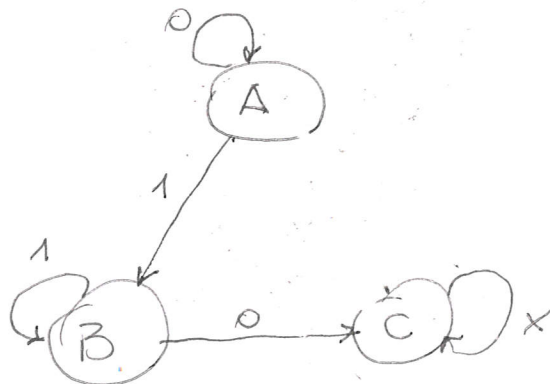
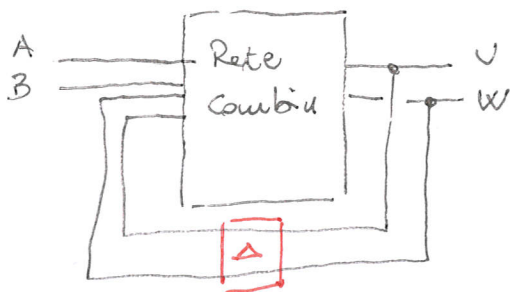
Allora, se il percorso di reazione ha un ritardo superiore al tempo necessario alla rete di andare a regime, si può trasformare la tabella in GRAFO

Punto 4: Un caso particolare che semplifica l'analisi è quello in cui la rete ritrova una situazione di equilibrio dopo un SINGOLO passaggio

Nel grafico, reti di equilibrio hanno un arco che si richiude su se stessa.

### ALEE ESSENZIALI

→ Come può creare problemi l'assenza di un ritardo adeguato?



Tabella

	0	1
A	(A)	B
B	C	(B)
C	(C)	(C)

Rete "BIDIRAZIONALE"

- Gli stati evanescenti codici "sorretti" -

B ediac A  
C ediac B

A 00  
B 01  
C 11

quindi

		IN	
		0	1
A	00	00	01
B	01	11	01
SP	C	11	11
D	10	--	--

$S_1 S_0$

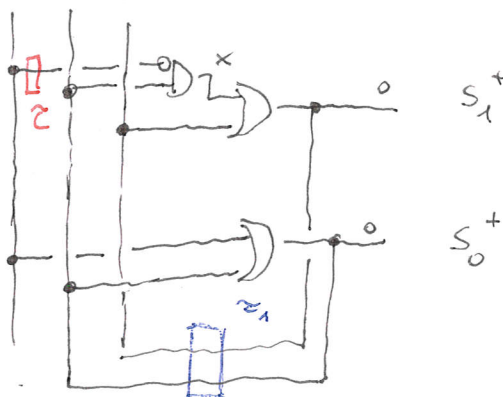


$\overline{IN} S_0 + S_1$   
senza delay

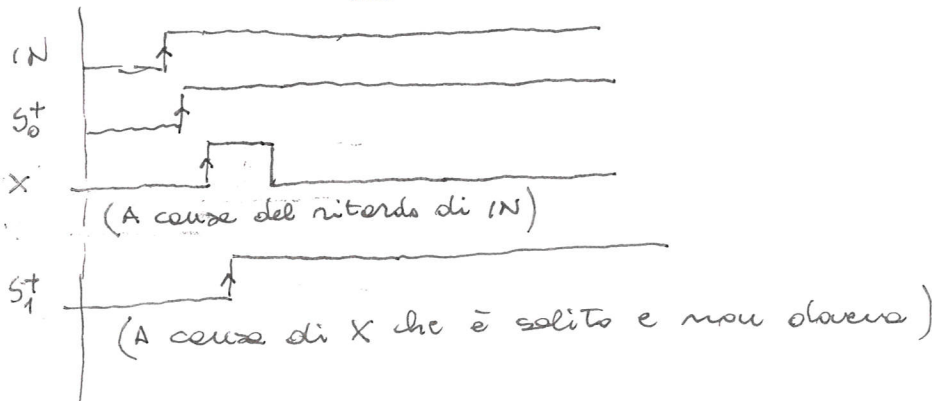


$IN + S_0$   
senza delay

IN S0 S1



- Sono in A, stabile con IN=1
- IN solo
- Mi aspetto di andare e restare in B



- Come si COMBATTONO?

Ci vuole il ritardo  $\tau_1 > t_{pd\max}$ , che impedisca (in questo caso) a  $S_0$  di rientrare con TRANSITORIO IN CORSO

## Requisiti per la SINTESI ASINCRONA

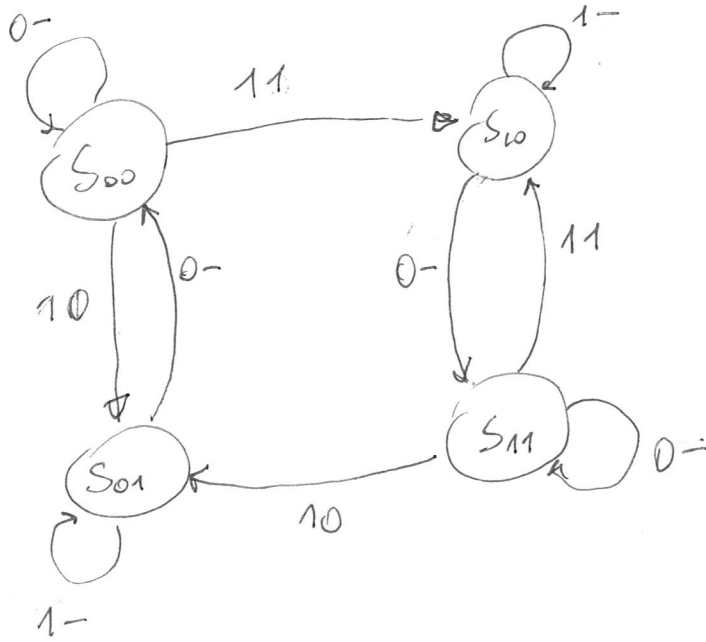
- 1) Reti con rigenerazione  $\left\{ \left| \frac{dV_o}{dV_{iN}} \right| > 1 \text{ per } V_{iN} \text{ nelle zone di transizione} \right\}$
- 2) Cambiare 1 ingresso alla volta e aspettare sempre
- 3) che la rete abbia raggiunto il regime prima di cambiare un altro ingresso.
- 4) Creare un grafo dove per ogni cambiamento di ingresso si raggiunge il regime in un numero limitato (per esempio 1 solo) di passaggi
- 5) Codificare lo stato successivo con codice adiacente a quello presente
- 6) Realizzare la rete per lo stato futuro senza ALLE (dinamica osiettida)
- 7) Ritardare le variabili di stato fino al raggiungimento completo del regime di R\_Comb. Stato futuro



Graph D-F edge triggered

20.8

D-FF



OK

$S_i S_0$	IN AB			
	00	01	11	10
00	00	00	10	01
01	00	00	01	01
11	11	11	10	01
10	11	11	10	10

$S_1^+$

0	0	1	0
0	0	0	0
1	1	1	0
1	1	0	1

$S_0^+$

0	0	0	1
0	0	1	1
1	1	0	1
1	1	0	0

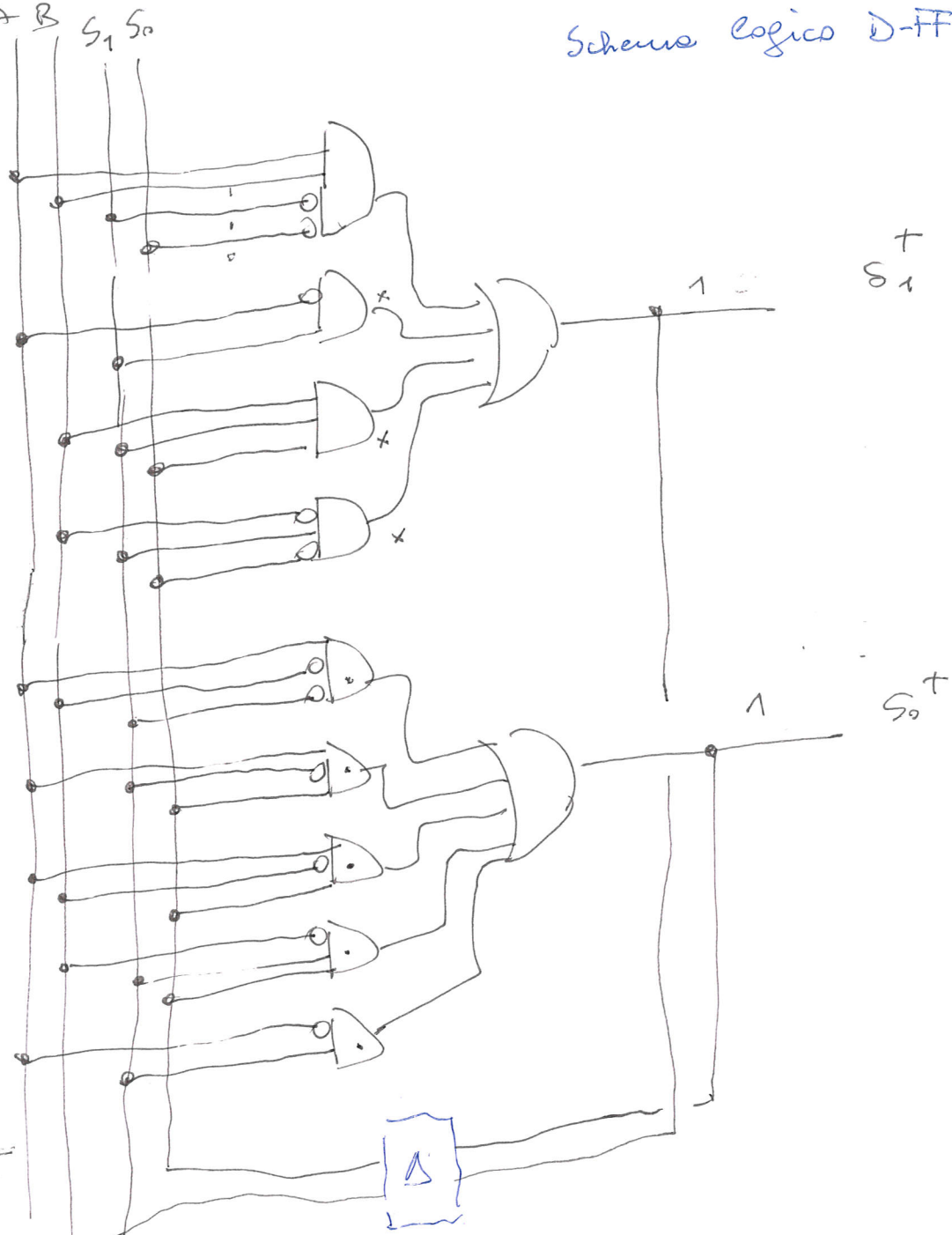
Sum of products

$$S_1^+ = AB \bar{S}_1 \bar{S}_0 + \bar{A} S_1 + B S_1 S_0 + \bar{B} S_1 \bar{S}_0$$

$$S_0^+ = A \bar{B} \bar{S}_1 + A \bar{S}_1 \bar{S}_0 + A \bar{B} S_0 + \bar{B} S_1 S_0 + \bar{A} S_1$$

Scheme logico D-FF edge triggered

20.9



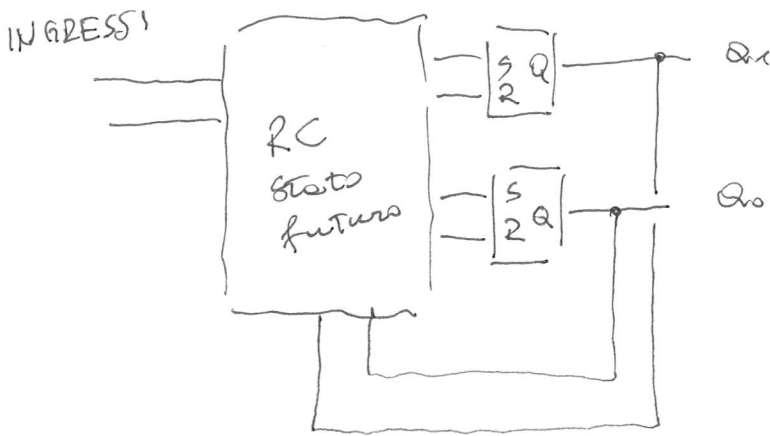
A B S<sub>1</sub> S<sub>0</sub>

0 1 1 1

$\bar{1}$  1 1 1

1 1 1 0

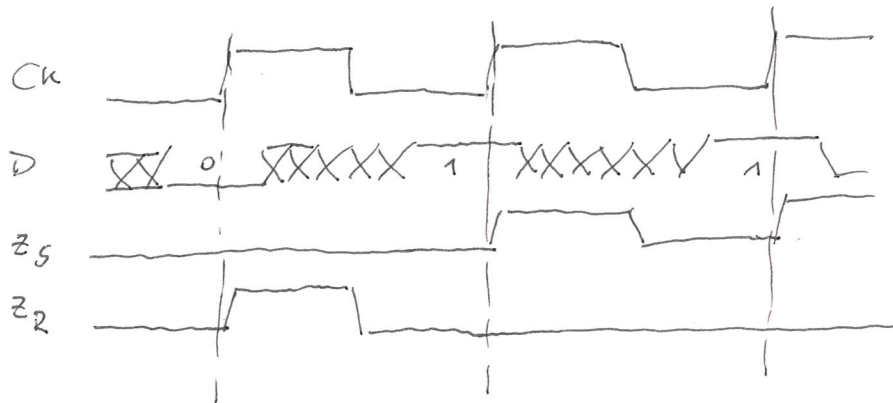
stable



C'è maggiore libertà nella sintesi delle ZC. Ci sono più combinazioni di eccitazione compatibili con il requisito sullo stato (in cui deve cambiare un solo q alle volte)  
Vediamo le D-FF

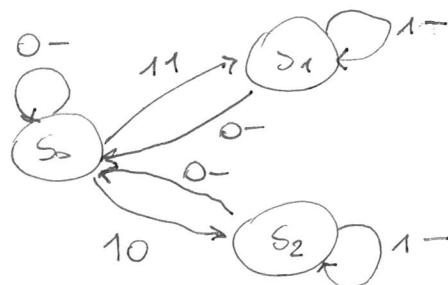
① Simmettizziamo <sup>primo</sup>  $\sqrt{ic}$  DECISORE: ingressi D, Ck  
uscite Z<sub>S</sub>, Z<sub>R</sub>

- componente: demultiplexer sensibile al fronte in salita del clock



l'impulso di clock viene smisurato su Z<sub>S</sub> (se D=1) oppure su Z<sub>R</sub> (se D=0)

	Ck, D			
	00	01	11	10
S <sub>0</sub>	(S <sub>0</sub> )	(S <sub>0</sub> )	S <sub>1</sub>	S <sub>2</sub>
S <sub>1</sub>	S <sub>0</sub>	S <sub>0</sub>	(S <sub>1</sub> )	(S <sub>1</sub> )
S <sub>2</sub>	S <sub>0</sub>	S <sub>0</sub>	(S <sub>2</sub> )	(S <sub>2</sub> )



CODIFICA

S <sub>0</sub>	00
S <sub>1</sub>	01
S <sub>2</sub>	10

q<sub>1</sub> q<sub>0</sub>

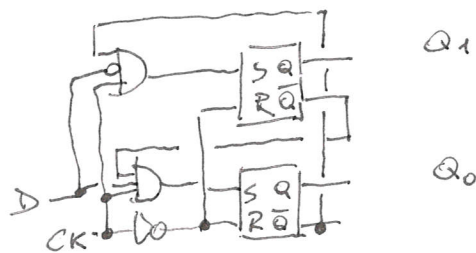
- Tabella per lo stato futuro

		ck, D			
		00	01	11	10
s <sub>0</sub>	q <sub>1</sub> q <sub>0</sub>	00	00	01	10
	01	00	00	01	01
s <sub>1</sub>	11	--	--	--	--
	10	00	00	10	10

↓  
q<sub>1</sub><sup>+</sup>q<sub>0</sub><sup>+</sup>

Se uso gli SR, per avere una transizione

Q	Q <sup>+</sup>	S	R
0	0	0	-
0	1	1	0
1	0	0	1
1	1	-	0



quindi

		ck, D			
		00	01	11	10
s <sub>1</sub>	q <sub>1</sub> q <sub>0</sub>	00	00	00	1
	01	0	0	0	0
s <sub>0</sub>	11	--	--	--	--
	10	0	0	-	1

		ck, D			
		00	01	11	10
R <sub>1</sub>	q <sub>1</sub> q <sub>0</sub>	-	-	-	0
	01	-	-	-	-
R <sub>0</sub>	11	-	-	-	-
	10	1	1	0	0

$$S_1 = CK \bar{D} \bar{Q}_0$$

$$R_1 = \bar{CK}$$

		ck, D			
		00	01	11	10
S <sub>0</sub>	q <sub>1</sub> q <sub>0</sub>	00	00	1	0
	01	0	0	-	-
R <sub>0</sub>	11	--	--	--	--
	10	0	0	0	0

		ck, D			
		00	01	11	10
S <sub>0</sub>	q <sub>1</sub> q <sub>0</sub>	-	-	0	-
	01	1	1	0	0
R <sub>0</sub>	11	-	-	-	-
	10	-	-	-	-

$$S_0 = CK \bar{D} \bar{Q}_1$$

$$R_0 = \bar{CK}$$

Per creare il D-FF basta pilotare un SR con un decisoro!

