

ESERCIZIO N°1

8 punti

Realizzare un programma per il microcontrollore AVR XMEGA256A3BU, che

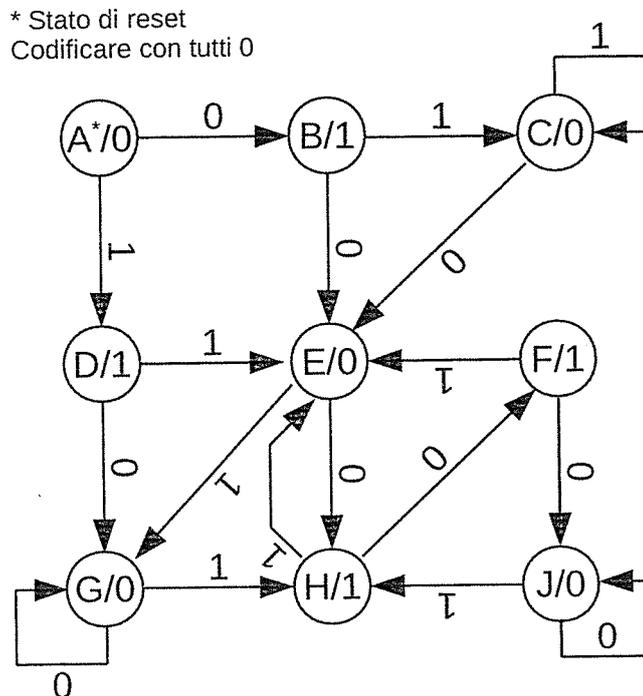
a) inizializza prima la periferica di I/O nel modo seguente: la porta virtuale 2 assume il ruolo della porta D (con i 4 pin meno significativi in ingresso con pull-down e i 4 pin più significativi in uscita wired-OR). Ai pin in ingresso della porta D sono collegati esternamente pulsanti verso VDD, mentre ai pin in uscita sono collegati gli anodi di LED i cui catodi sono collegati a massa tramite una opportuna resistenza.

b) poi legge *continuamente* lo stato dei pulsanti e accende il LED corrispondente quando rileva la pressione di un pulsante (il LED collegato al pin 4 corrisponde al pulsante sul pin 0, 5 a 1, 6 a 2, 7 a 3).

ESERCIZIO N°2

6 punti

Sintetizzare e disegnare lo schema logico di una macchina sequenziale sincrona di Moore, il cui funzionamento è definito dal grafo seguente. Si usino esclusivamente JK-FF e porte logiche elementari (AND, OR, NOT).



ESERCIZIO N°3

4 punti

Disegnare lo schema logico di un contatore in discesa modulo 11. Si hanno a disposizione T-FF e porte logiche elementari (AND, OR, NOT).

ESERCIZIO N°4

6 punti

- a) Determinare la mappa di Karnaugh di una funzione logica $Y = f(X_4, X_3, X_2, X_1, X_0)$ dove X_3, X_2, X_1, X_0 rappresentano una cifra in codifica BCD, mentre X_4 è un bit di parità (logica parità **dispari**); Y (errore) vale 1 se la regola di parità non è corretta o la cifra non rispetta la codifica BCD (Y vale 0 altrimenti).
- b) Realizzare con circuito a porte logiche AND, OR, NOT e 2 livelli di logica la funzione del punto a) sia in forma PS sia in forma SP.
- c) Se porte logiche elementari (AND, OR, NOT) a K ingressi hanno $T_{pd} = 0,05 \text{ ns} + 0,05 K \text{ ns}$, quale è il T_{pd} massimo dei due circuiti di cui al punto b)? Se ingressi e uscite dei circuiti combinatori di cui al punto b) sono registrati con registri aventi $T_{co} = 0,1 \text{ ns}$, $T_{hold} = 0,03 \text{ ns}$ e $T_{setup} = 0,1 \text{ ns}$ quale è la massima frequenza di lavoro possibile?

ESERCIZIO N°5

5 punti

Realizzare una rete combinatoria che calcola il risultato della differenza di 2 bit e l'eventuale prestito necessario (borrow)

- a) tramite rete a multiplexer.
- b) tramite decoder
- c) tramite porte logiche AND, OR, NOT.

ESERCIZIO N°6

4 punti

Dati i numeri $X = -2118,25$, $Y = 101,125$ e i risultati delle operazioni $A = X + Y$ e $B = X - Y$

- a) Determinare la loro rappresentazione in virgola fissa e MS, C2, C1, Traslazione e il numero minimo di bit necessario per rappresentarli tutti correttamente.
- b) Se si usa una ALU a 10 bit che opera in C2 si commettono errori di rappresentazione per X , Y , A e B ? Se sì, di che entità sono gli errori in valore assoluto e percentuale?

1

Realizzare un programma per il microcontrollore AVR XMEGA256A3BU, che

a) inizializza prima la periferica di I/O nel modo seguente:

la porta virtuale 2 assume il ruolo della porta D (con i 4 pin meno significativi in ingresso con pull-down e i 4 pin più significativi in uscita wired-OR). Ai pin in ingresso della porta D sono collegati esternamente pulsanti verso VDD, mentre ai pin in uscita sono collegati gli anodi di LED i cui catodi sono collegati a massa tramite una opportuna resistenza.

b) poi legge continuamente lo stato dei pulsanti e accende il LED corrispondente quando rileva la pressione di un pulsante (il LED collegato al pin 4 corrisponde al pulsante sul pin 0, 5 a 1, 6 a 2, 7 a 3).

```
.EQU PORTD_PIN_IN_value=0b00010000 //pull-down (b5_3=010)
.EQU PORTD_PIN_OUT_value=0b00100000 //wired-or (b5_3=100)
.EQU PORTD_DIR_value=0xF0 //pin 0..3 in ingresso e pin 4..7 in uscita
.EQU PIN_IN_MASK_value=0x0F //pin di ingresso da configurare allo stesso modo
.EQU PIN_OUT_MASK_value=0xF0 //pin di uscita da configurare allo stesso modo
.EQU VPCTRLB_value=0x03 //valore per configurare la porta virtuale su D (VPORT2)
```

Configure:

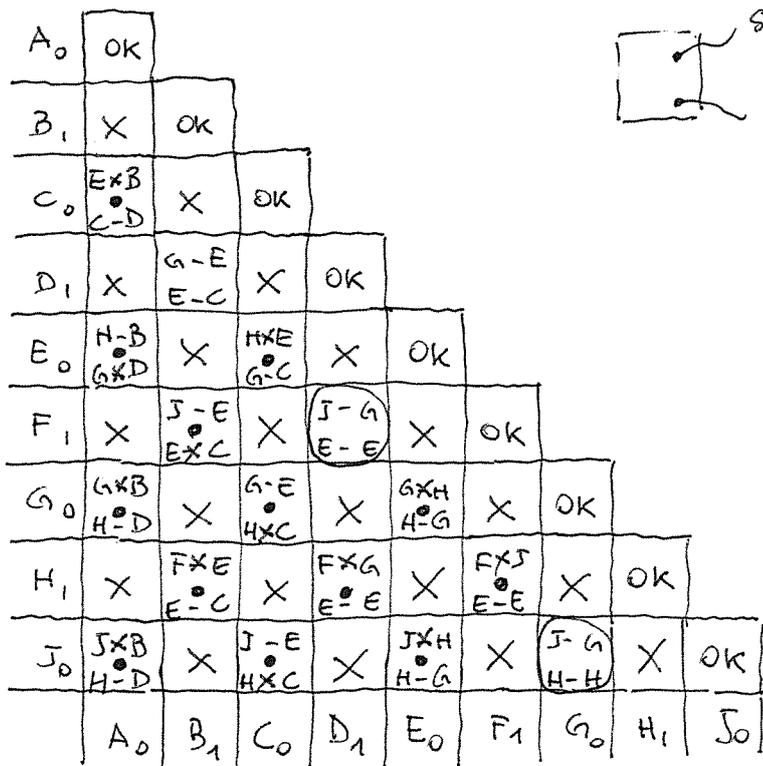
```
ldi R16,PIN_IN_MASK_value
ldi R17,PORTD_PIN_IN_value
sts PORTCFG_MPCMASK,R16 //predispone la maschera dei pin di ingresso
sts PORTD_PIN0CTRL,R17 //basta configurare un pin solo di quelli di ingresso
ldi R16,PIN_OUT_MASK_value
ldi R17,PORTD_PIN_OUT_value
sts PORTCFG_MPCMASK,R16 //predispone la maschera dei pin di uscita
sts PORTD_PIN4CTRL,R17 //basta configurare un pin solo di quelli di uscita
ldi R16,PORTD_DIR_value
sts PORTD_DIR,R16
ldi R16,VPCTRLB_value
sts PORTCFG_VPCTRLB,R16 //configura D nella porta virtuale 2
```

loop:

```
in R16,VPORT2_IN
swap R16 //basta scambiare i digit
out VPORT2_OUT,R16 //si può trascurare quanto va nei primi 4 bit
rjmp loop //ripeti per sempre
```

2

Ricerca stati equivalenti

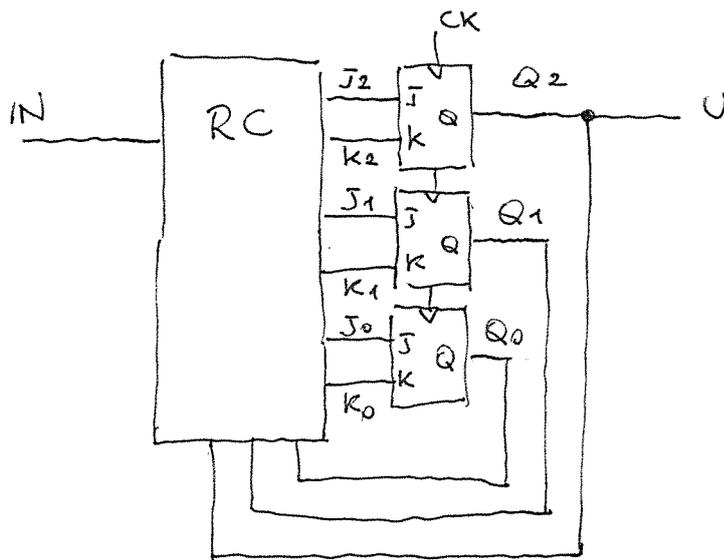


Codifica degli stati (linee guida: minimizzo RC2)

Stato	uscita	Q_2	Q_1	Q_0
A	0	0	0	0
B	1	1	0	0
C	0	0	0	1
D	1	1	0	1
E	0	0	1	1
G	0	0	1	0
H	1	1	1	1
X	1	1	1	0

richiesta del testo
 stato non presente nel grafo
 semplificato.
 (scelgo A come suoi stati futuri)

Architettura



Mappe di transizione e di eccitazione

$Q_2 \text{ IN}$

$Q_1 Q_0$	00	01	11	10
00	100 ^B	101 ^D	001 ^C	011 ^E
01	011 ^E	001 ^C	011 ^E	010 ^G
11	111 ^H	010 ^G	011 ^E	101 ^D
10	010 ^G	111 ^H	000 ^A	000 ^A

Jk-FF

q	q'	J	K
0	0	0	-
0	1	1	-
1	0	-	1
1	1	-	0

J_0

	00	01	11	10
00	1	1	-	-
01	0	0	-	-
11	1	0	-	-
10	0	1	-	-

K_0

	00	01	11	10
00	-	-	1	1
01	-	-	1	1
11	-	-	1	0
10	-	-	1	1

$$J_0 = \bar{Q}_1 \bar{Q}_0 + 1N \bar{Q}_0 + 1N Q_1 Q_0$$

$$K_0 = 1N + \bar{Q}_1 + \bar{Q}_0$$

J_1

	00	01	11	10
00	0	0	0	1
01	1	0	1	1
11	-	-	-	-
10	-	-	-	-

K_1

	00	01	11	10
00	-	-	-	-
01	-	-	-	-
11	0	0	0	1
10	0	0	1	1

$$J_1 = 1N \bar{Q}_2 + Q_2 Q_0 + 1N Q_0$$

$$K_1 = 1N \bar{Q}_2 + Q_2 Q_1$$

J_2

	00	01	11	10
00	0	1	1	1
01	-	-	-	-
11	-	-	-	-
10	0	1	0	0

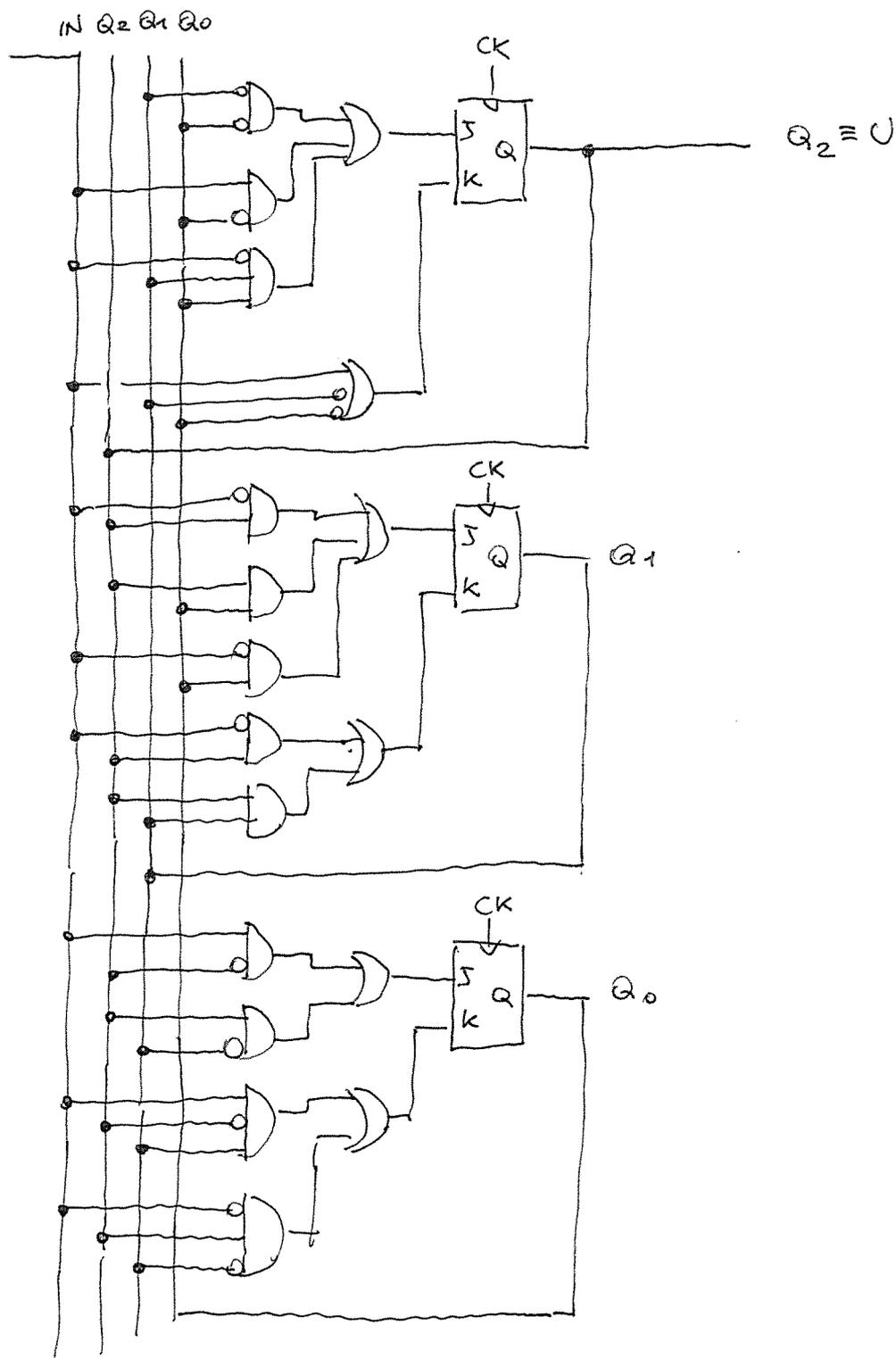
K_2

	00	01	11	10
00	-	-	-	-
01	0	0	0	1
11	0	1	0	0
10	-	-	-	-

$$J_2 = 1N \bar{Q}_2 + Q_2 \bar{Q}_1$$

$$K_2 = 1N \bar{Q}_2 Q_1 + 1N \bar{Q}_2 \bar{Q}_1$$

Scheme Logics

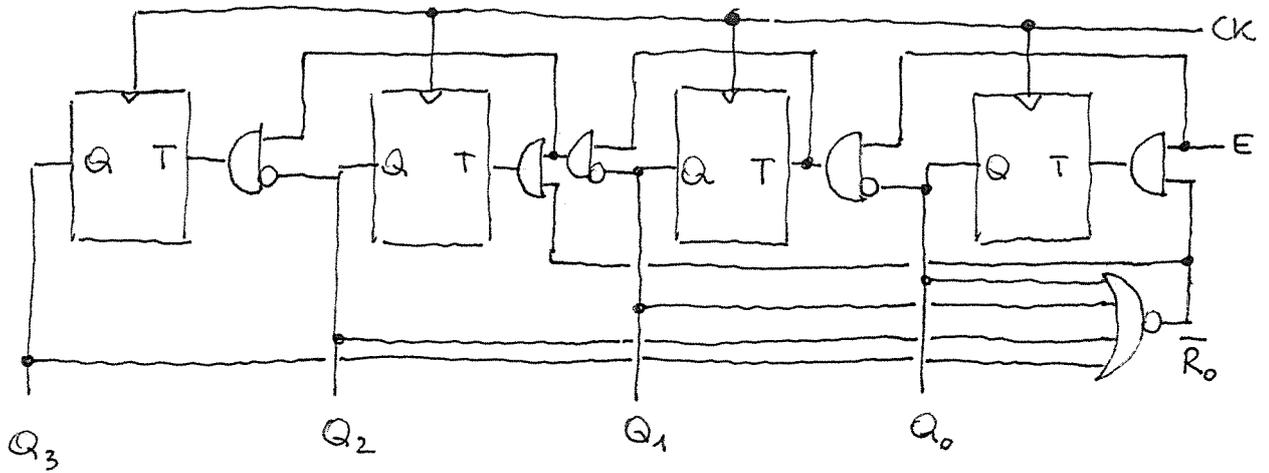


3

Contatore in decimale mod 11
sequenza

⋮
0000
(1111) \times mod 16
1010
⋮

- B - B occorre bloccare Q_0 e Q_2 a fine ciclo



4

Mappa

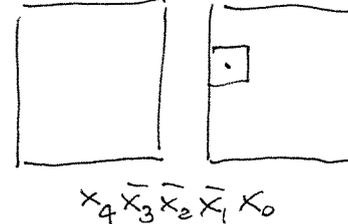
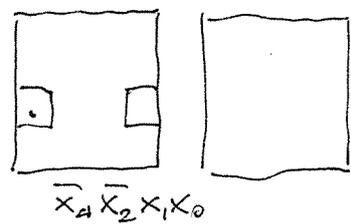
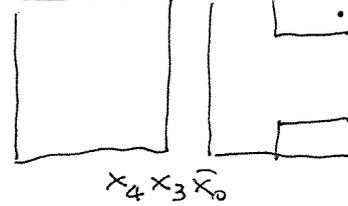
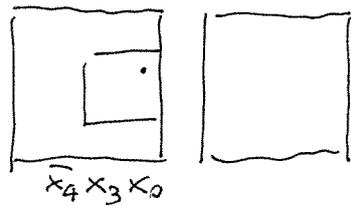
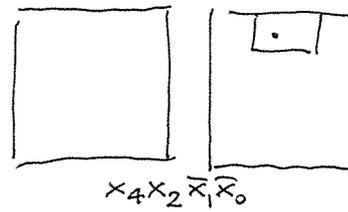
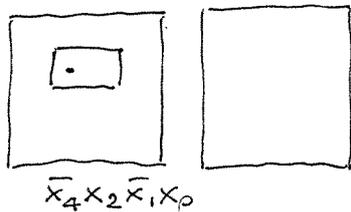
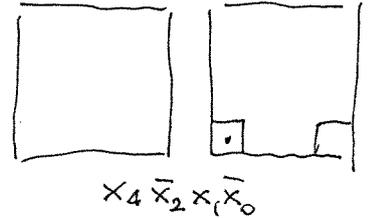
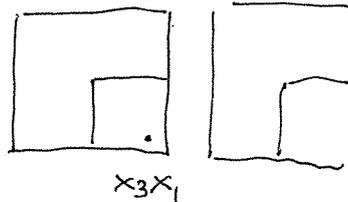
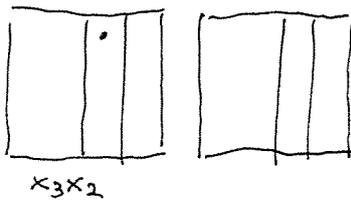
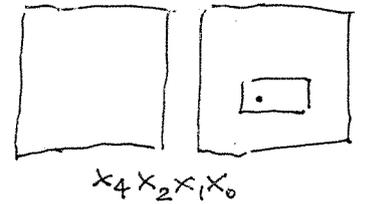
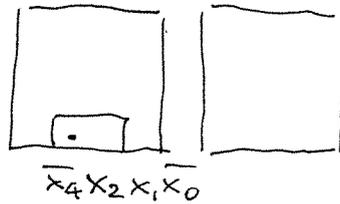
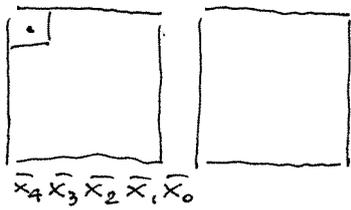
		$x_3 x_2$			
		$x_1 x_0$	00	01	11
00	01	11	10		
00	01	11	10	00	01
01	11	10	00	01	11
11	10	00	01	11	10
10	00	01	11	10	00

$x_4 = 0$

$x_4 = 1$

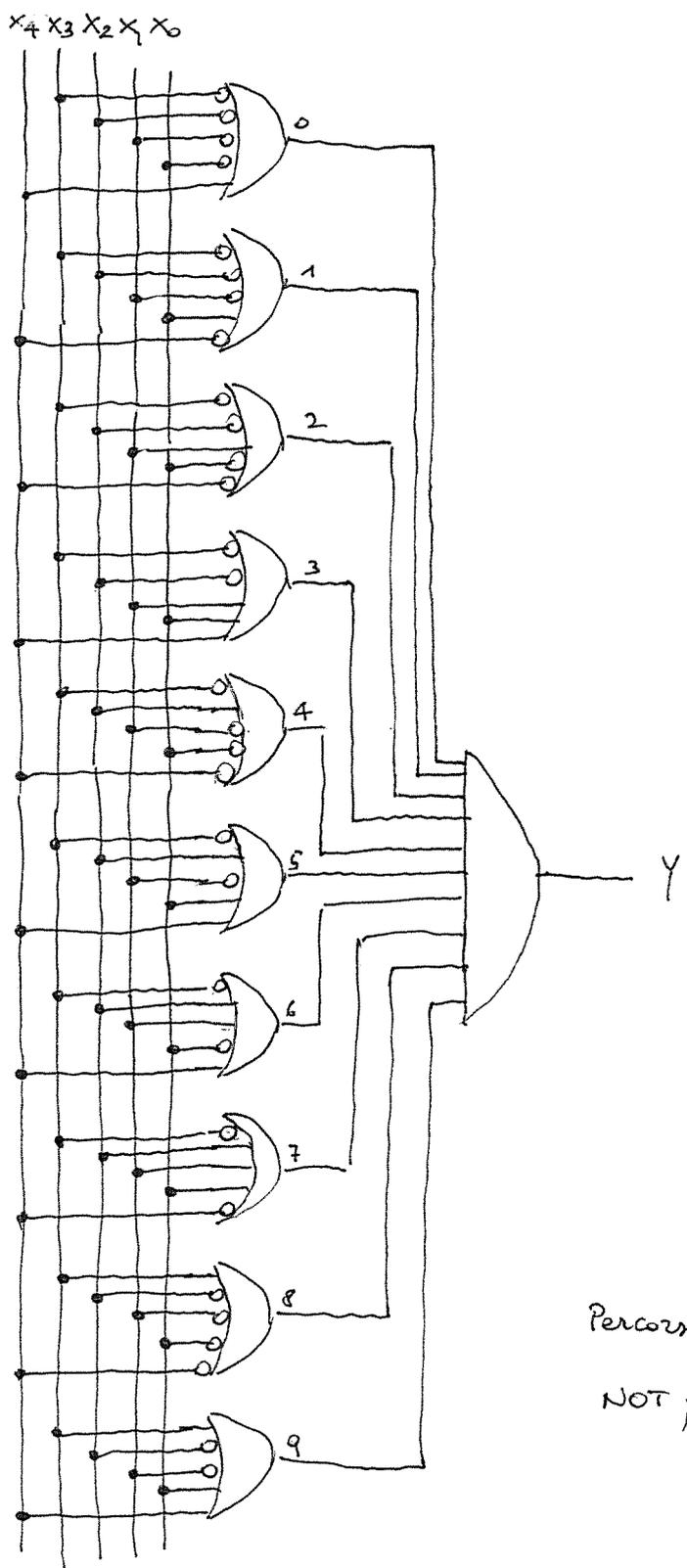
Sintesi PS: 10 mintermini corrispondenti alle cifre BCD con la corretta parità.

Sintesi SP: trovo prima gli impl. essenziali



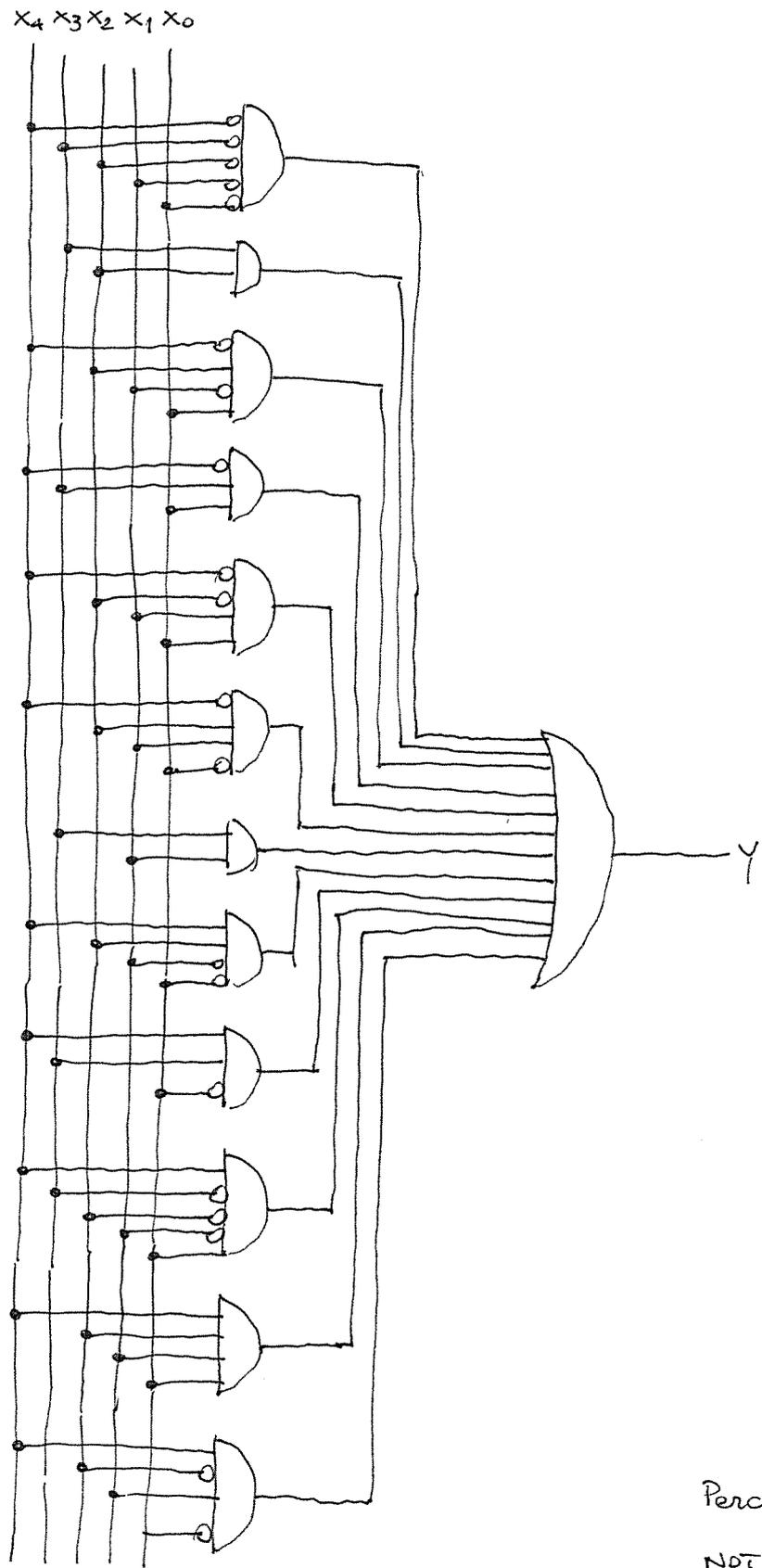
Poiché tutti gli 1 della funzione sono coperti, gli essenziali sono sufficienti per la sintesi.

b) Circuito PS



Percorso critico
NOT; OR5, AND10

b) Circuito SP



Percorso critico
NOT; AND5; OR12

c) Valuto i Tempi di ritardo t_{pd}

$$t_{NOT} = 0,1 \text{ ms}$$

$$t_{ORS} = 0,3 \text{ ms}$$

$$t_{OR12} = 0,65 \text{ ms}$$

$$t_{AND10} = 0,55 \text{ ms}$$

$$t_{AND5} = 0,3 \text{ ms}$$

Sostituendo nei percorsi critici:

$$t_{PS} = (0,1 + 0,3 + 0,55) \text{ ms} = 0,95 \text{ ms}$$

$$t_{SP} = (0,1 + 0,3 + 0,65) \text{ ms} = 1,05 \text{ ms}$$

La max frequenza del circuito richiesto è

$$f_{MAX} = \frac{1}{t_{su} + t_{co} + t_{pd}}$$

sostituendo

$$f_{MAXPS} = 869,6 \text{ MHz}$$

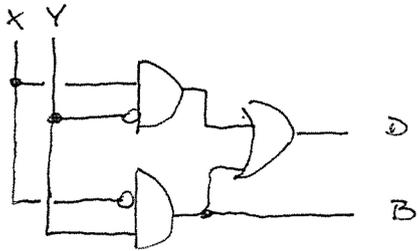
$$f_{MAXSP} = 800,0 \text{ MHz}$$

5

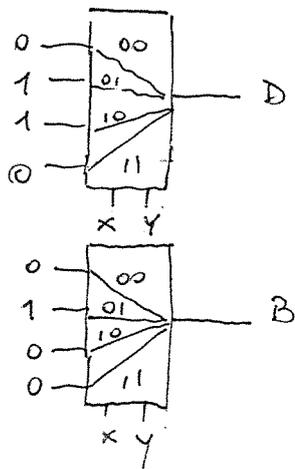
Rete per la sottrazione - Tabella di verità

X	Y	$x < y$	$x - y$
		Borrow	Difference
0	0	0	0
0	1	1	1
1	0	0	1
1	1	0	0

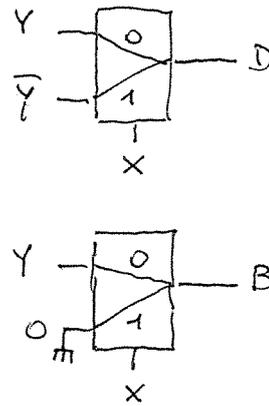
c) Realizzazione a porte



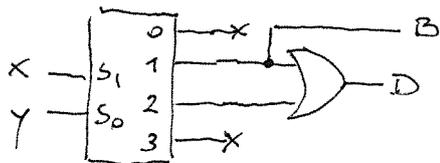
a) Realizzazione a mux



alternativa con 2 to 1 e NOT



b) Realizzazione a decoder (e porta OR)



6

Per rappresentare correttamente le parti intere servono 13b

(1 per il segno e 12 perché i suoi valori $> 2^{11}$)

per la parte frazionaria servono 3b (1/8)

$$X = -2118,250$$

$$Y = 101,125$$

$$A = -2017,125$$

$$B = -2219,375$$

a)

$$X \quad MS: 1|100001000110,010$$

$$C1: 1011110111001,101$$

$$C2: 1011110111001,110$$

$$T_2: 0011110111001,110$$

$$Y \quad MS: 0|000001100101,001$$

$$C1: 0000001100101,001$$

$$C2: 0000001100101,010$$

$$T_2: 1000001100101,010$$

$$A \quad MS: 1|011111100001,001$$

$$C1: 1100000011110,110$$

$$C2: 1100000011110,111$$

$$T: 0100000011110,111$$

$$B \quad MS: 1|100010101011,011$$

$$C1: 1011101010100,100$$

$$C2: 1011101010100,101$$

$$T_2: 0011101010100,101$$

b) Per rappresentare i valori dati ricorriamo al troncamento dei 6 bit meno significativi

Otteniamo

$$X: 1011110111 \{ 000.000 = -2120$$

$$\varepsilon_A = -1,75 \quad \varepsilon_r = 0,083\%$$

$$Y: 0000001100 \{ 000.000 = 96$$

$$\varepsilon_A = -5,25 \quad \varepsilon_r = 5,19\%$$

$$A: 1100000011 \{ 000.000 = -2024$$

$$\varepsilon_A = -6,875 \quad \varepsilon_r = 0,341\%$$

$$B: 1011101010 \{ 000.000 = -2224$$

$$\varepsilon_A = -4,625 \quad \varepsilon_r = 0,208\%$$