

Il testo deve essere riconsegnato nella cartellina. Non è ammessa la consultazione degli appunti e dei compiti precedenti. Si possono consultare i data sheet. **Non usare il colore rosso nello svolgimento.**

ESERCIZIO N°1

5 punti

Siano dati i 4 numeri (A, B, C, D) la cui rappresentazione IEEE754-2008 (binary32) è costituita dai seguenti valori espressi in esadecimale 0x739BE451, 0x73BC593A, 0x73D0075F, 0x738A38C2.

- a) Determinare i 4 numeri in notazione scientifica con 7 cifre significative.
- b) Valutare la rappresentazione della somma tra i 4 numeri rappresentati, usando 3 volte un unico sommatore ideale a 2 ingressi, con rappresentazione dell'uscita in formato binary32 (facente uso dell'arrotondamento classico). Il risultato, in generale, dipende dall'ordine degli addendi?

ESERCIZIO N°2

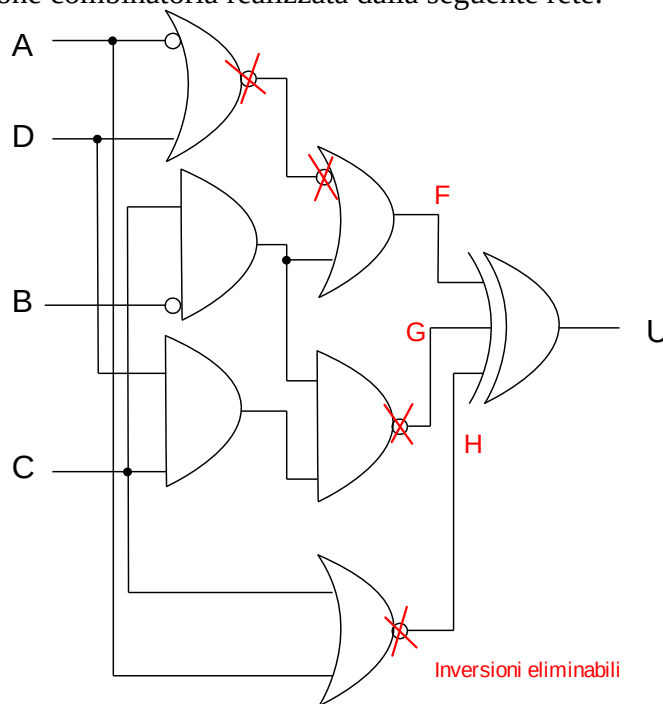
8 punti

Realizzare un sottoprogramma per il microcontrollore AVR XMEGA256A3BU, che determina il valore del più grande numero intero con segno (C2, contenuto su 2 byte, LSB first) tra i 256 valori interi contenuti in memoria a partire dall'indirizzo contenuto in X. Il risultato deve essere lasciato nella coppia di registri R25:R24.

ESERCIZIO N°3

6 punti

Disegnare lo schema logico in forma normale a minimo numero di letterali (scegliendo la migliore tra SP e PS) della funzione combinatoria realizzata dalla seguente rete:



ESERCIZIO N°4

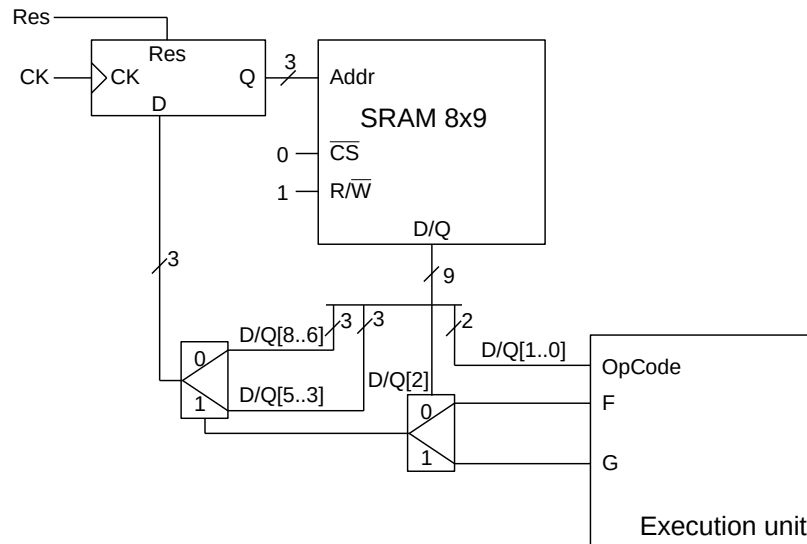
5 punti

Disegnare lo schema logico di un comparatore digitale (in grado di fornire l'indicazione in formato one-hot $A < B$, $A > B$ oppure $A = B$) tra numeri a 8 bit con segno rappresentati in T.

ESERCIZIO N°5

5 punti

Determinare il diagramma di flusso, attribuendo agli stati un nome a scelta, del seguente sequenziatore. Le 8 righe della SRAM contengono i seguenti 8 valori: 248, 732, 503, 411, 191, 337, 22, 131. Sarebbe stato possibile realizzare il sequenziatore con un contatore a caricamento parallelo, risparmiando sulla dimensione della SRAM (spiegare)?



ESERCIZIO N°6

5 punti

Disegnare lo schema logico di una rete sequenziale sincrona secondo il modello di Moore in grado di riconoscere le 2 sequenze, comunque interallacciate, 1101 o 1011.

1

Conversione dei valori binary32 A, B, C e D

0 11100111 00110111110010001010001

S=0 positivo
E=231 e=104
T=1827921

A=2,470205e+31 (7 cifre significative)

0 11100111 10100000000011101011111

S=0 positivo
E=231 e=104
T=5244767

C=3,296348e+31 (7 cifre significative)

0 11100111 01111000101100100111010

S=0 positivo
E=231 e=104
T=3955002

B=2,984502e+31 (7 cifre significative)

0 11100111 00010100011100011000010

S=0 positivo
E=231 e=104
T=669890

D=2,190210e+31 (7 cifre significative)

Per eseguire la somma come richiesto, avendo tutti i valori lo stesso odg binario, conviene mantenere l'espressione del valore secondo la legge di rappresentazione del binary32

A+B

0100110111110010001010001+
010111000101100100111010=
1010110000011110110001011 che dà
T=01011000001111011000110 con arrotondamento per eccesso
Il nuovo esponente è E=232

(A+B)+C

01010110000011110110001100+
00110100000000011101011111=
10001010000100010011101011 che dà
T=00010100001000100111011 ancora con arrotondamento per eccesso
L'esponente cresce ancora perché c'è stato riporto E=233

(A+B+C)+D

10001010000100010011101100+
00100010100011100011000010=
10101100100111110110101110 che dà
T=01011001001111101101100 (0x2C9F6C) ancora con arrotondamento per eccesso
L'esponente non cresce e si ha E=233

Convertendo in notazione scientifica, con le solite 7 cifre significative, si ha 1,094127e+32.
Sommando i valori precedenti si otteneva (senza arrotondare): 1,0941265e+32

La somma eseguita con arrotondamenti intermedi NON è associativa, perché l'errore di arrotondamento dipende dai dati e in generale non è prevedibile. Per verificare questa affermazione possiamo fare un esempio banale, in base 10, dove arrotondiamo in modo da avere una sola cifra significativa:

6+7+9=10+9=20 in questo caso da 13 arrotondo a 10 e poi da 19 a 20. Errori di segno diverso.
6+9+7=20+7=30 in questo caso ho per due volte un errore di arrotondamento dello stesso segno!

C'è poi anche il caso di somma di un numero grande con molti numeri di odg inferiore. Se si parte dal valore maggiore si rischia di perdere il contributo dei valori inferiori.

2

Realizzare un sottoprogramma per il microcontrollore AVR XMEGA256A3BU, che determina il valore del più grande numero intero con segno (C2, contenuto su 2 byte, LSB first) tra i 256 valori interi contenuti in memoria a partire dall'indirizzo contenuto in X. Il risultato deve essere lasciato nella coppia di registri R25:R24.

```
signed_max:
push R16
push R18
push R19
clr R16      //contatore per 256 iterazioni
ldi R24,0x00 //minimo valore possibile in R25:R24
ldi R25,0x80
loop:
  ld R18,X+
  ld R19,X+ //carica un dato da confrontare
  cp R24,R18
  cpc R25,R19 //lo confronta con il candidato
  brge oltre //R25:R24 non è minore (con segno)
  movw R25:R24,R19:R18 //scambia
  oltre:
  dec R16
  brne loop //ripete 256 volte
pop R19
pop R18
pop R16
subi XH,2 //ripristina il puntatore, aumentato di 512
ret
```

3

Disegnare lo schema logico in forma normale a minimo numero di letterali (scegliendo la migliore tra SP e PS) della funzione combinatoria realizzata dalla rete presentata nel testo.

Con le semplificazioni fatte sullo schema nel testo, si ha:

$$F = \bar{A} + D + \bar{B}C$$

		AB			
		00	01	11	10
CD	00	1	1	0	0
	01	1	1	1	1
	11	1	1	1	1
	10	1	1	0	0

$$G = \bar{B}CD$$

		AB			
		00	01	11	10
CD	00	0	0	0	0
	01	0	0	0	0
	11	1	0	0	1
	10	0	0	0	0

$$H = A + C$$

		AB			
		00	01	11	10
CD	00	0	0	1	1
	01	0	0	1	1
	11	1	1	1	1
	10	1	1	1	1

$$U = F \oplus G \oplus H$$

		AB			
		00	01	11	10
CD	00	1	1	1	*1
	01	1	*1	0	0*
	11	1	0	0	1*
	10	0	0	*1	0*

SP: 10 letterali

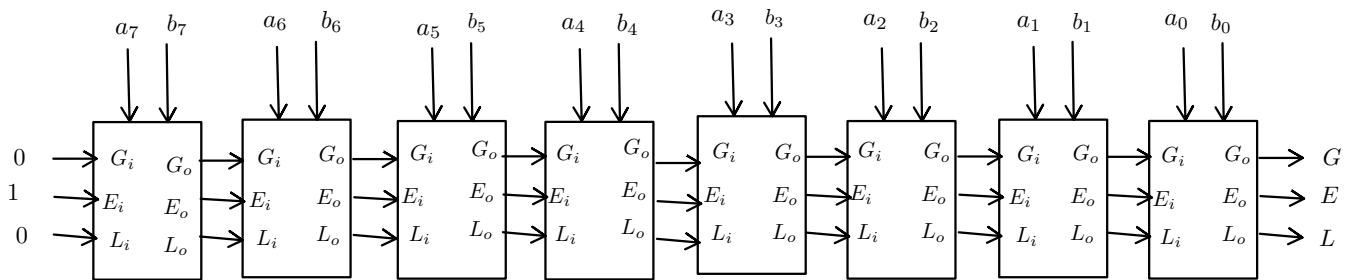
PS: 12 letterali

$$U = \bar{C}\bar{D} + \bar{A}\bar{C} + \bar{B}CD + AB\bar{D}$$

4

Disegnare lo schema logico di un comparatore digitale
(in grado di fornire l'indicazione in formato one-hot $A < B$, $A > B$ oppure $A = B$)
tra numeri a 8 bit con segno rappresentati in T.

Il confronto tra numeri relativi rappresentati in traslazione è assimilabile del tutto al confronto tra numeri binari. Posso quindi usare il comparatore classico, per esempio nella versione MSb first. La struttura è modulare, con valori iniziali per G,E,L pari a 0,1,0. Sia G:($A > B$); E:($A = B$); L:($A < B$).

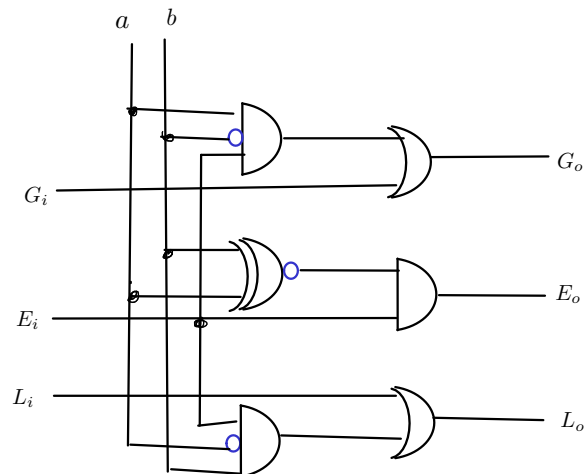


Vediamo lo schema logico del modulo

$$G_o = G_i + E_i a \bar{b}$$

$$L_o = L_i + E_i b \bar{a}$$

$$E_o = E_i (a \oplus b)$$



5

Determinare il diagramma di flusso, attribuendo agli stati un nome a scelta, del seguente sequenziatore. Le 8 righe della SRAM contengono i seguenti 8 valori:

248, 220, 503, 411, 191, 337, 22, 131.

Sarebbe stato possibile realizzare il sequenziatore con un contatore a caricamento parallelo, risparmiando sulla dimensione della SRAM (spiegare)?

Valori binari
contenuti nella memoria

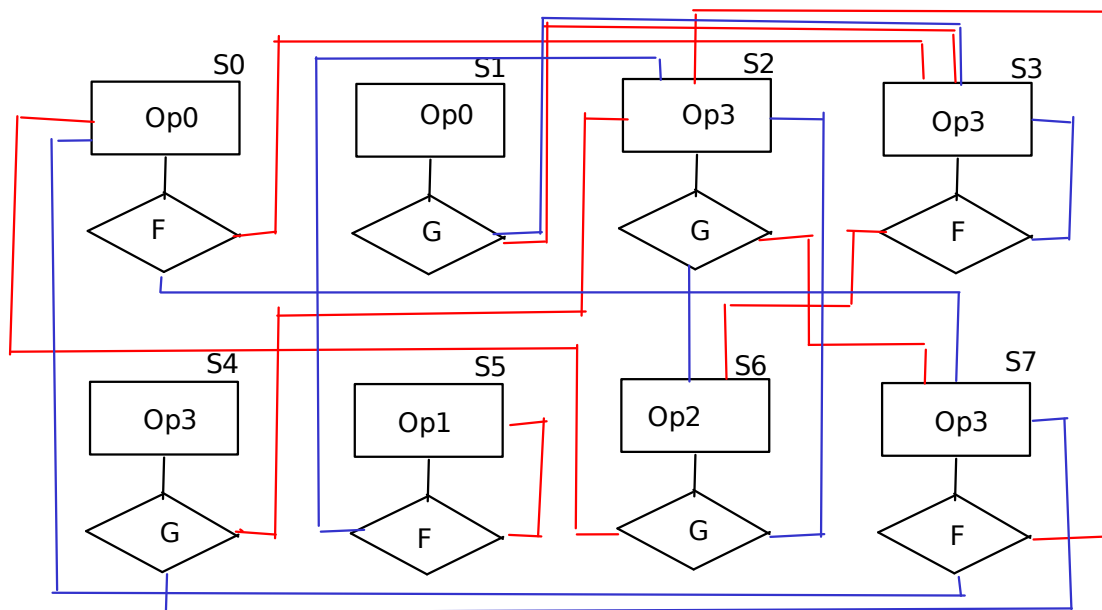
Attribuisco agli stati i valori da
S0 a S7, a seconda del codice Si: SF_F SF_V Flag Opn

011 111 0 00
011 011 1 00
111 110 1 11
110 011 0 11
010 111 1 11
101 010 0 01
000 010 1 10
010 000 0 11

S0: S3 S7 F Op0
S1: S3 S3 G Op0
S2: S7 S6 G Op3
S3: S6 S3 F Op3
S4: S2 S7 G Op3
S5: S5 S2 F Op1
S6: S0 S2 G Op2
S7: S2 S0 F Op3

Rosso: FALSO

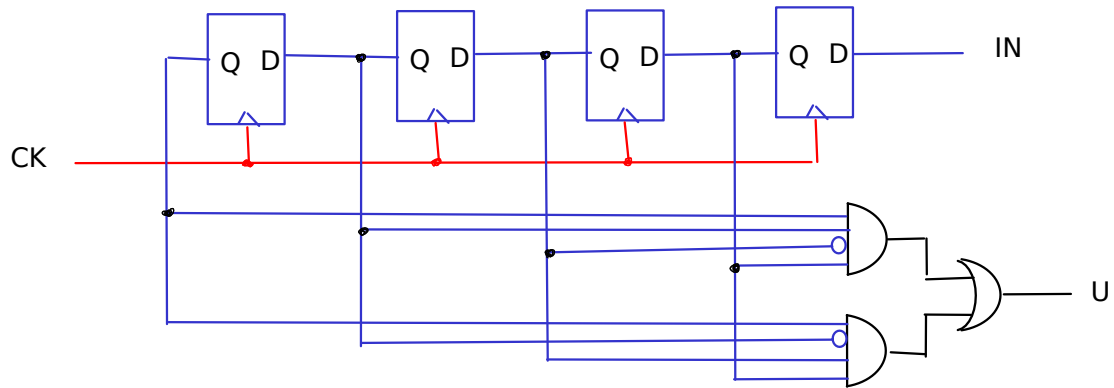
Blu: Vero



Non esistono percorsi ciclici completi, quindi non si può sfruttare un contatore per valutare lo stato futuro.

6

Disegnare lo schema logico di una rete sequenziale sincrona secondo il modello di Moore in grado di riconoscere le 2 sequenze, comunque interallacciate, 1101 o 1011.



Posso usare un riconoscitore basato su shift register. La macchina è di Moore perché l'uscita dipende solo dallo stato.
Se all'accensione tutti di D-FF sono azzerati, non ci sono riconoscimenti spuri.