

SCHEDA ASE2408		Data: 09 Settembre 2024
Cognome	Nome	

Il testo deve essere riconsegnato

ESERCIZIO N°1

8 punti

Realizzare un sottoprogramma per il microcontrollore XMEGA256A3BU che converte in binario le quattro cifre BCD contenute nei registri R25:R24, lasciando il risultato nella stessa coppia di registri. Nel caso in cui il dato di partenza non rappresenti un valore BCD valido, il risultato deve essere posto a 0xFFFF. La subroutine deve, come al solito, lasciare inalterati tutti gli altri registri.

ESERCIZIO N°2

5 punti

Individuare la rappresentazione binary32 (IEEE-754) della radice cubica dei numeri naturali da 1 a 8 con il minimo errore possibile. Valutare quindi il massimo errore assoluto in modulo commesso e per quale valore si ha tale errore.

ESERCIZIO N°3

5 punti

Disegnare lo schema logico di un contatore sincrono (up/down con abilitazione, caricamento parallelo e reset) modulo 7 facendo uso di T-FF. La priorità delle operazioni è: reset, abilitazione, caricamento, conteggio).

ESERCIZIO N°4

5 punti

Realizzare in forma SP ottima una rete combinatoria non completamente specificata a 5 ingressi, X_4, X_3, X_2, X_1 e X_0 , e 1 uscita Y , i cui maxtermini siano $\{1, 3, 4, 7, 8, 12, 13, 17, 19, 20, 23, 25, 28, 31\}$ e l'insieme dei don't care sia $\{2, 5, 6, 18, 21, 30\}$. Indicare gli implicanti essenziali.

ESERCIZIO N°5

5 punti

Realizzare una macchina sequenziale sincrona secondo il modello di Moore, con 1 ingresso e 1 uscita che viene posta a 1 (dopo il clock) ogni volta che in ingresso viene riconosciuta una delle seguenti sequenze: 001, 010, 110 e 101, non interallacciate. Si trascuri il transitorio iniziale dei primi 3 ingressi e si cerchi di minimizzare in numero di flip-flop usati.

ESERCIZIO N°6

5 punti

Realizzare la funzione dell'esercizio 4, se possibile, usando al massimo 2 multiplexer 8:1 e 2 multiplexer 2:1.

/*Realizzare un sottoprogramma per il microcontrollore XMEGA256A3BU che converte in binario le quattro cifre BCD contenute nei registri R25:R24, lasciando il risultato nella stessa coppia di registri. Nel caso in cui il dato di partenza non rappresenti un valore BCD valido, il risultato deve essere posto a 0xFFFF.

La subroutine deve, come al solito, lasciare inalterati tutti gli altri registri.*/*

```

bcd2bin_16:
    push R0
    push R1
    push R16
    push R17
    mov R16,R24
    rcall bcd2bin_8
    cpi R16,0xFF //dato non valido
    breq nv
    mov R24,R16 //sistema la parte bassa del risultato
    mov R16,R25
    rcall bcd2bin_8
    cpi R16,0xFF //dato non valido
    breq nv
    ldi R17,100
    clr R25
    mul R16,R17 //moltiplica per 100 il valore della parte alta
    add R24,R0 //lo somma alla parte già convertita
    adc R25,R1
    rjmp fine
nv:
    ldi R24,0xFF
    ldi R25,0xFF
fine:
    pop R17
    pop R16
    pop R1
    pop R0
    ret

bcd2bin_8: //converte un byte BCD (0xFF se non valido)
    push R17 //registro ausiliario per vedere se cifre valide
    push R20 //registro di appoggio per il risultato
    ldi R20,0xFF //preispone l'uscita per dati non validi
    ldi R17,0x66
    add R17,R16 //verifica che le cifre siano valori BCD validi
    brcs nv8 //i flag C e H devono essere falsi
    brhs nv8
    mov R20,R16
    andi R20,0x0F //le unità sono a posto in R20
    andi R16,0xF0 //in R16 le decine 16x
    lsr R16 //in R16 le decine 8x (8d)
    add R20,R16 //in R20 il parziale u+8d
    lsr R16
    lsr R16 //in R16 le decine 2x (2x)
    add R20,R16 //in R20 il risultato u+10d
nv8:
    mov R16,R20 //mette il risultato dove richiesto
    pop R20
    pop R17
    ret

```

Individuare la rappresentazione binary32 (IEEE-754) della radice cubica dei numeri naturali da 1 a 8 con il minimo errore possibile.

Valutare quindi il massimo errore assoluto in modulo commesso e per quale valore si ha tale errore.

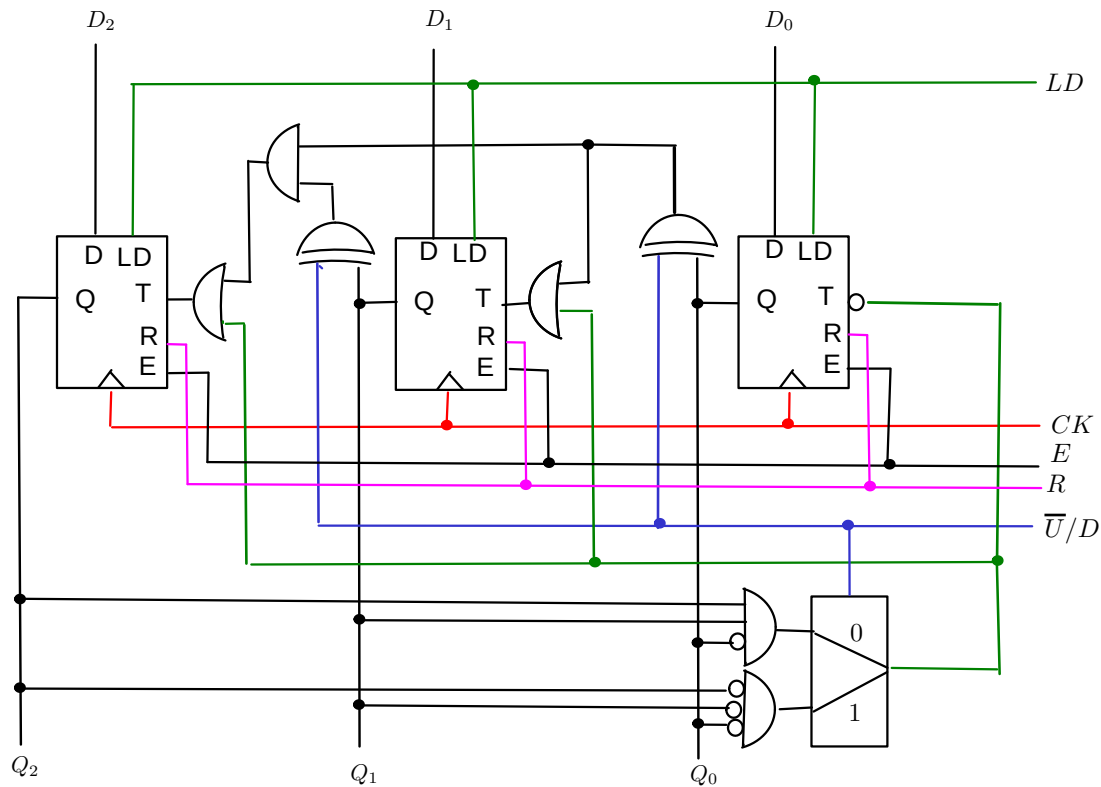
n	$n^{(1/3)}$	e	Eh	T	Th	err	Codice_binario
1	1	0	7F	0	000000	0	0_01111111_000.0000.0000.0000.0000.0000
2	1,2599...	0	7F	2180376	214518	2,402E-08	0_01111111_010.0001.0100.0101.0001.1000
3	1,4422...	0	7F	3709858	389BA2	-3,379E-08	0_01111111_011.1000.1001.1011.1010.0010
4	1,5874...	0	7F	4927477	4B2FF5	-1,952E-08	0_01111111_100.1011.0010.1111.1111.0101
5	1,7099...	0	7F	5955710	5AE07E	1,119E-08	0_01111111_101.1010.1110.0000.0111.1110
6	1,8171...	0	7F	6854504	689768	-4,077E-08	0_01111111_110.1000.1001.0111.0110.1000
7	1,9129...	0	7F	7658222	74DAEE	2,107E-08	0_01111111_111.0100.1101.1010.1110.1110
8	2	1	80	0	000000	0	0_10000000_000.0000.0000.0000.0000.0000

Il massimo errore assoluto è 4,077E-08 (4 cifre significative) e si ha per la radice cubica di 6

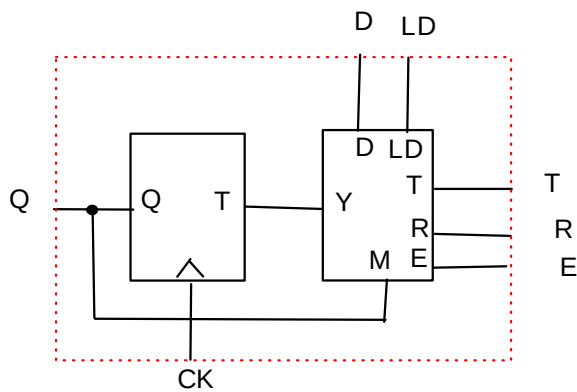
3

Disegnare lo schema logico di un contatore sincrono (up/down con abilitazione, caricamento parallelo e reset) modulo 7 facendo uso di T-FF. La priorità delle operazioni è: reset, abilitazione, caricamento, conteggio).

- 011
- 100
- 101
- 110
- (111) → FFB
- 000 →
- 001
- ...



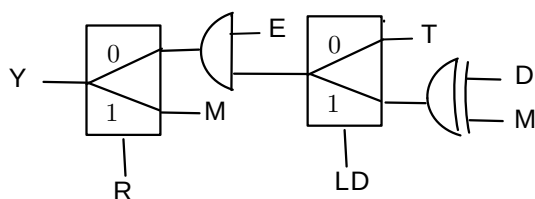
Realizziamo ora, usando un T-FF semplice, un nuovo T-FF dotato delle funzioni (con priorità nell'ordine): reset, abilitazione, caricamento e toggle



Definizione della rete combinatoria per Y

R	E	LD	D	T	M	Y
1	x	x	x	x	0	0
1	x	x	x	x	1	1
0	0	x	x	x	x	0
0	1	1	0	x	0	0
0	1	1	0	x	1	1
0	1	1	1	x	0	1
0	1	1	1	x	1	0
0	1	0	x	0	x	0
0	1	0	x	1	x	1

Schema della rete per Y



4

Realizzare in forma SP ottima una rete combinatoria non completamente specificata a 5 ingressi e 1 uscita Y, i cui maxtermini siano $\{1, 3, 4, 7, 8, 12, 13, 17, 19, 20, 23, 25, 28, 31\}$ e l'insieme dei don't care sia $\{2, 5, 6, 18, 21, 30\}$. Indicare gli implicanti essenziali.

Colloco i maxtermini e i don't care in mappa e poi eseguo la sintesi SP cercando implicanti essenziali e principali che coprano la funzione.

		X_3, X_2				X_3, X_2			
		00	01	11	10	00	01	11	10
X_1, X_0	00	1*	0	0	0	1	0	0	1*
	01	0	-	0	1*	0	-	*1	0
	11	0	0	1*	1	0	0	0	*1
	10	-	-	1	1	-	1*	-	1

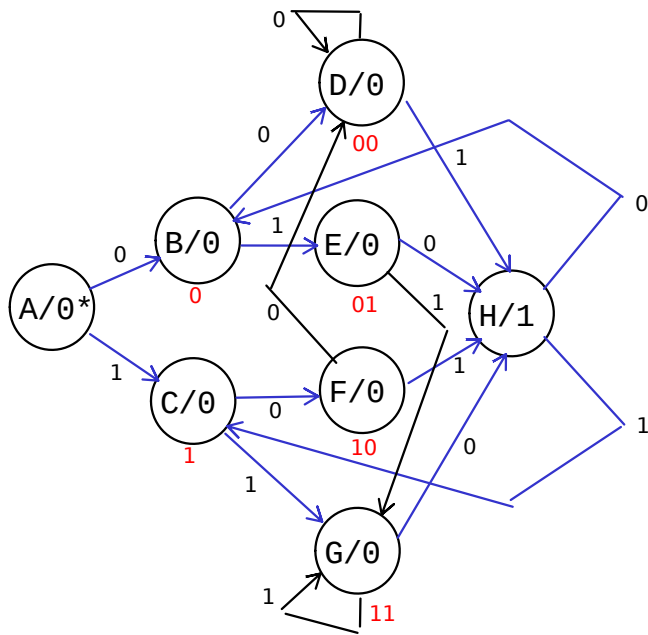
$X_4 = 0$ $X_4 = 1$

$$Y = \overline{X_3} \overline{X_2} \overline{X_0} + \overline{X_4} X_3 \overline{X_2} X_0 + \overline{X_4} X_3 X_1 + X_4 \overline{X_2} \overline{X_0} + X_4 X_2 \overline{X_1} X_0 + X_3 \overline{X_2} X_1 + X_1 \overline{X_0}$$

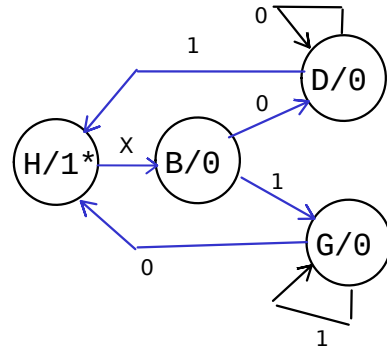
La funzione viene ricoperta da 7 implicanti, tutti essenziali (con *).

5

Realizzare una macchina sequenziale sincrona secondo il modello di Moore, con 1 ingresso e 1 uscita che viene posta a 1 (dopo il clock) ogni volta che in ingresso viene riconosciuta una delle seguenti sequenze: 001, 010, 110 e 101, non interallacciate. Si trascuri il transitorio iniziale dei primi 3 ingressi.



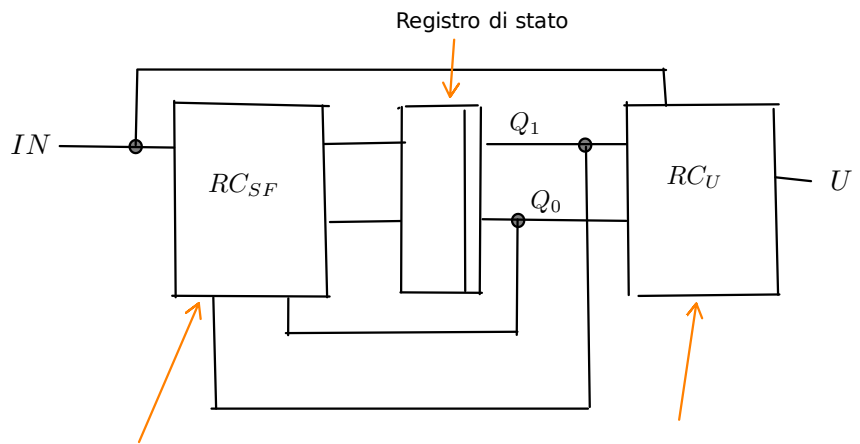
Considerando gli stati equivalenti e trascurando il valore alla partenza, si può semplificare



Codifica degli stati

- H 11
- B 00
- D 01
- G 10

Architettura



Sintesi

		Q_1, Q_0			
		00	01	11	10
IN	0	01	01	00	11
	1	10	11	00	10

0	0	0	1
1	1	0	1

1	1	0	1
0	1	0	0

$$U = Q_1 Q_0$$

$$D_1 = Q_1 \overline{Q_0} + IN \overline{Q_1}$$

$$D_0 = \overline{Q_0} IN + \overline{Q_1} Q_0$$

6

Realizzare la funzione dell'esercizio 4, se possibile, usando al massimo 2 multiplexer 8:1 e 2 multiplexer 2:1.

X_3, X_2		$X_4 = 0$				$X_4 = 1$			
		00	01	11	10	00	01	11	10
X_1, X_0	00	1	0	0	0	1	0	0	1
	01	0	-	0	1	0	-	1	0
	11	0	0	1	1	0	0	0	1
	10	-	-	1	1	-	1	-	1

0

