

Il testo deve essere riconsegnato nella cartellina. **Non usare il colore rosso nello svolgimento.**

ESERCIZIO N°1

8 punti

Realizzare una subroutine per il microcontrollore AVR XMEGA256A3BU che somma a tutte le celle contenute nello spazio di memoria compreso tra gli indirizzi 0x2100 e 0x218F (compresi gli estremi) il valore contenuto nel registro R0. Se la somma non è rappresentabile, nella cella viene messo il valore 127 se il risultato è positivo e -128 se negativo. Le celle in SRAM e R0 contengono valori interi con segno in rappresentazione binaria C2 su 8 bit.

ESERCIZIO N°2

5 punti

Realizzare in forma SP ottima una rete combinatoria a 5 ingressi (X_4, X_3, X_2, X_1, X_0 sono le cifre binarie del valore di ingresso X) in grado di identificare ponendo 1 in uscita i valori multipli di 2, 3, 5, 7 o 11 di X . Evidenziare gli implicantanti essenziali.

ESERCIZIO N°3

5 punti

Realizzare un generatore di forma d'onda con 2 ingressi X e Y , in grado di produrre le seguenti uscite

$X = 0, Y = 0$: l'uscita è fissa a 0

$X = 0, Y = 1$: l'uscita è periodica con periodo 0001

$X = 1, Y = 0$: l'uscita è periodica con periodo 1110

$X = 1, Y = 1$: l'uscita è fissa a 1

L'uscita viene adeguata a partire dal fronte di clock in cui è rivelato un cambiamento degli ingressi. Si usi una architettura di Moore.

ESERCIZIO N°4

5 punti

Realizzare la seguente funzione booleana

$$u = x + yz + z(\bar{x}t + t\bar{y})$$

a) usando dei multiplexer 2:1

b) usando un decoder 4:16 e il minimo numero possibile di porte NOR a 3 ingressi

ESERCIZIO N°5

5 punti

Determinare la rappresentazione in virgola fissa C2 su 10 bit che rappresenta con il minimo errore assoluto tutti i valori razionali che si ottengono per $q = a/b$, con a e b valori interi non nulli nell'intervallo $[-3, 3]$. Valutare il massimo valore in modulo di $e_{abs} = |\hat{q} - q|$

ESERCIZIO N°6

5 punti

a) Usando blocchi logici noti (porte logiche elementari, full-adder, mux e demux...) realizzare una rete in grado di sottrarre in virgola fissa a 8 bit un numero in C1 da uno in modulo e segno, fornendo il risultato in traslazione.

b) Realizzare la rete che valuta l'overflow nella sottrazione precedente.

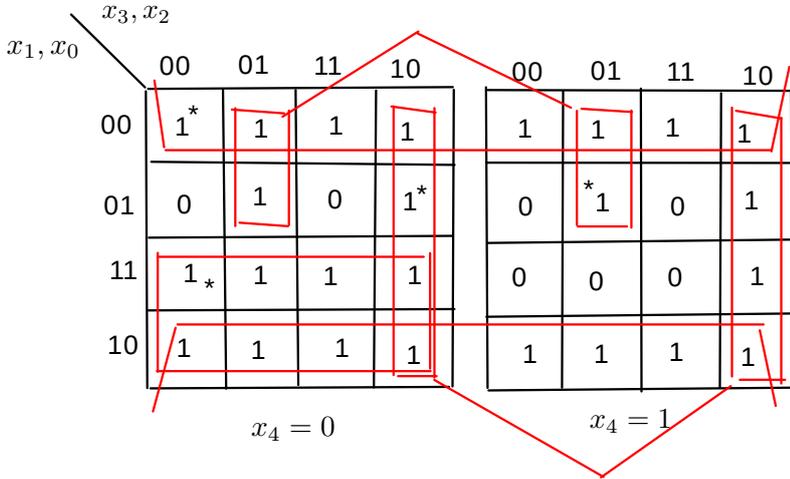
```
/*Realizzare una subroutine per il microcontrollore AVR XMEGA256A3BU
che somma a tutte le celle contenute nello spazio di memoria compreso
tra gli indirizzi 0x2100 e 0x218F (compresi gli estremi) il valore contenuto
nel registro R0. Se la somma non è rappresentabile, nella cella viene messo
il valore 127 se il risultato è positivo e -128 se negativo.
Le celle in SRAM e R0 contengono valori interi con segno
in rappresentazione binaria C2 su 8 bit.*/
```

```
sumR0:
```

```
  push R16
  push R17
  push XL
  push XH
  ldi R16,0x90          //contatore per le somme da fare
  ldi XL,low(0x2100)   //inizializza puntatore
  ldi XH,high(0x2100)
loop:
  ld R17,X
  add R17,R0
  brvc poi            //somma rappresentabile in C2
  ldi R17,0x7F       //carica 127
  brge poi           //caso della somma positiva (con 0V)
  ldi R17,0x80       //carica -128
poi:
  st X+,R17
  dec R16
  brne loop
pop XH
pop XL
pop R17
pop R16
ret
```

2

Realizzare in forma SP ottima una rete combinatoria a 5 ingressi (X_4, X_3, X_2, X_1, X_0 sono le cifre binarie del valore di ingresso X) in grado di identificare ponendo 1 in uscita i valori multipli di 2, 3, 5, 7 o 11 di X . Evidenziare gli implicanti essenziali.



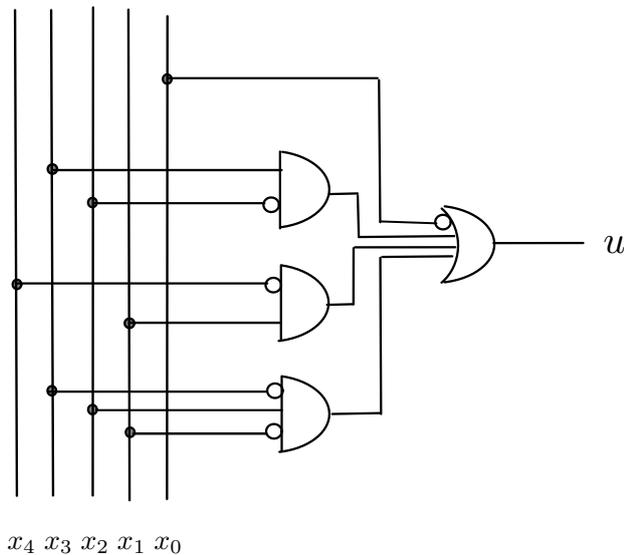
Sintesi ottima SP

4 implicanti
tutti essenziali

8 letterali

$$u = \overline{x_0} + x_3\overline{x_2} + \overline{x_4}x_1 + \overline{x_3}x_2\overline{x_1}$$

Schema SP



3

Realizzare un generatore di forma d'onda con 2 ingressi X e Y, in grado di produrre le seguenti uscite

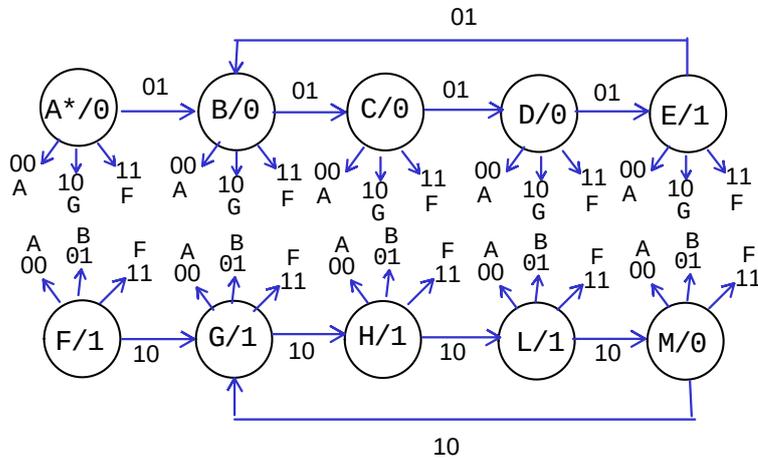
X = 0, Y = 0: l'uscita è fissa a 0

X = 0, Y = 1: l'uscita è periodica con periodo 0001

X = 1, Y = 0: l'uscita è periodica con periodo 1110

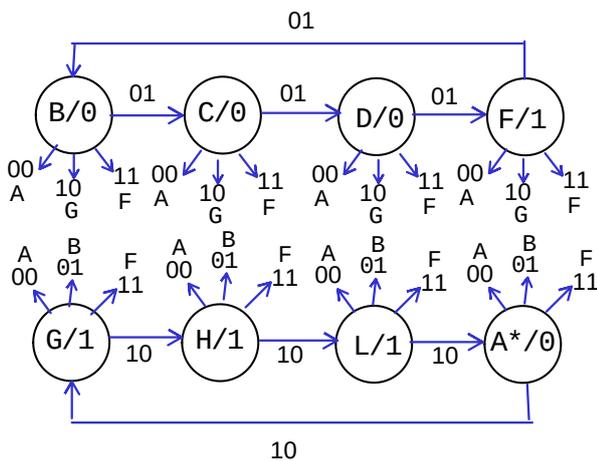
X = 1, Y = 1: l'uscita è fissa a 1

L'uscita viene adeguata a partire dal fronte di clock in cui è rivelato un cambiamento degli ingressi. Si usi una architettura di Moore.



Grafo delle transizioni

Osservando il grafo si vede:
F=E; M=A



8 stati, servono 3 variabili di stato

Codifica degli stati

- A 000 (0)
- B 001 (0)
- C 010 (0)
- D 011 (0)
- F 100 (1)
- G 101 (1)
- H 110 (1)
- L 111 (1)

Rete per l'uscita: cortocircuito

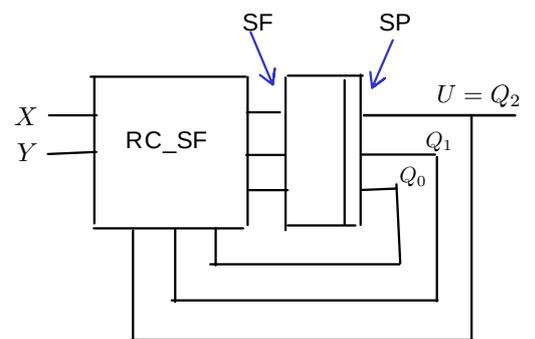
$$U = Q_2$$

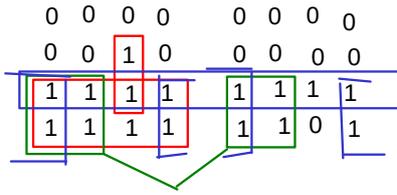
Mappa delle transizioni

X, Y	Q_1, Q_0							
	A 00	B 01	D 11	C 10	F 00	G 01	L 11	H 10
00	000	000	000	000	000	000	000	000
01	001	010	100	011	001	001	001	001
11	100	100	100	100	100	100	100	100
10	101	101	101	101	101	110	000	111

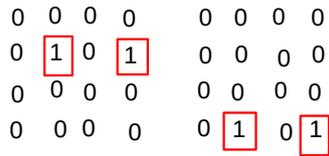
$Q_2 = 0$ $Q_2 = 1$

Architettura

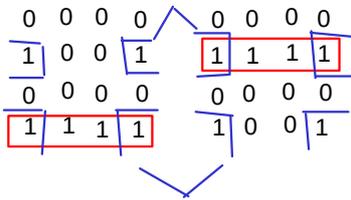




$$D_2 = Y\overline{Q_2}Q_1Q_0 + X\overline{Q_2} + XY + X\overline{Q_1} + X\overline{Q_0}$$



$$D_1 = \overline{X}Y\overline{Q_2}\overline{Q_1}Q_0 + \overline{X}Y\overline{Q_2}Q_1\overline{Q_0} + X\overline{Y}Q_2\overline{Q_1}Q_0 + X\overline{Y}Q_2Q_1\overline{Q_0}$$



$$D_0 = \overline{X}Y\overline{Q_0} + X\overline{Y}\overline{Q_0} + X\overline{Y}\overline{Q_2} + \overline{X}YQ_2$$

Realizzare la seguente funzione booleana

a) usando dei multiplexer 2:1

b) usando un decoder 4:16 e il minimo numero possibile di porte NOR a 3 ingressi

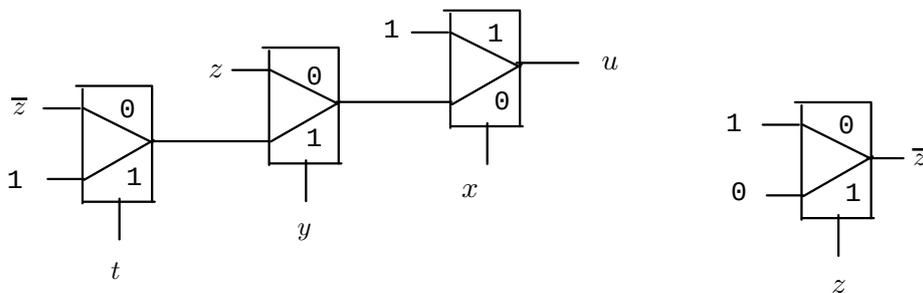
$$u = x + y\bar{z} + z(\bar{x}\bar{t} + t\bar{y})$$

Passiamo in forma SP e determiniamo la mappa:

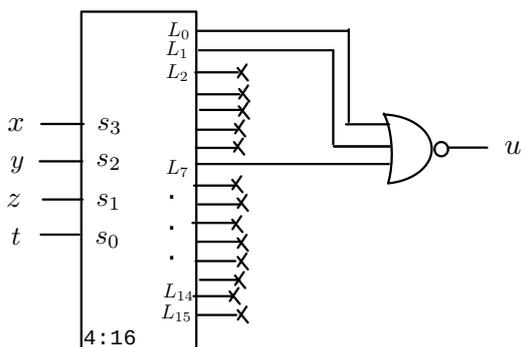
$$u = x + y\bar{z} + z\bar{x}\bar{t} + zt\bar{y}$$

x, y		z, t			
		00	01	11	10
z, t	00	0 ⁰	1	1	1
	01	0 ¹	1	1	1
	11	1	0 ⁷	1	1
	10	1	1	1	1

Soluzione con mux 2:1



Soluzione con decoder e NOR



5

Determinare la rappresentazione in virgola fissa C2 su 10 bit che rappresenta con il minimo errore assoluto in modulo tutti i valori razionali che si ottengono per $q = a/b$, con a e b valori interi non nulli nell'intervallo $[-3; 3]$.
Valutare il massimo errore assoluto in modulo per il caso peggiore.

Il valore di q è nell'intervallo $[-3; 3]$. In generale servirà una rappresentazione $[3.7]$ per rappresentare correttamente le parti intere. Ci aspettiamo per l'errore assoluto in modulo ($\text{LSB}=1/128$)

$$e \leq \frac{\text{LSB}}{2} < 4 \cdot 10^{-3}$$

Prendiamo in esame i singoli valori; di ciascuno sarà presente anche l'opposto.

-3	101.0000000	e=0
-2	110.0000000	e=0
-1	111.0000000	e=0
-2/3	111.0101011	e=2,604E-3
-1/2	111.1000000	e=0
-1/3	111.1010101	e=2,604E-3
1/3	000.0101011	e=2,604E-3
1/2	000.1000000	e=0
2/3	000.1010101	e=2,604E-3
1	001.0000000	e=0
3/2	001.1000000	e=0
2	010.0000000	e=0
3	011.0000000	e=0

- 6
- Usando blocchi logici noti (porte logiche elementari, full-adder, mux e demux...) realizzare una rete in grado di sottrarre in virgola fissa a 8 bit un numero in C1 da uno in modulo e segno, fornendo il risultato in traslazione.
 - Realizzare la rete che valuta l'overflow nella sottrazione precedente.

Conviene trasformare i due dati in C2, estendere la rappresentazione di un bit per il calcolo dell'overflow e trasformare il risultato in traslazione

