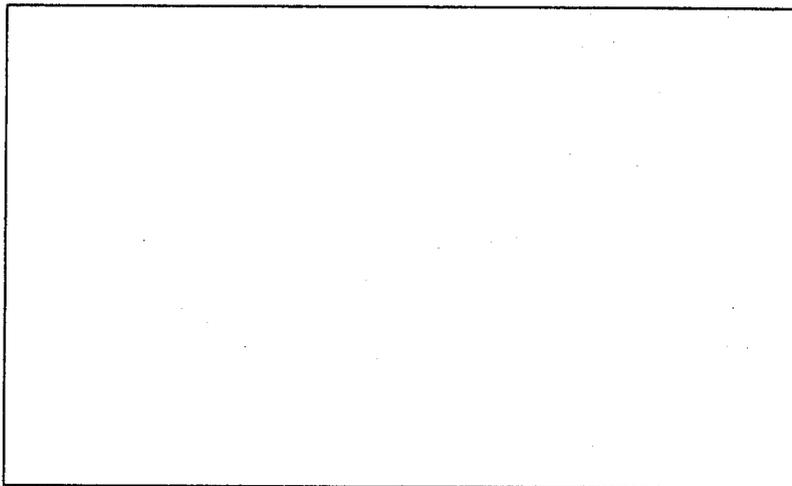


SCHEDA N°D003	Data: 18/06/2002
Nome _____	Valutazione:
Tempo disponibile: 1ora	
Durante la prova: NON è consentito uscire dall'aula, né consultare testi.	

ESERCIZIO N°1

6 punti

Si considerino le famiglie logiche A e B , i cui parametri elettrici sono riportati nella tabella seguente. Si vogliono collegare $N=5$ inverter della famiglia logica B in uscita ad un inverter della famiglia logica A . Determinare, se possibile, una configurazione circuitale che permetta tale connessione.

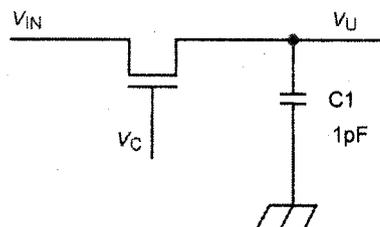


A	B
$V_{OLmax} = 1.5 \text{ V}$	$V_{IL} = 1 \text{ V}$
$I_{OLmax} = 10 \text{ mA}$	$I_{IL} = -0.5 \text{ mA}$
$V_{OHmin} = 4 \text{ V}$	$V_{IH} = 3.5 \text{ V}$
$I_{OHmin} = -10 \text{ mA}$	$I_{IH} = 1 \text{ mA}$

ESERCIZIO N°2

6 punti

Si consideri il circuito di figura dove la tensione V_C è pari a 5 V. All'istante $t=0$ la tensione v_{IN} passa da 0 a 5 V istantaneamente. Determinare il valore finale della tensione di uscita $V_{U\infty}$ e il valore della corrente I_{C0} sulla capacità all'istante $t=0$. Si supponga la capacità inizialmente scarica e si assuma per il transistor NMOS una tensione di soglia $V_T = 1 \text{ V}$ e una transconduttanza $k_N = 20 \mu\text{A}/\text{V}^2$.



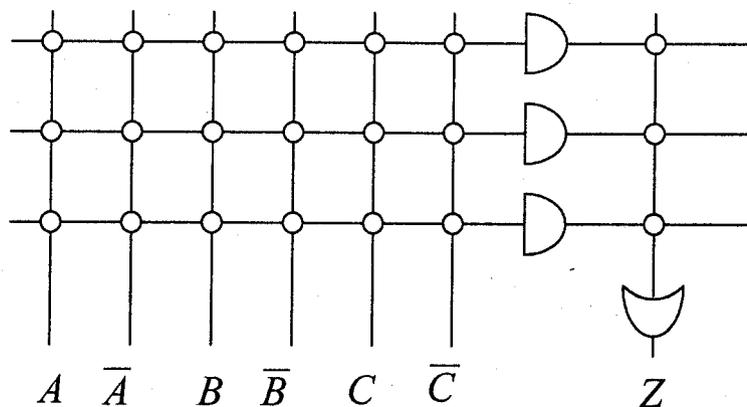
$V_{U\infty}$	I_{C0}

ESERCIZIO N°3

6 punti

Sintetizzare, se possibile, sul PLA di figura la seguente funzione combinatoria:

$$Z = \bar{A} \cdot \bar{B} \cdot \bar{C} + A \cdot B \cdot \bar{C} + A \cdot \bar{B} \cdot \bar{C} + \bar{A} \cdot B \cdot C + A \cdot B \cdot C$$



ESERCIZIO N°4

6 punti

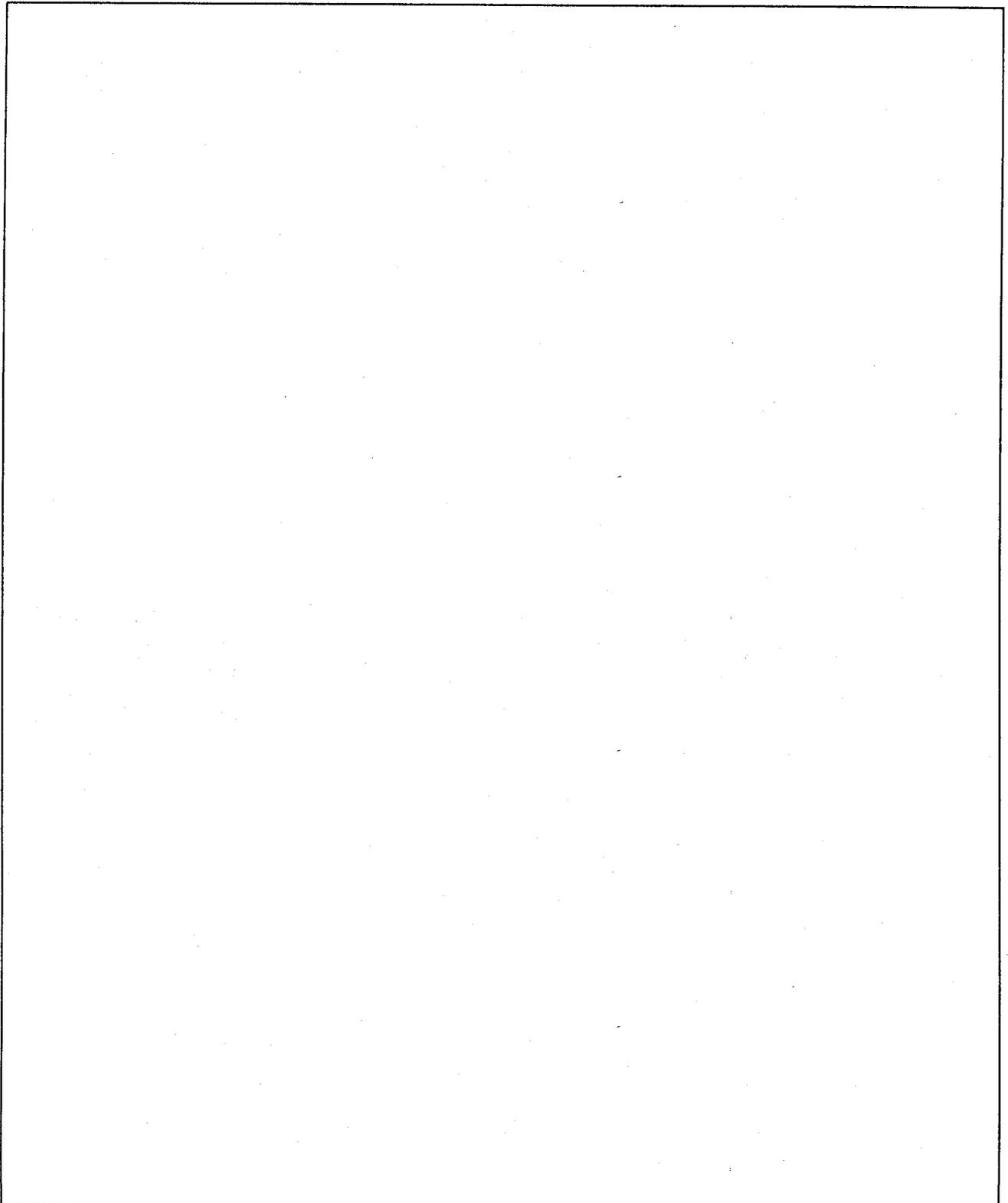
Scrivere il microcodice del sequenziatore realizzato con architettura a ROM di cui è riportato il contenuto.

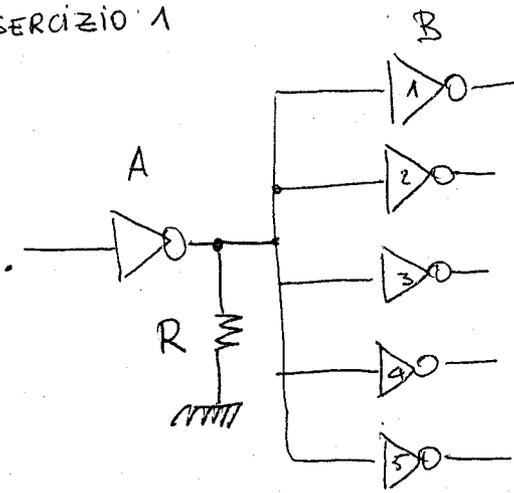
T	F	CF	OP
000	001	0	000
010	001	0	010
000	011	1	110
011	100	0	111
101	100	1	001
010	110	1	011
111	110	0	000
111	000	1	110

ESERCIZIO N°5

9 punti

Scrivere il sottoprogramma *sub_es5* per il microcontrollore AT90S8515 che conta il numero di 1 presenti nella locazione di memoria indirizzata dal registro X. Il sottoprogramma deve scrivere il risultato nella locazione di memoria indirizzata dal registro Y e lasciare inalterato il contenuto della locazione di memoria indirizzata dal registro X.





$V_{OHmax} > V_{IL} \Rightarrow$ le due logiche sono incompatibili
 \Rightarrow proviamo ad usare una resistenza in configurazione PULL-DOWN

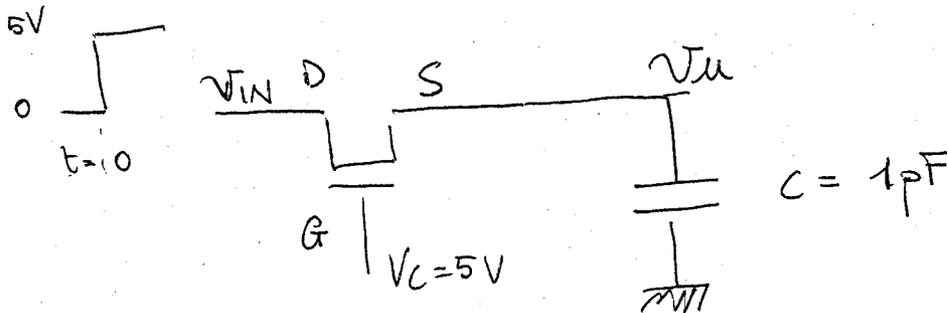
Dimensionamento di R

(1) $N \cdot R \cdot |I_{IL}| < V_{IL}$; $R < \frac{V_{IL}}{N \cdot |I_{IL}|} = 400 \Omega$

(2) $\frac{V_{OHmin}}{R} + N I_{IH} < |I_{OH}|$; $R > \frac{V_{OHmin}}{|I_{OH}| - N I_{IH}} = 800 \Omega$

PERTANTO TALE CONNESSIONE NON È POSSIBILE

ESERCIZIO 2



$V_C - V_{U\infty} = V_T$, da cui $V_{U\infty} = V_C - V_T = 4V$

$t = 0$, $V_U = 0$

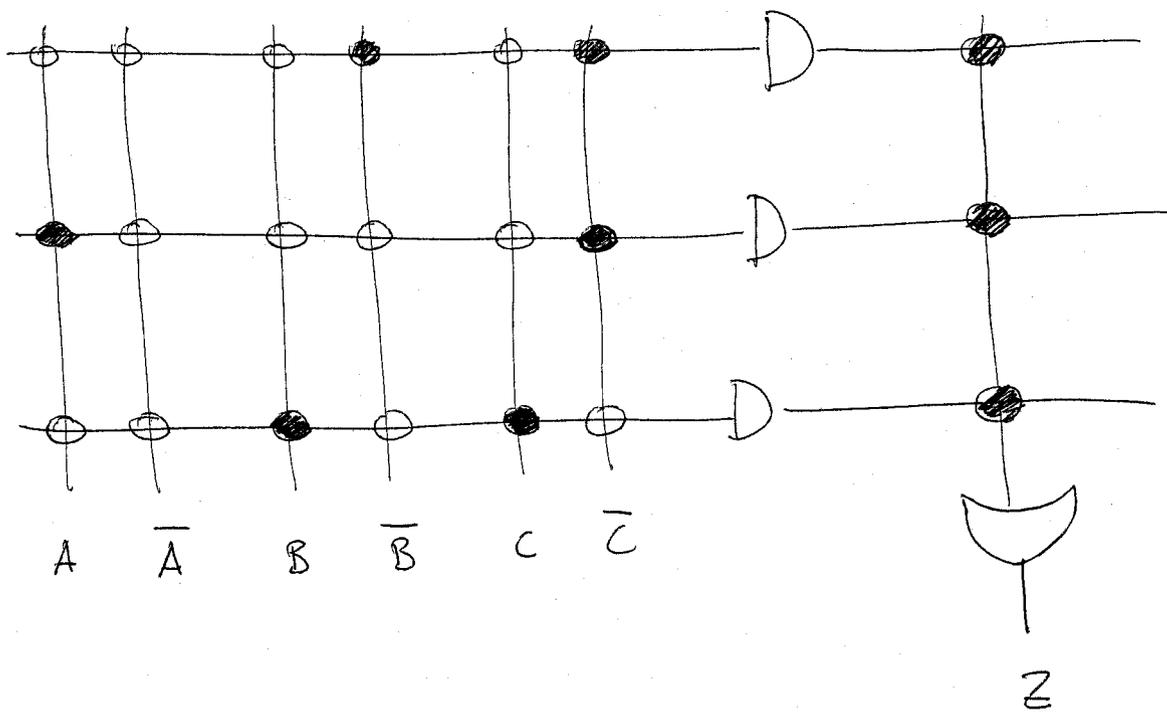
$V_{GD} = 0 \Rightarrow$ NMOS è in saturazione

$I_{CO} = \frac{K_N (V_{GS} - V_T)^2}{2} = \frac{K_N (V_C - V_T)^2}{2} = 160 \mu A$

	A	B	00	01	11	10
C	0	1	1	0	1	1
	1	0	1	1	0	

Z

$$Z = \bar{B} \cdot \bar{C} + A \cdot \bar{C} + BC$$



ESERCIZIO 4

A0 : OP = 000 ; IF H A0 ELSE A1

A1 : OP = 010 ; IF H A2 ELSE A1

A2 : OP = 110 ; IF G A0 ELSE A3

A3 : OP = 111 ; IF H A3 ELSE A4

A4 : OP = 001 ; IF G A5 ELSE A4

A5 : OP = 011 ; IF G A2 ELSE A6

A6 : OP = 000 ; IF H A7 ELSE A6

A7 : OP = 110 ; IF G A7 ELSE A0

sub-05 : PUSH R16
 PUSH R17
 PUSH R18
 LDI R16, 8
 LD R17, X
 CLR R18
ripeti : ROR R17
 ADC R18, 0
 DEC R16
 BRNE ripeti
 ST ~~X~~, R18
 POP R18
 POP R17
 POP R16