

SCHEMA N°D009	Data: 10/02/2003
Nome _____	Valutazione:
Tempo disponibile: 1ora Durante la prova: NON è consentito uscire dall'aula, né consultare testi.	

ESERCIZIO N°1

6 punti

In tabella sono riportati i parametri elettrici dell'inverter della famiglia logica A. Determinare il massimo fan-out N .

V_{OHmin}	4 V
I_{OHmax}	-20 mA
V_{OLmax}	1 V
I_{OLmax}	10 mA
V_{IH}	3.6 V
I_{IH}	1.5 mA
V_{IL}	1.5 V
I_{IL}	-2 mA

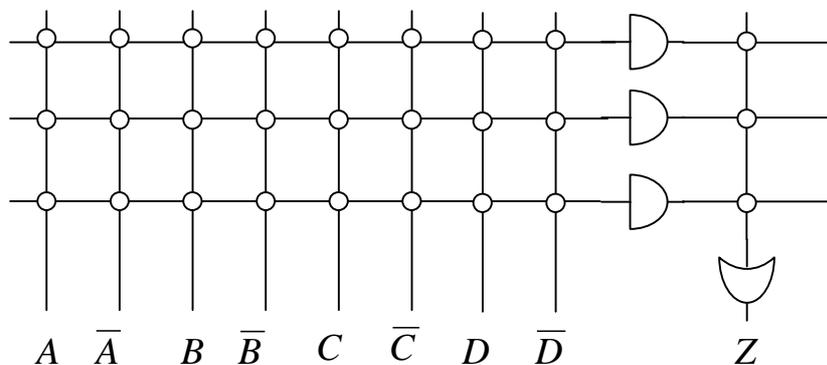
N

ESERCIZIO N°2

6 punti

Sintetizzare, se possibile, sul piano PLA di figura la funzione combinatoria descritta dalla seguente forma canonica SP.

$$Z = (\bar{A} \cdot \bar{B} \cdot \bar{C} \cdot \bar{D}) + (A \cdot \bar{B} \cdot \bar{C} \cdot \bar{D}) + (\bar{A} \cdot \bar{B} \cdot C \cdot \bar{D}) + (A \cdot B \cdot C \cdot \bar{D}) + (A \cdot \bar{B} \cdot C \cdot \bar{D}) + (\bar{A} \cdot \bar{B} \cdot \bar{C} \cdot D)$$



ESERCIZIO N°3

6 punti

Disegnare il grafo di flusso di una macchina sequenziale sincrona che implementa un contatore *up/down* modulo 3.

ESERCIZIO N°4

7 punti

Sintetizzare come macchina sequenziale sincronizzata di Moore, la rete descritta dalla seguente tabella di flusso.

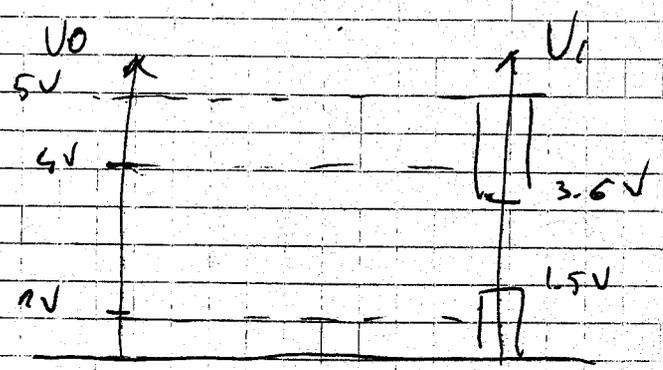
$x_1 x_0$	00	01	11	10	z_1	z_0
S_0	S_0	S_1	S_0	S_0	1	0
S_1	S_0	S_1	S_2	S_0	1	1
S_2	S_0	S_1	S_3	S_0	0	0
S_3	S_0	S_1	S_3	S_0	1	0

ESERCIZIO N°5

8 punti

Scrivere il sottoprogramma *sub_es5* per il microcontrollore AT90S8515 che complementa i bit di posizione dispari (bit: 1, 3, 5, 7) di un byte. Il sottoprogramma riceve l'indirizzo del byte da elaborare nel registro X e restituisce il risultato nel registro R2, senza modificare il contenuto della locazione di memoria.

ES 1



LA LOGICA A È
CONSISTENTE

$$N = \left\lfloor \min \left\{ \left| \frac{I_{OHmax}}{I_{IH}} \right|, \left| \frac{I_{OLmax}}{I_{IL}} \right| \right\} \right\rfloor = 5$$

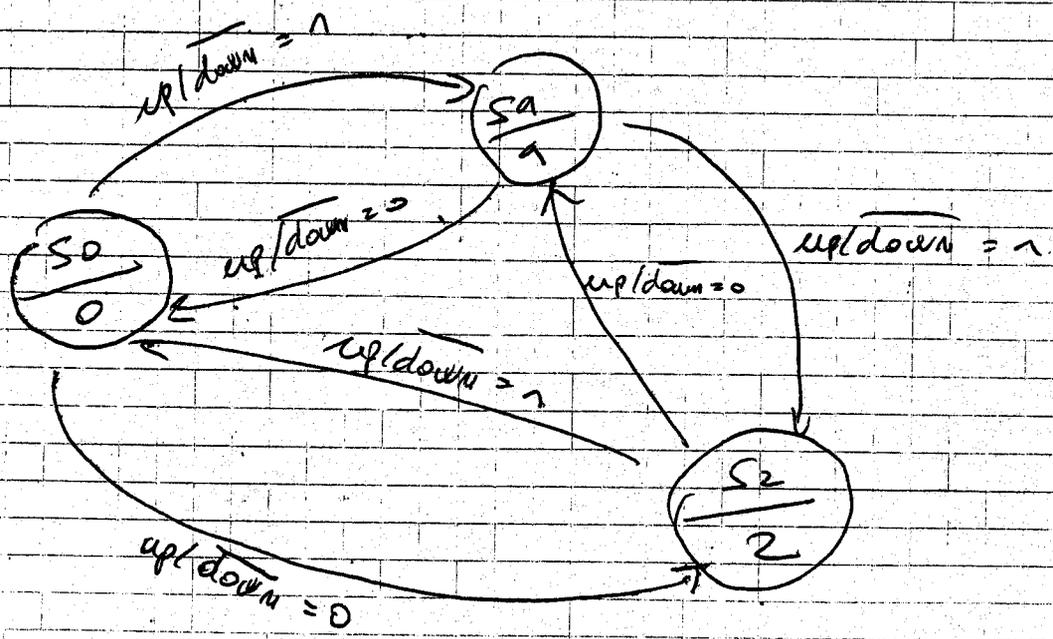
2

		A			
		C			
	B	00	01	11	10
00		1	0	0	1
01		1	0	0	0
11		0	0	0	0
10		1	0	1	1

$$Z = \bar{B} \cdot \bar{D} + \bar{A} \cdot \bar{B} \cdot \bar{C} + A \cdot C \cdot \bar{D}$$

È possibile implementarla col
primo PLA di figura

3



4

Codice degli stati

	Δ_1	Δ_0
S_0	0	0
S_1	0	1
S_2	1	0
S_3	1	1

$x_1 x_0$		Δ_0				$Z_1 Z_0$	
		00	01	11	10		
Δ_1	00	00	01	00	00	1	0
	01	00	01	10	00	1	1
	11	00	01	11	00	1	0
	10	00	01	11	00	0	0

$$Z_0 = \overline{\Delta_1} \cdot \Delta_0$$

$$Z_1 = \overline{\Delta_1} + \Delta_0$$

$x_1 x_0$		Δ_1			
		00	01	11	10
Δ_0	00	0	0	0	0
	01	0	0	1	0
	11	0	0	1	0
	10	0	0	1	0

$$\Delta_1 = x_1 x_0 \Delta_0 + x_1 \overline{x_0} \Delta_1$$

$x_1 x_0$		Δ_0			
		00	01	11	10
Δ_1	00	0	1	0	0
	01	0	1	0	0
	11	0	1	1	0
	10	0	1	1	0

$$\Delta_0 = \overline{x_1} x_0 + x_0 \Delta_1$$

5

Sub-05: PUSH R16

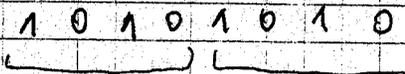
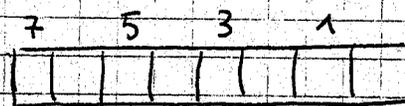
LD R2, X

LDI R16, 0x AA

EOR R2, R16

POP R16

RET



0x

AA

AA

(+)

Tabella di verità della porta XOR :

A	B	A ⊕ B
0	0	0
1	0	1
0	1	1
1	1	0

On the right side of the table, there are two vertical curly braces. The first brace groups the first two rows (0,0) and (1,0) and is labeled 'A'. The second brace groups the last two rows (0,1) and (1,1) and is labeled 'A' with a horizontal line above it.