

SCHEDA N°D_04_02		Data: _____	
Cognome <u>CORREZIONE</u>		Posizione	Valutazione
Nome _____			
Tempo disponibile:..... 1ora		NON è consentito uscire dall'aula, né consultare testi esclusi i data sheet NON usare il colore rosso Riconsegnare tutti i fogli ricevuti. I risultati devono essere motivati chiaramente.	
Durante la prova:.....			

ESERCIZIO N°1

7 punti

Si considerino le famiglie logiche *A* e *B*, i cui parametri elettrici sono riportati nel seguito. Si vogliono collegare 7 inverter della famiglia logica *B* in uscita a un inverter della famiglia logica *A*. Determinare, se possibile, una configurazione circuitale che permetta tale connessione. Si assuma di avere a disposizione una tensione di alimentazione $V_{CC} = 5\text{ V}$ e resistenze di valore opportuno.

Parametri di uscita della logica <i>A</i>			
V_{OLmax}	0.8 V	V_{OHmin}	3 V
I_{OLmax}	10 mA	I_{OHmin}	-10 mA
Parametri di ingresso della logica <i>B</i>			
V_{IL}	1.5 V	V_{IH}	3.5 V
I_{IL}	-0.5 mA	I_{IH}	0.1 mA

ESERCIZIO N°2

6 punti

Realizzare in tecnologia CMOS un multiplexer a due vie.

ESERCIZIO N°3

7 punti

Disegnare il grafo di flusso di un contatore bidirezionale (U/D') con reset (RES) modulo 4 e progettare la rete sequenziale di Moore che lo implementa. A titolo di esempio viene presentata l'uscita della rete (dopo il clock) per una possibile sequenza degli ingressi:

RES	U/D'	C1	C0
1	0	0	0
1	1	0	0
0	1	0	1
0	1	1	0
0	1	1	1
0	1	0	0
0	0	1	1
1	0	0	0
0	0	1	1
0	0	1	0

ESERCIZIO N°4

5 punti

Disegnare lo schema logico di un sequencer a 8 stati che implementa il seguente microcodice. Si assegni un codice di tre bit agli stati e si mostri il contenuto della ROM da 8 parole di 8 bit; come registro per l'indirizzo si ha a disposizione un contatore sincrono con caricamento parallelo (se il segnale di ingresso sincrono LD è attivo carica parallelo, altrimenti incrementa modulo 8).

```
A1: OP=111; IF h A2 ELSE A5
A2: OP=000; IF h A3 ELSE A1
A3: OP=101; IF g A4 ELSE A2
A4: OP=111; IF g A5 ELSE A4
A5: OP=110; IF h A6 ELSE A2
A6: OP=000; IF h A7 ELSE A4
A7: OP=010; IF g A8 ELSE A6
A8: OP=111; IF g A1 ELSE A2
```

ESERCIZIO N°5

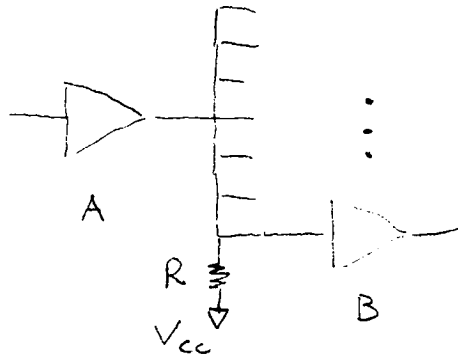
8 punti

Scrivere un sottoprogramma per il microcontrollore AT90S8515 che complementi i bit di posizione 3 e 5 (LSB ha posizione 0) della locazione di memoria puntata dal registro X. Valutare il numero di cicli che richiede l'esecuzione del sottoprogramma scritto, compresa la sua chiamata.

① Le logiche non sono interfacciabili direttamente

$$V_{OHmin} < V_{IH}$$

Proviamo a risolvere il problema con un pull-up



Determino le condizioni che deve soddisfare il circuito sul livello basso

$$V_{OLmax} < V_{IL} \quad \text{OK}$$

$$I_{OLmax} > \frac{V_{CC} - V_{OLmax}}{R} - N I_{IL} \quad \text{da cui}$$

$$R > \frac{V_{CC} - V_{OLmax}}{I_{OLmax} + N I_{IL}} = \frac{4.2 \text{ K}}{10 - 3.5} = 0.646 \text{ k}\Omega$$

Sul livello alto, il pull-up deve garantire almeno V_{IH} .
Ipotesi interdotta ex porta A -
Deve essere:

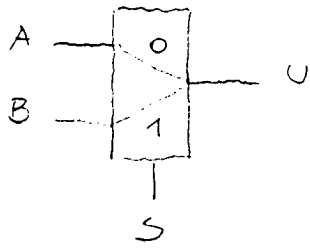
$$\frac{V_{CC} - V_{IH}}{R} > N I_{IH} \quad \text{da cui}$$

$$R < \frac{V_{CC} - V_{IH}}{N I_{IH}} = \frac{1.5 \text{ K}}{0.7} = 2.14 \text{ k}\Omega$$

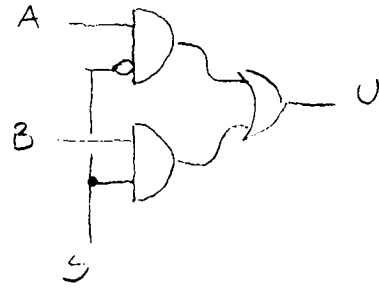
La soluzione quindi esiste. Si può scegliere, per esempio

$$R = 1 \text{ k}\Omega$$

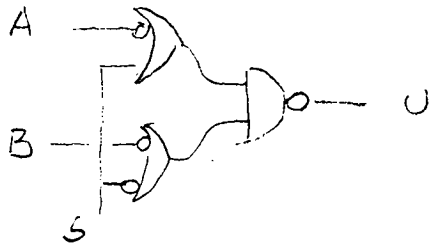
② La rete logica da realizzare è la seguente:



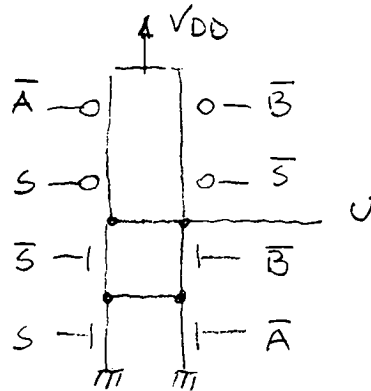
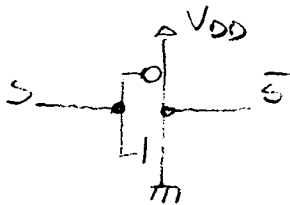
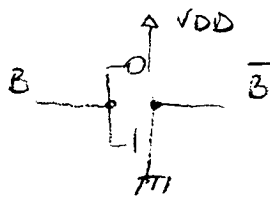
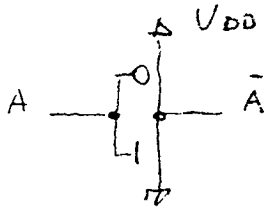
Sintesi a porte logiche (SP)



Modifico la sintesi in modo da ripartirmi all'uso di una porta AOI



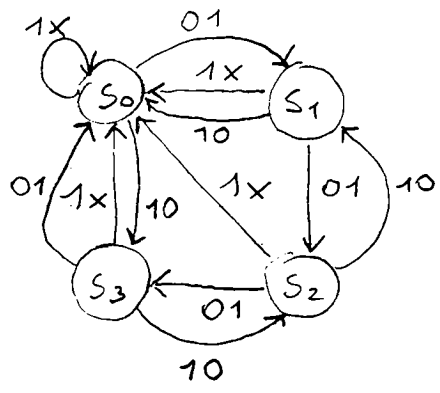
Realizzo in CMOS



3

Grafo di flusso (R, U/D')

Codifico gli stati in modo da realizzare la rete di uscita con un coltociquito



	Δ_1	Δ_0
S0	0	0
S1	0	1
S2	1	0
S3	1	1

Del grafo ricavo la tabella di flusso

$\Delta_1 \Delta_0$		R, U/D'				$C_1 C_0$
		00	01	11	10	
00	00	11	01	00	00	00
01	00	00	10	00	00	01
11	10	10	00	00	00	11
10	01	11	00	00	00	10

Δ_1	Δ_0
1	0
0	1
1	0
0	1

Δ_1	Δ_0
1	0
0	0
0	0
1	0

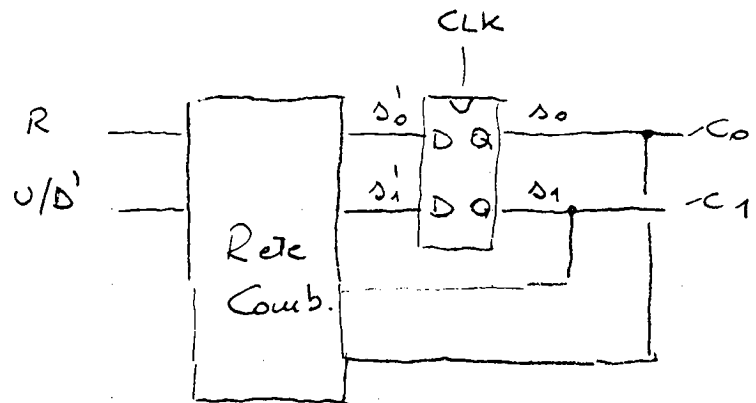
$$\Delta_1 = \bar{R} \cdot \overline{U/D'} \cdot \bar{\Delta}_1 \cdot \bar{\Delta}_0 +$$

$$+ \bar{R} \cdot U/D' \cdot \bar{\Delta}_1 \cdot \Delta_0 +$$

$$+ \bar{R} \cdot \overline{U/D'} \cdot \Delta_1 \cdot \Delta_0 +$$

$$+ \bar{R} \cdot U/D' \cdot \Delta_1 \cdot \bar{\Delta}_0$$

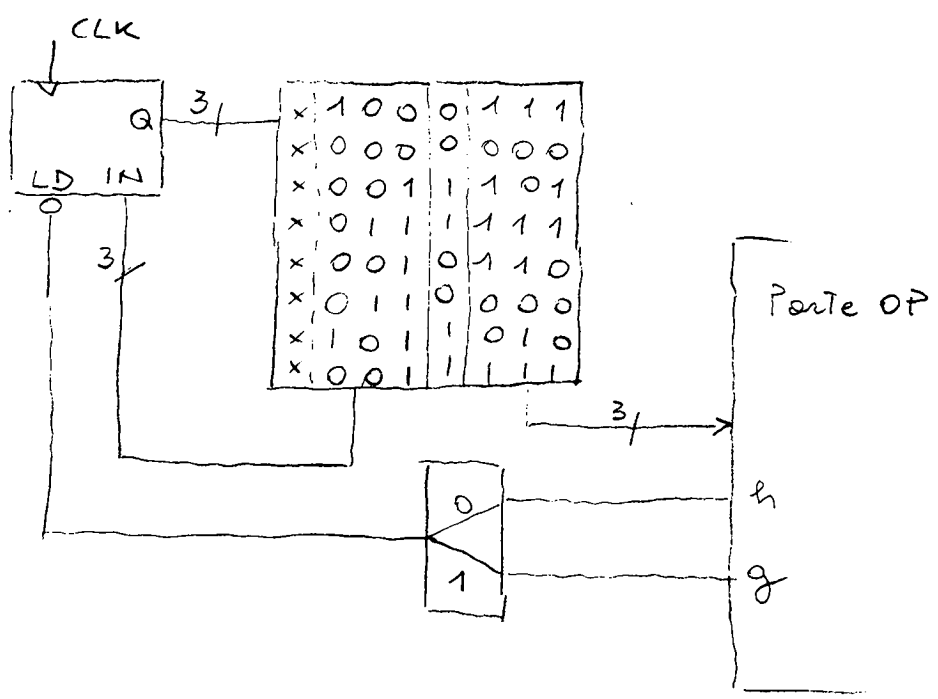
$$\Delta_0 = \bar{R} \cdot \bar{\Delta}_0$$



④ Sequenziatore e contatore
 Codifica degli stati e per il mux dei flag

A1	000	h	0
A2	001	g	1
A3	010		
A4	011		
A5	100		
A6	101		
A7	110		
A8	111		

Architettura



⑤ si ha

```

3   RCALL  subz           2   subz:  PUSH R16
                                2   PUSH R17
                                2   LD   R16, X
                                1   LDI  R17, 0500101000
                                1   EOR  R16, R17
                                2   ST   X, R16
                                2   POP  R17
                                2   POP  R16
                                4   RET
  
```

Sommando i cicli si ottiene 21