

SCHEDA N°D_05_01_A

Data: 12/01/2005

Nome _____

Valutazione:

Coordinate banco

Tempo a disposizione: 1ora
NON è consentito uscire dall'aula, né consultare testi.
NON utilizzare la penna rossa.
I fogli di brutta devono essere riconsegnati.
I risultati devono essere chiaramente motivati.

ESERCIZIO N°1

6 punti

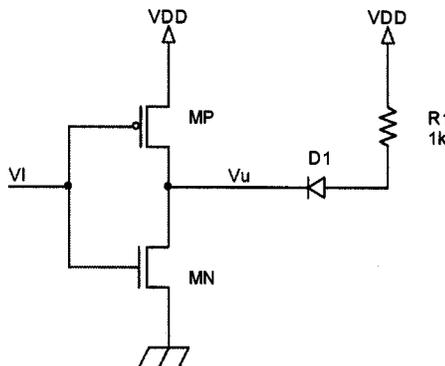
Si considerino le famiglie logiche *A* e *B*, i cui parametri elettrici sono riportati nella tabella seguente. Si vogliono collegare $N = 10$ inverter della famiglia logica *B* in uscita ad un inverter della famiglia logica *A*, garantendo un margine di rumore sul livello basso pari a quello sul livello alto. Determinare, se possibile, una configurazione circuitale che permetta tale connessione. Si assuma di avere a disposizione una batteria di valore $V_{CC} = 5\text{ V}$ e una cassettera di resistenze di valore opportuno.

<i>A</i>	<i>B</i>
$V_{OLmax} = 1.5\text{ V}$	$V_{IL} = 1\text{ V}$
$I_{OLmax} = 20\text{ mA}$	$I_{IL} = -0.10\text{ mA}$
$V_{OHmin} = 4\text{ V}$	$V_{IH} = 3.5\text{ V}$
$I_{OHmin} = -15\text{ mA}$	$I_{IH} = 0.15\text{ mA}$

ESERCIZIO N°2

7 punti

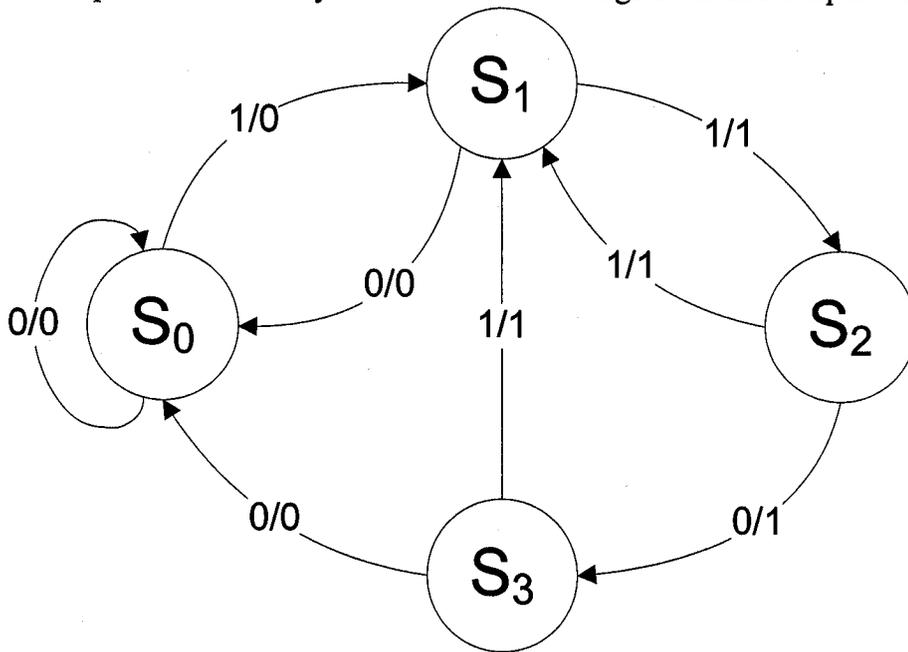
Determinare la tensione di uscita dell'inverter CMOS V_U quando l'ingresso si trova nello stato logico alto, $V_I = V_{DD} = 5\text{ V}$. Si consideri il diodo quasi ideale, con tensione di accensione di 0.7 V , e per i MOS $K_N = K_P = 1\text{ mA/V}^2$ e $V_{TN} = |V_{TP}| = 1\text{ V}$.



ESERCIZIO N°3

6 punti

Sintetizzare la rete sequenziale di Mealy ritardato descritta dal grafo di flusso riportato in figura.



ESERCIZIO N°4

6 punti

Disegnare lo schema logico di un sequenziatore a 8 stati che implementa il microdice riportato di seguito. Si assegni un codice di 3 bit opportuno a ciascun stato e si mostri il contenuto della ROM da 8 parola di 7 bit. La codifica degli stati deve permettere la realizzazione del registro per l'indirizzo è implementato come un contatore sincrono a 3 bit con caricamento parallelo.

- L₀: OP = 101; if H L₁ else L₀
- L₁: OP = 100; if H L₄ else L₁
- L₂: OP = 011; if H L₀ else L₂
- L₃: OP = 010; if G L₃ else L₂
- L₄: OP = 111; if H L₆ else L₃
- L₅: OP = 000; if H L₂ else L₆
- L₆: OP = 001; if G L₇ else L₆
- L₇: OP = 110; if G L₅ else L₀

ESERCIZIO N°5

8 punti

Scrivere un programma per il microcontrollore AT90S8515, che, dopo aver correttamente inizializzato le porte utilizzate, esegua un ciclo continuo che commuta lo stato del pin 0 della porta B se il pin 0 della porta A è passato dal valore 1, del ciclo precedente, al valore 0 (pulsante premuto). Si tenga conto che sul pin 0 è collegato un pulsante con un terminale connesso a massa. Finché il pulsante non viene premuto per la prima volta, il pin 0 della porta B deve trovarsi nello stato alto.

SCHEDA N°D_05_01_B	VARIANTE CON PICCOLE MODIFICHE	Data: 12/01/2005
Nome _____		Valutazione:
Coordinate banco	Tempo a disposizione: 1ora NON è consentito uscire dall'aula, né consultare testi. NON utilizzare la penna rossa. I fogli di brutta devono essere riconsegnati. I risultati devono essere chiaramente motivati.	

ESERCIZIO N°1

8 punti

Scrivere un programma per il microcontrollore AT90S8515, che, dopo aver correttamente inizializzato le porte utilizzate, esegua un ciclo continuo che commuta lo stato del pin 0 della porta B se il pin 0 della porta A è passato dal valore 0, del ciclo precedente, al valore 1 (pulsante rilasciato). Si tenga conto che sul pin 0 è collegato un pulsante con un terminale connesso a massa. Finché il pulsante non viene premuto per la prima volta, il pin 0 della porta B deve trovarsi nello stato basso.

ESERCIZIO N°2

6 punti

Disegnare lo schema logico di un sequenziatore a 8 stati che implementa il microdice riportato di seguito. Si assegni un codice di 3 bit opportuno a ciascun stato e si mostri il contenuto della ROM da 8 parola di 7 bit. La codifica degli stati deve permettere la realizzazione del registro per l'indirizzo è implementato come un contatore sincrono a 3 bit con caricamento parallelo.

$L_0: OP = 100; \text{if } H L_0 \text{ else } L_1$
 $L_1: OP = 101; \text{if } H L_1 \text{ else } L_4$
 $L_2: OP = 111; \text{if } H L_2 \text{ else } L_0$
 $L_3: OP = 010; \text{if } G L_2 \text{ else } L_3$
 $L_4: OP = 011; \text{if } H L_3 \text{ else } L_6$
 $L_5: OP = 000; \text{if } H L_6 \text{ else } L_2$
 $L_6: OP = 001; \text{if } G L_7 \text{ else } L_7$
 $L_7: OP = 110; \text{if } G L_5 \text{ else } L_5$

ESERCIZIO N°3

6 punti

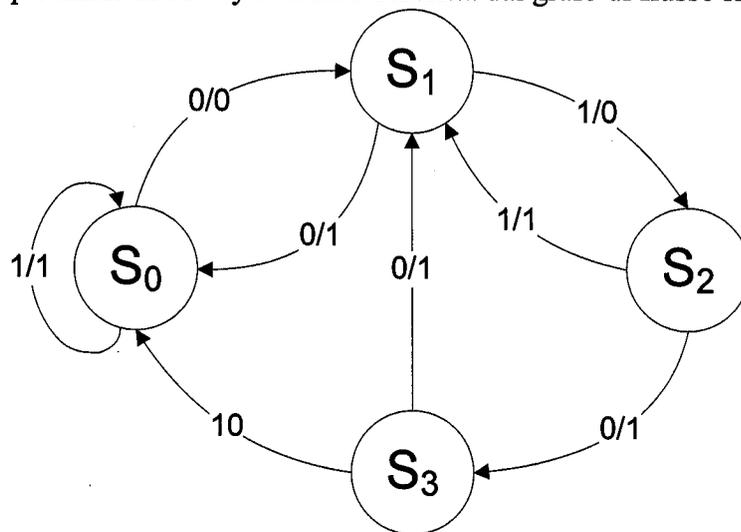
Si considerino le famiglie logiche A e B , i cui parametri elettrici sono riportati nella tabella seguente. Si vogliono collegare $N=5$ inverter della famiglia logica B in uscita ad un inverter della famiglia logica A , garantendo un margine di rumore sul livello basso pari a quello sul livello alto. Determinare, se possibile, una configurazione circuitale che permetta tale connessione. Si assuma di avere a disposizione una batteria di valore $V_{CC} = 5\text{ V}$ e una cassetteria di resistenze di valore opportuno.

A	B
$V_{OLmax} = 0.5\text{ V}$	$V_{IL} = 1\text{ V}$
$I_{OLmax} = 20\text{ mA}$	$I_{IL} = -0.10\text{ mA}$
$V_{OHmin} = 3.5\text{ V}$	$V_{IH} = 4\text{ V}$
$I_{OHmin} = -15\text{ mA}$	$I_{IH} = 0.15\text{ mA}$

ESERCIZIO N°4

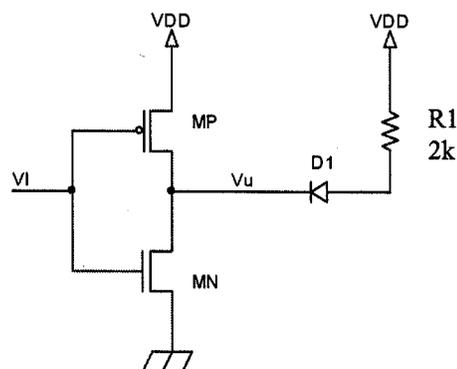
6 punti

Sintetizzare la rete sequenziale di Mealy ritardato descritta dal grafo di flusso riportato in figura.

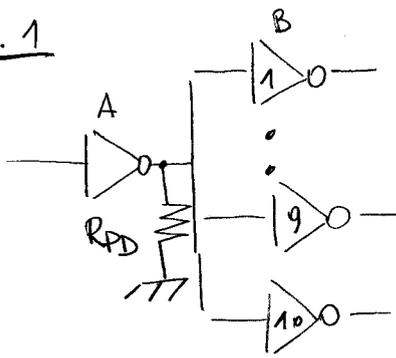


ESERCIZIO N°5

Determinare la tensione di uscita dell'inverter CMOS V_U quando l'ingresso si trova nello stato logico alto, $V_I = V_{DD} = 5\text{ V}$. Si consideri il diodo quasi ideale, con tensione di accensione di 0.7 V , e per i MOS $K_N = K_P = 1\text{ mA/V}^2$ e $V_{TN} = |V_{TP}| = 1\text{ V}$.



Es. 1



sul livello alto $V_{OH}^A > V_{IH}^B$ OK
 $NM_H = 0.5 V$

sul livello basso la condizione sulla tensione non è verificata
 \Rightarrow PULL DOWN

$$V_{OL}^A = V_{IL}^B - NM_H = 0.5 V$$

$$V_{OL}^A = R_{PD} \cdot N |I_{IL}^B| ; R_{PD} = \frac{V_{OL}^A}{N |I_{IL}^B|} = 500 \Omega$$

Controlliamo la condizione sulle correnti sul livello alto

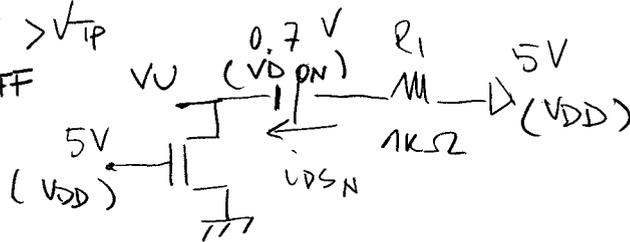
$$I_{OH}^A = -\frac{V_{OH}^A}{R_{PD}} - N I_{IH}^B = -9.5 mA$$

$$|I_{OH}^A| > |I_{OH}^{min}| \quad OK$$

Es. 2

$$V_{DD} = 5 V$$

$V_{GS_p} = 0 V > V_{TP}$
 \Rightarrow PMOS OFF



ip. DIODO ON
 NMOS TRIODO

$$\begin{cases} I_{DSN} = \frac{K_N}{2} V_{DSN} \left[2(V_{GSN} - V_{TN}) - V_{DSN} \right] \\ V_{DD} = R_1 I_{DSN} + V_{DON} + V_{DSN} \end{cases} ; \begin{matrix} V_{GSN} = V_{DD} \\ V_{DSN} = V_U \end{matrix}$$

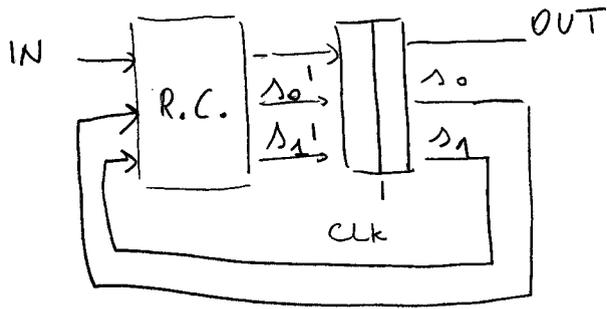
$$V_{DD} = \frac{K_N R_1}{2} V_U \left[2(V_{DD} - V_{TN}) - V_U \right] + V_{DON} + V_U$$

$$5 = 4.3 V_U - 0.5 V_U^2 + 0.7 + V_U ; 0.5 V_U^2 - 5.3 V_U + 4.3 = 0$$

$$V_U = 5.3 \pm \sqrt{5.3^2 - 8.6} \rightarrow \text{NON ACCETTABILE (VGD < 0)} \\ \rightarrow 0.89 V$$

$$V_{GD} = 5 - 0.89 = 4.11 V > V_{TN} \quad OK \quad TRIODO ; I_{DSN} > 0 \quad DIODO ON \quad OK$$

Es. 3



	IN	
	0	1
S_0	$S_0/0$	$S_1/0$
S_1	$S_0/0$	$S_2/1$
S_2	$S_3/0$	$S_1/1$
S_3	$S_0/0$	$S_1/1$

	Δ_1	Δ_0
S_0	0	0
S_1	0	1
S_2	1	0
S_3	1	1

		IN	
		0	1
Δ_1	Δ_0		
00	00	00/0	01/0
01	00	00/0	10/1
11	00	00/0	01/1
10	11	11/0	01/1

$\Delta_1^1 \Delta_0^1 / \text{OUT}$

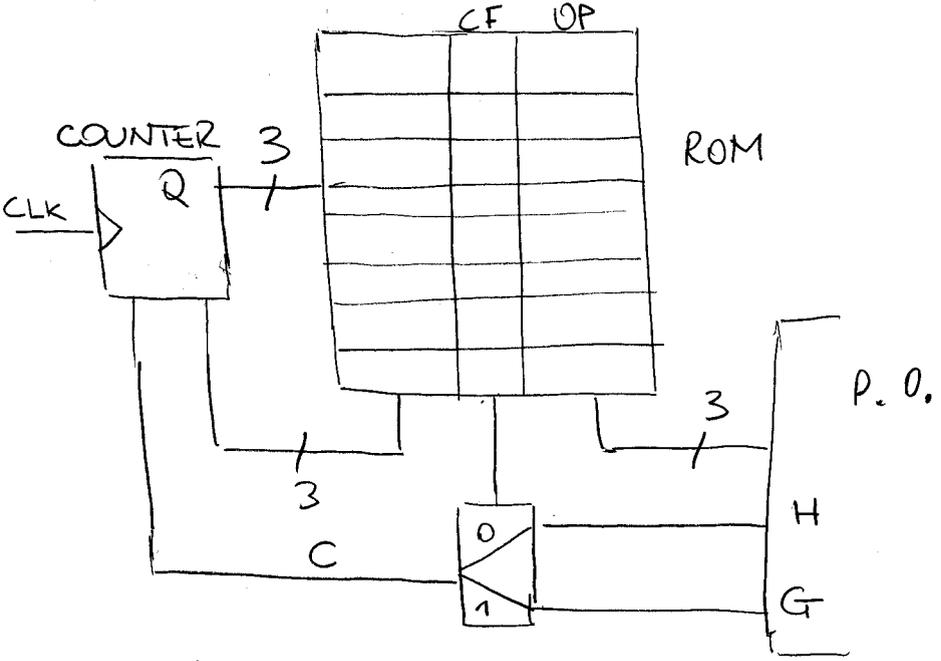
		IN	
		0	1
Δ_1	Δ_0		
00	00	0	0
01	00	0	1
11	00	0	0
10	11	1	0

		IN	
		0	1
Δ_1	Δ_0		
00	00	0	1
01	00	0	0
11	00	0	1
10	11	1	1

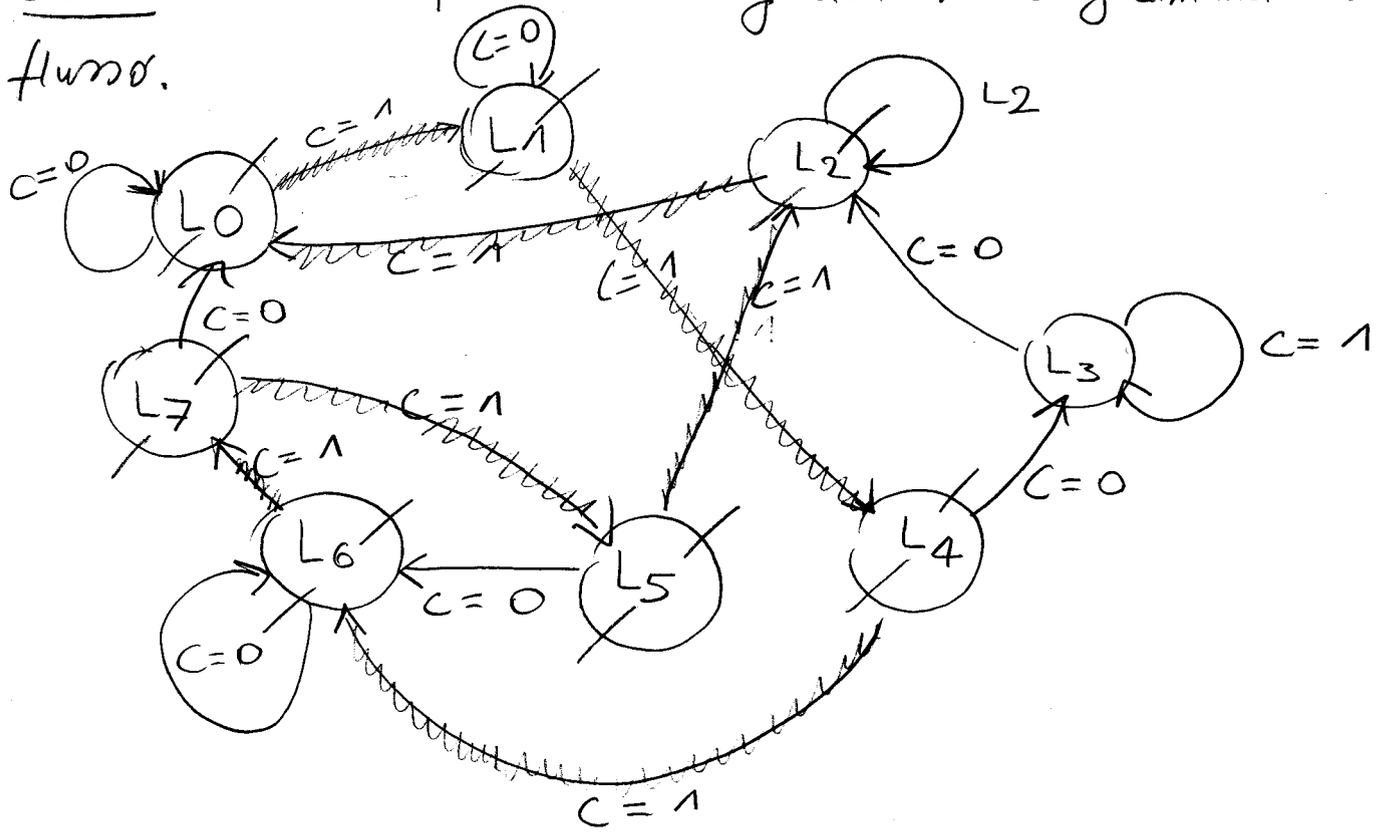
		IN	
		0	1
Δ_1	Δ_0		
00	00	0	0
01	00	0	1
11	00	0	1
10	11	0	1

$$\text{OUT} = \text{IN} \Delta_0 + \text{IN} \Delta_1$$

$$\Delta_1^1 = \text{IN} \bar{\Delta}_1 \Delta_0 + \bar{\text{IN}} \Delta_1 \Delta_0; \quad \Delta_0^1 = \text{IN} \cdot \bar{\Delta}_0 + \text{IN} \Delta_0 + \Delta_1 \bar{\Delta}_0$$



Affinchi' sia possibile realizzare il sequenziatore dell'esercizio con questa architettura, la sequenza degli stati deve essere ciclica. Per verificarlo disegnammo il diagramma di flusso.



Quando la condizione è falsa ($C=0$) è immediato verificare che la sequenza degli stati non è ciclica mentre quando la condizione è vera, seguendo i rami con $C=1$ si ottiene una sequenza ciclica che però non è completa ($L3$ resta fuori)

⇒ NON È POSSIBILE REALIZZARE IL SEQUENZIATORE CON L'ARCHITETTURA PROPOSTA.

Es. 5

PINA.0 \rightarrow 0 TASTO PREMUTO
 \rightarrow 1 TASTO RILASCIATO

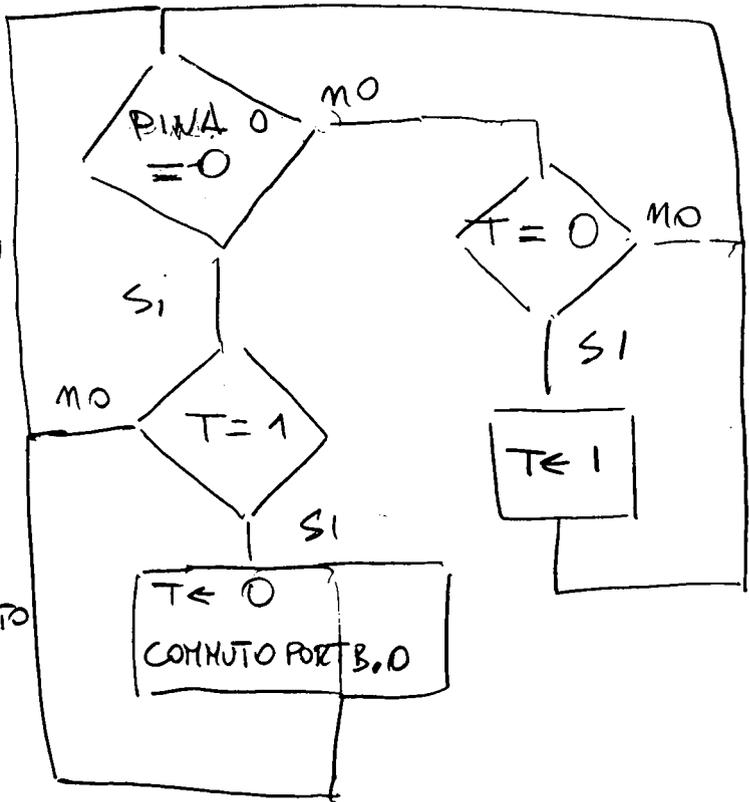
Uso il bit T dello SREG per memorizzare lo stato di PINA.0 al ciclo precedente

cbi DDRA, 0 } PINA.0
 sbi PORTA, 0 } INGRESSO CON
 PULL-UP

sbi PORTB, 0 } PORTB.0
 sbi DDRB, 0 } USCITA
 INIZIALMENTE A 0

ldi R16, 1 } MI SERVE PER
 COMMUTARE
 PORTB.0

SET } METTO IN T
 INIZIALMENTE
 LA CONDIZIONE
 TASTO RILASCIATO



ciclo:

sbic PINA, 0
 rjmp rilasciato
 br te ciclo
 in R0, PORTB
 eor R0, R16
 out PORTB, R0
 clt
 rjmp ciclo

COMUTO PORTB.0

rilasciato:

brrs ciclo
 set
 rjmp ciclo