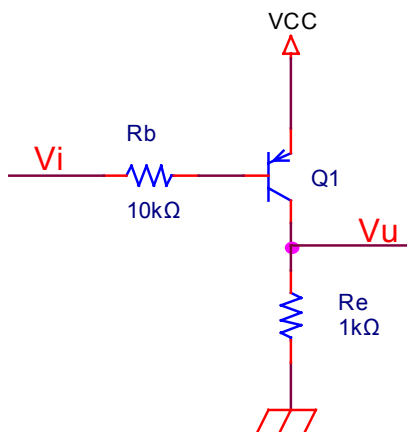


SCHEDA N°D05_02A	Data: 28/01/2005
Nome _____	Valutazione:

ESERCIZIO N°2

7 punti

Determinare la caratteristica di trasferimento a vuoto della seguente porta. Si assuma $V_{CC} = 5\text{ V}$. Determinare la corrente di uscita nel caso di ingresso nullo e uscita in cortocircuito verso massa.



h_{FE}	50
$ V_{BEon} $	0.7 V
$ V_{CEsat} $	0.1 V
$ V_{BEsat} $	0.8 V

ESERCIZIO N°3

6 punti

Disegnare lo schema elettrico a transistori in tecnologia CMOS di una rete logica che esegua la funzione combinatoria $Y = [A(D + BC)]'$. Si usino non più di 8 transistori.

ESERCIZIO N°4

7 punti

Progettare una macchina sincrona a un ingresso che, con ingresso 1, genera la sequenza periodica 100100..., oppure, con ingresso 0, l'altra sequenza 011011..., ripartendo dopo ogni commutazione dell'ingresso dal valore iniziale della sequenza.

ESERCIZIO N°1

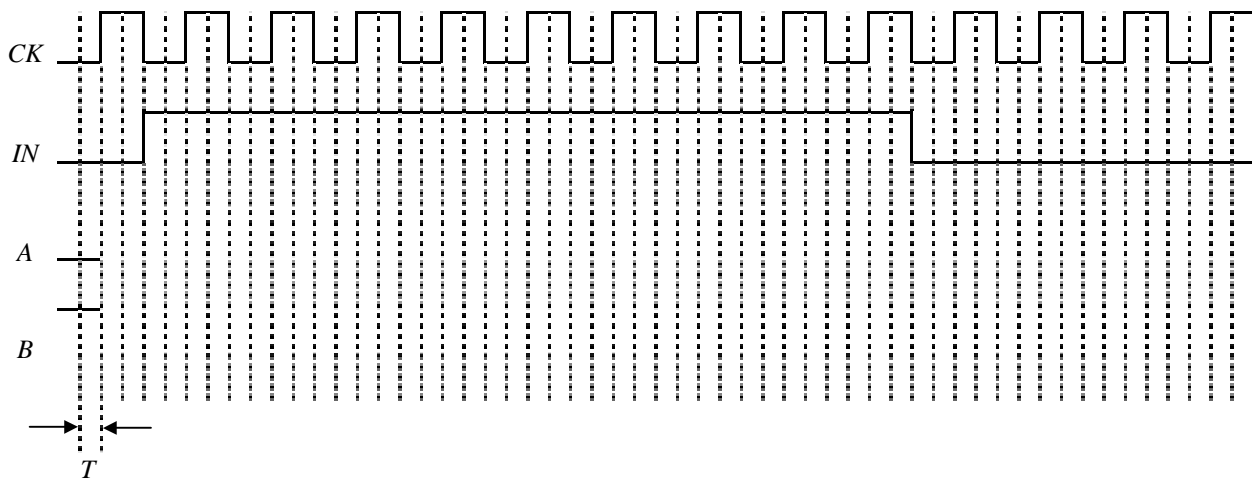
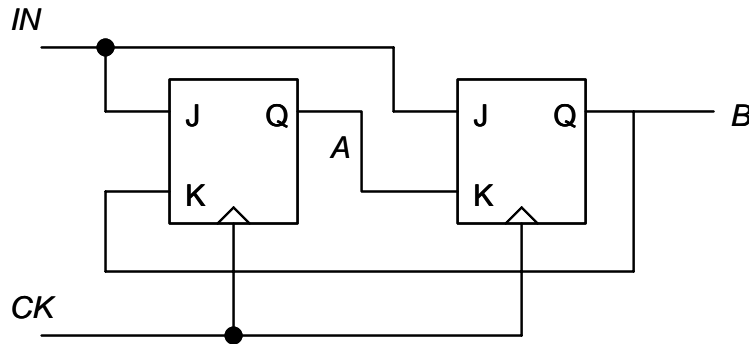
8 punti

Scrivere un programma per il microcontrollore AT90S8515 che, dopo avere opportunamente configurato le porte, legga continuamente lo stato di otto tasti collegati ai pin della porta A, ponendo il valore letto in un registro di lavoro interno, e ponga il pin 0 della porta B a 1 se la tensione ai capi del pin 2 della B è superiore a quella del pin 3 della stessa porta, a 0 altrimenti.

ESERCIZIO N°5

6 punti

Disegnare la temporizzazione dei segnali A , B del circuito di figura. Si assuma che T_{CO} dei flip-flop J-K sia pari a T .



Esercizio 1

Il programma richiesto necessita di una sezione di inizializzazione e di un ciclo perpetuo, per il controllo continuo della porta A e del comparatore analogico. Alcune istruzioni di inizializzazione (porta A in ingresso, accensione del comparatore) potevano essere evitate osservando che, secondo il data sheet, lo stato richiesto coincide con lo stato all'accensione.

```
.include "8515DEF.INC"          ; definizioni dal data sheet
    clr r16                      ; inizializzo porta A
    out DDRA,r16
    ser r16
    out PORTA,r16                ; attivo i pull-up
    ldi r16,0b01                 ; inizializzo porta B
    out DDRB,r16
    clr r16
    out PORTB,r16
    cbi ACSR,ACD                 ; accendo il comparatore
main:
    in r16,PINA                  ; acquisisco la porta A
    sbis ACSR,ACO                ; test sulle tensioni
    rjmp scrivi0                 ; ho trovato VPB2 < VPB3
scrivi1:
    sbi PORTB,0                  ; ho trovato VPB2 > VPB3
    rjmp main
scrivi0:
    cbi PORTB,0
    rjmp main                    ; ciclo perpetuo
```

Esercizio 2

Caratteristica di trasferimento.

L'esercizio propone di determinare la caratteristica di trasferimento di un invertitore RTL con transistor *pnp*. Per affrontare il problema, consideriamo il comportamento per valori estremi dell'ingresso, individuando gli intervalli di tensione per cui i risultati ottenuti risultano validi.

Con ingresso nullo, ragionevolmente il transistorore è in saturazione. Perciò la tensione di uscita vale $V_U = V_{CC} - V_{EC(sat)} = 4.9 \text{ V}$.

Tale ipotesi è verificata se il guadagno di corrente del dispositivo è inferiore a quello previsto per la zona attiva h_{FE} . Il valore della tensione di ingresso per cui questa condizione viene meno è V_{IL} e può essere determinato dalla relazione valida al limite tra la regione di saturazione e la zona attiva:

$$V_{IL} = V_{CC} - V_{EB(sat)} - R_B \frac{V_{CC} - V_{EC(sat)}}{h_{FE} R_C} = 3.22 \text{ V} \quad \text{ed è}$$

$$V_{OH} = V_{CC} - V_{EC(sat)} = 4.9 \text{ V}$$

Se ora consideriamo l'ingresso $V_I = V_{CC}$, appare evidente che il transistorore è interdetto e quindi l'uscita nulla. Il valore della tensione di ingresso per cui questa condizione viene meno è V_{IH} e vale

$$V_{IH} = V_{CC} - V_{EB(on)} = 4.3 \text{ V} \quad \text{ed è} \quad V_{OL} = 0$$

La regione intermedia ai due valori trovati V_{IL} e V_{IH} vede il transistorore in zona attiva e la caratteristica di trasferimento corrispondente può essere approssimata¹ con un segmento rettilineo. La caratteristica risultante è rappresentata in Figura 2.1.

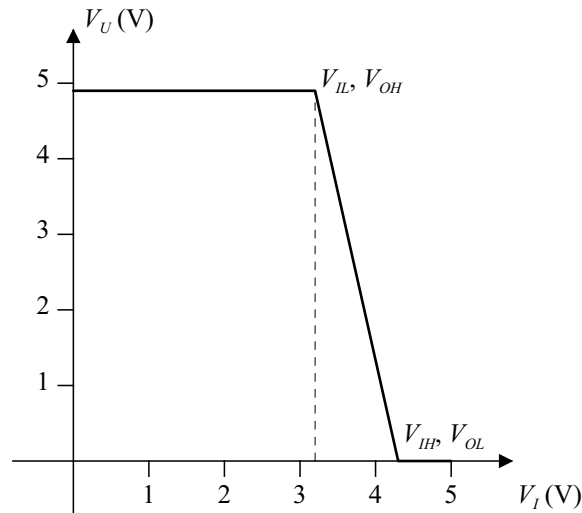


Figura 2.1: Caratteristica di trasferimento dell'invertitore RTL proposto, con transistorore *npn*.

Corrente di cortocircuito I_{CC} .

Nelle condizioni proposte ($V_I = 0$, $V_U = 0$), il transistorore non può che essere in zona attiva². La corrente uscente dalla base vale quindi:

$$I_B = \frac{V_{CC} - V_{EB(on)}}{R_B} = 0.43 \text{ mA}$$

¹ Poiché nel modello di transistorore bipolare adottato nulla si è detto sul modo con cui la V_{EB} passa da $V_{EB(on)}$ a $V_{EB(sat)}$.

² Non può essere interdetto, perché altrimenti la tensione V_{EB} risulterebbe pari a V_{CC} , né può essere in saturazione essendo necessariamente, a causa del cortocircuito, $V_{EC} = V_{CC}$.

La corrente di cortocircuito coincide con la corrente che esce dal collettore, in quanto in R_C non può scorrere alcuna corrente, e che vale, trovandosi il transistor in zona attiva:

$$I_{CC} = h_{FE} I_B = 21.5 \text{ mA}$$

Esercizio 3

Nella Figura 3.1 è rappresentata la porta CMOS richiesta dal testo.

È sufficiente osservare che la funzione è definita già in forma negata e in modo che la sua implementazione diretta con una porta AOI (And-Or-Invert) CMOS è possibile con solo 4 transistori per la parte n e altrettanti per la parte p .

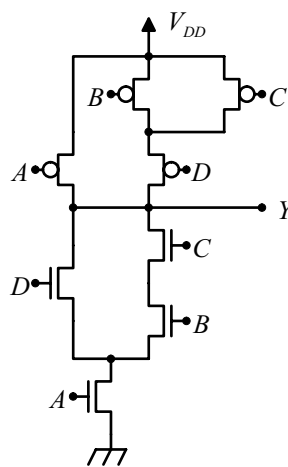


Figura 3.1: Circuito CMOS che realizza la funzione logica $Y = [A(D + BC)]'$.

Esercizio 4

L'esercizio richiede il progetto di un doppio generatore di sequenza, controllato da un ingresso, con periodo di entrambe le sequenze pari a 3. La soluzione più semplice prevede quindi una macchina a 6 stati, 3 per ogni sequenza da generare. Nella Figura 4.1 si propone il grafo di flusso di una macchina di Moore che risolve la prova.

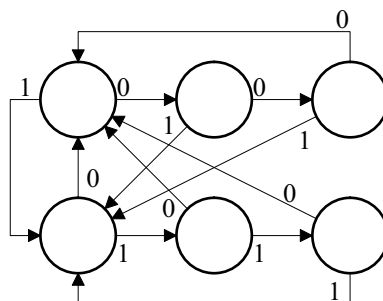


Figura 4.1: Grafo di flusso del generatore di sequenze.

Gli stati possono essere codificati in modo da realizzare la rete combinatoria per l'uscita con un semplice cortocircuito. Tale codifica è proposta in Tabella 4.1.

Tabella 4.1: Codifica degli stati che permette di realizzare la rete di uscita con un cortocircuito, usando la variabile di stato x_0 .

	Variabili di stato (e uscita)		
Stato	x_2	x_1	$x_0 \equiv y$
S0	0	0	1
S1	0	0	0
S2	0	1	0
S3	1	0	0
S4	1	0	1
S5	1	1	1
S6	-	-	-
S7	-	-	-

Dal grafo e dalla codifica degli stati si ricava la tabella di flusso, rappresentata in Tabella 4.2, da cui immediatamente si ricavano le tre mappe di Karnaugh che permettono la sintesi delle variabili di stato, con l'uso di FF-D.

Tabella 4.2: Tabella di flusso già inserita all'interno di una mappa di Karnaugh per la sintesi delle variabili di stato.

d_2, d_1, d_0	IN, x_2				
x_1, x_0		00	01	11	10
00		010	001	101	100
01		000	001	111	100
11		---	001	100	---
10		001	---	---	100

La Tabella 4.3 mostra proprio queste tre mappe e la copertura per la sintesi ottima di ciascuna variabile.

Tabella 4.3: Mappe di Karnaugh per la sintesi delle variabili d_2, d_1 e d_0 , da cui dipende il valore futuro dello stato determinato da x_2, x_1 e x_0 .

d_2	IN, x_2				
x_1, x_0		00	01	11	10
00		0	0	1	1
01		0	0	1	1
11		-	0	1	-
10		0	-	-	1

d_1	IN, x_2				
x_1, x_0		00	01	11	10
00		1	0	0	0
01		0	0	1	0
11		-	0	0	-
10		0	-	-	0

d_0	IN, x_2				
x_1, x_0	00	01	11	10	
	00	0	1	1	0
	01	0	1	1	0
	11	-	1	0	-
	10	1	-	-	0

In conclusione, la sintesi ottima delle tre variabili di stato è definita dalle seguenti espressioni in somma di prodotti:

$$x_2 = IN$$

$$x_1 = \overline{IN} \overline{x_2} \overline{x_1} \overline{x_0} + IN x_2 \overline{x_1} x_0$$

$$x_0 \equiv y = \overline{IN} x_1 + x_2 \overline{x_1}$$

L'architettura finale della macchina di Moore progettata è mostrata in Figura 4.2.

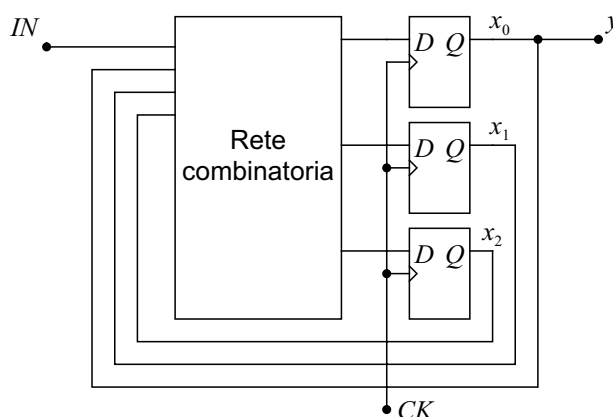


Figura 4.2: Architettura finale della macchina progettata.

Esercizio 5

Prima di procedere al disegno delle forme d'onde richieste, si può osservare che la rete proposta è una macchina a stati composta da due FF-JK uguali (caratterizzati nel seguito con i pedici 1 e 2), pilotati correttamente³. Quindi il valore delle uscite dei FF-JK, A e B , potrà cambiare soltanto in corrispondenza dei fronti in salita di CK , in accordo al valore in quell'istante dei relativi ingressi, e dopo un tempo $t_{co} = T$ a partire dal fronte. In seguito a questa osservazione, si può rapidamente determinare il comportamento della macchina ricapitolando nella Tabella 5.1 la successione degli ingressi e delle uscite.

³ L'unica variabile di ingresso IN varia in corrispondenza del fronte in discesa di CK . Si può ragionevolmente ritenere che rispetti i requisiti di setup e hold rispetto al fronte in salita. Perché ciò avvenga deve essere $t_{su} < 2T$. La condizione $t_h < 2T$ è assicurata dal fatto che deve essere $t_h < t_{co}$.

Tabella 5.1: Successione degli stati nella rete sequenziale proposta. In neretto i valori assegnati.

CK	$IN \equiv J_1 \equiv J_2$	$A \equiv Q_1 \equiv K_2$	$B \equiv Q_2 \equiv K_1$
0	0	0	1
1	1	0	1
2	1	1	1
3	1	0	0
4	1	1	1
5	1	0	0
6	1	1	1
7	1	0	0
8	1	1	1
9	1	0	0
10	0	1	1
11	0	0	0
12	0	0	0
13	0	0	0
14	x	0	0

A partire dalla tabella è immediato completare il grafico per A e B , proposto in Figura 5.1, con le commutazioni correttamente ritardate di T rispetto al fronte di CK .

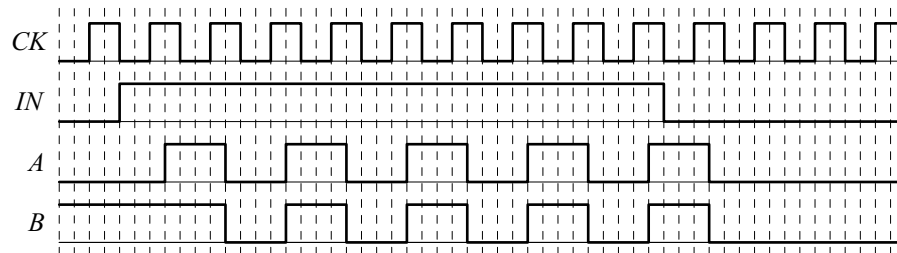


Figura 5.1: Temporizzazione dei segnali A e B della macchina a stati proposta.