

SCHEDA N°D_05_05		Data: _____
Cognome _____		Valutazione
Nome _____		
Tempo disponibile:.....	1 ora	
Durante la prova:.....	NON è consentito uscire dall'aula, né consultare testi esclusi i data sheet NON usare il colore rosso Riconsegnare tutti i fogli ricevuti. I risultati devono essere motivati chiaramente.	

ESERCIZIO N°1

7 punti

Determinare la potenza media assorbita dall'alimentazione da un invertitore CMOS con un'onda quadra in ingresso di frequenza f e con un carico capacitivo in uscita di valore C . Si assuma che il periodo dell'ingresso è tale da permettere all'uscita di raggiungere in ogni caso il valore di regime (0 oppure V_{DD}). Per l'alimentazione si ha $V_{DD} = 5$ V, per i MOS si ha $V_{Tn} = 1$ V, $V_{Tp} = -1$ V, $K_n = 1$ mA/V², $K_p = -1$ mA/V².

ESERCIZIO N°2

6 punti

Progettare con porte logiche elementari una rete sequenziale asincrona dotata di due ingressi (On e Off) e una uscita (Out) che si comporti nel modo seguente:

On = 0 e Off = 0 l'uscita mantiene il suo valore.

On = 1 e Off = 0 l'uscita si accende, cioè Out = 1.

On = 0 e Off = 1 l'uscita si spegne.

Se entrambi gli ingressi sono attivi, si ha Out = 0.

ESERCIZIO N°3

6 punti

Disegnare il grafo di flusso e progettare la rete sequenziale di Mealy ritardata che lo implementa, di un sistema sequenziale sincrono con un ingresso A e due uscite Q_1 e Q_0 , che indicano il tipo di transizione che la macchina ha rilevato. Nessuna transizione di A : $Q_1 = Q_0 = 0$. A passa da 0 a 1: $Q_1 = 1$ e $Q_0 = 0$. A passa da 1 a 0: $Q_1 = 0$ e $Q_0 = 1$. A titolo di esempio viene presentata l'uscita della rete (dopo il tempo t_{co}) per una possibile sequenza di ingresso:

A 000100100101000000111

Q1 X00100100101000000100

Q0 X00010010010100000000

ESERCIZIO N°4

6 punti

Si ha bisogno di una memoria organizzata in 128k parole da 8 bit. Si hanno a disposizione solamente chip di memoria da 64k× 16 bit. Quanti moduli occorrono per ottenere la memoria richiesta? Disegnare un possibile assemblaggio (è possibile aggiungere logica combinatoria elementare).

ESERCIZIO N°5

8 punti

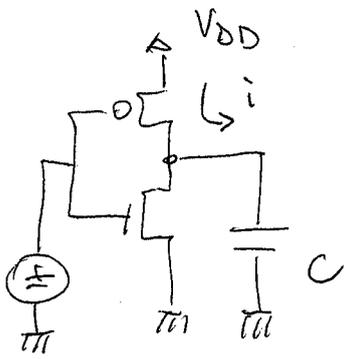
Scrivere un programma per il microcontrollore AT90S8515 che, dopo avere inizializzato correttamente le porte, ponga continuamente in uscita sulla porta D l'opposto della somma algebrica (in complemento a 2) dei valori letti dalle porte A e B. Se l'operazione dà luogo a overflow, l'uscita sulla porta D deve essere posta a 0.

```
main: CLR R16
      OUT DDRA, R16      ; input port
      OUT DDRB, R16
      OUT PORTA, R16    ; no pull-up
      OUT PORTB, R16
      SER R16
      OUT DDRD, R16    ; output port

loop: IN R17, PINA      ; leggi A
      IN R18, PINA      ; leggi B
      ADD R17, R18      ; A+B
      BRVS zero         ; controlla overflow
      NEG R17
      BRVS zero         ; ancora
      OUT PORTD, R17
      RJMP loop        ; ciclo perpetuo

zero: CLR R17          ; c'è stato overflow
      OUT PORTD, R17
      RJMP loop
```

①



ingresso periodico

Per un semiperiodo: $\left. \begin{array}{l} \text{NMOS on} \\ \text{PMOS off} \end{array} \right\}$

condensatore scarico
nessuna potenza erogata
da V_{DD}

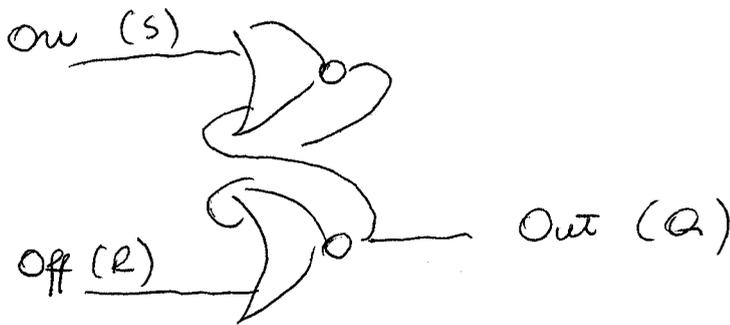
Per l'altro semiperiodo: $\left. \begin{array}{l} \text{NMOS off} \\ \text{PMOS on} \end{array} \right\}$

condensatore caricato a V_{DD}

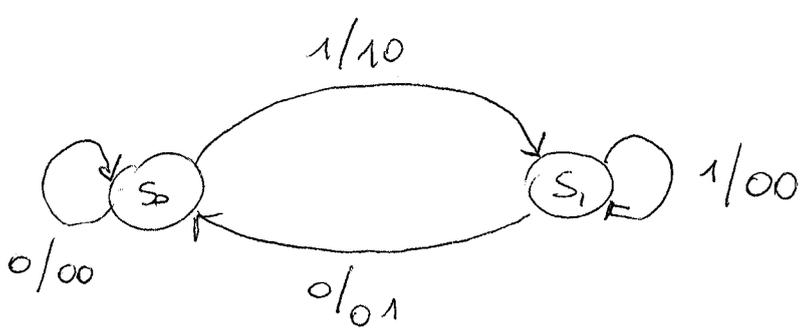
$$P_{m} = \frac{1}{T} \cdot \int_0^T V_{DD} i dt = \frac{V_{DD}}{T} \int_{T/2}^T i dt = \frac{V_{DD} Q_c}{T}$$

ma $Q_c = CV_{DD}$ quindi $P_m = f CV_{DD}^2$

② la descrizione è quella di un flip flop asincrono SR con priorità di reset. Come noto, lo schema che lo implementa è



3



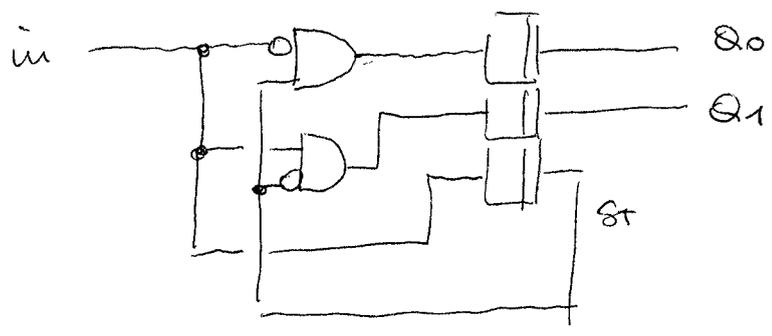
legende
in/Q1/Q0

codifica
S0 → 0
S1 → 1

	st'	
in	0	1
st	0	1
0	0	1
1	0	1

	Q1	
in	0	1
st	0	1
0	0	1
1	0	0

	Q0	
in	0	1
st	0	1
0	0	0
1	1	0



④ Benché la memoria da 128k x 8 contenga gli stessi bit del modulo da 64k x 16, non è immune dalla scelta delle interfacce. Il problema si risolve assemblando una 128k x 16 con due 64k x 16 e trascurando 8 linee di I/O.

