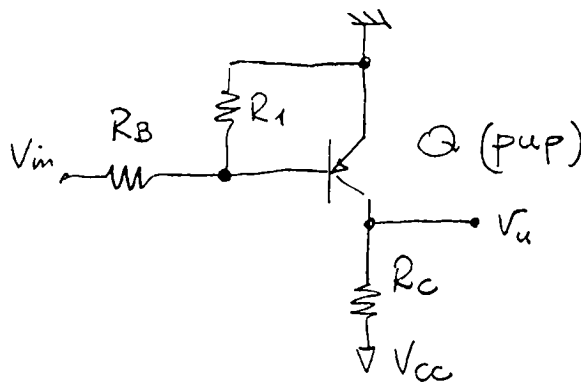


**ESERCIZIO N°1**

6 punti

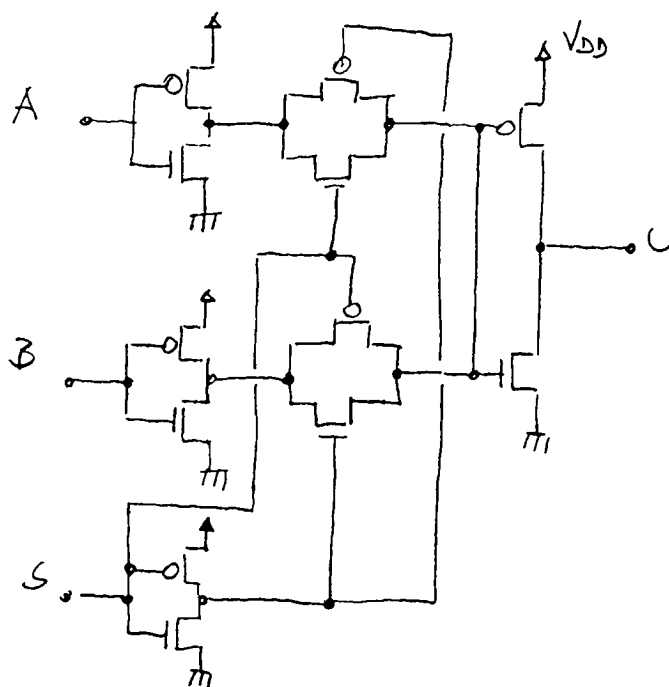
Determinare la caratteristica di trasferimento per  $V_{CC} < V_{in} < 0$  del seguente invertitore. Per l'alimentazione si ha  $V_{CC} = -8$  V, per le resistenze di base e di collettore si ha  $R_B = 8$  k $\Omega$ ,  $R_1 = 2$  k $\Omega$ ,  $R_C = 7.9$  k $\Omega$  e per il transistor  $V_{EB(on)} = 0.7$  V,  $V_{EB(sat)} = 0.8$  V,  $V_{EC(sat)} = 0.1$  V,  $h_{FE} = 10$ .



**ESERCIZIO N°2**

6 punti

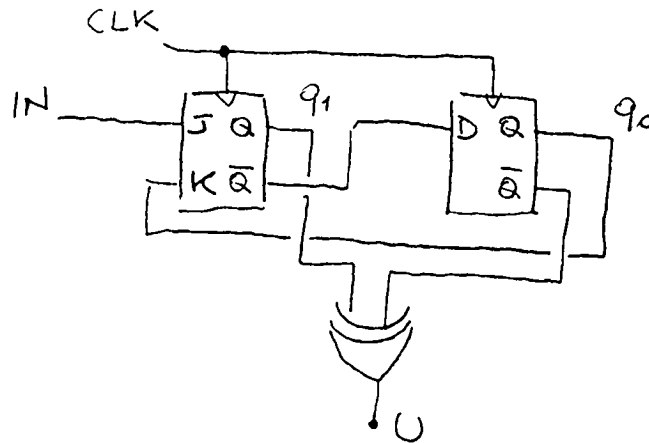
Determinare la funzione logica svolta dalla seguente rete CMOS. Di quale funzionalità tipica si tratta?



### ESERCIZIO N°3

7 punti

Determinare la tipologia architeturale della seguente macchina sincrona e disegnare il suo grafo di flusso.



### ESERCIZIO N°4

6 punti

Avendo a disposizione un flip-flop JK e porte logiche a piacere, progettare un flip-flop di tipo T con abilitazione *E* e reset *R*. La priorità dei segnali di controllo sia *E*, *R* e infine *T*.

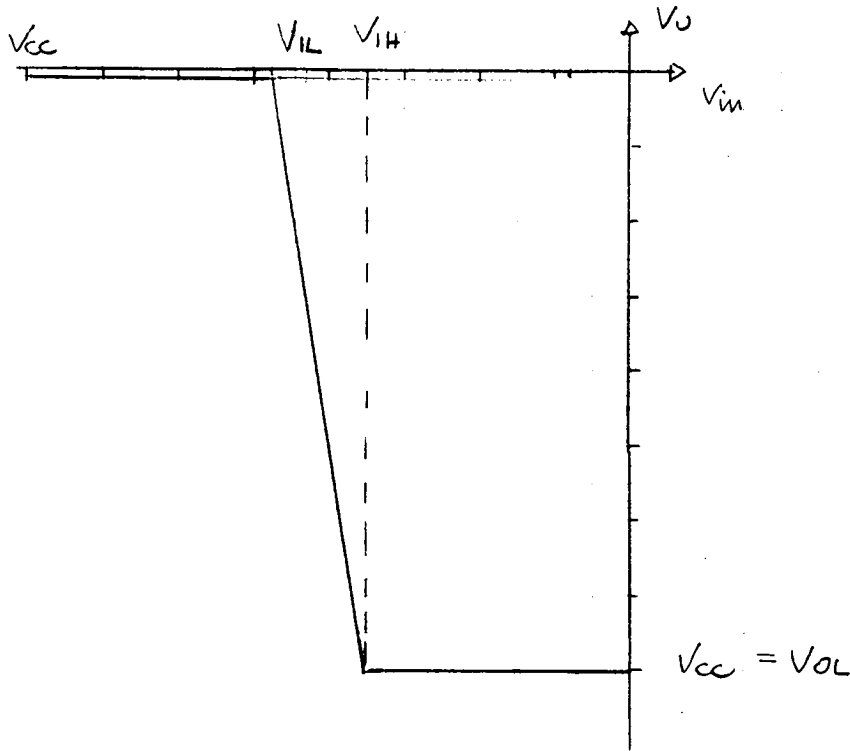
### ESERCIZIO N°5

8 punti

Scrivere un programma per il microcontrollore AT90S8515 che, dopo aver configurato correttamente i pin, permetta al dispositivo di emulare il comportamento del flip-flop dell'esercizio precedente. I segnali *E*, *R* e *T* corrispondono rispettivamente ai pin 0, 1 e 2 della porta B, mentre l'uscita *Q* corrisponde al pin 7 della stessa porta.

① Invertitore RTL con transistor PNP  
 Alimentazione alla  $R_C$  negativa.

Livello alto 0  
 Livello basso  $V_{CC}$



$$V_{OL} = V_{CC} = -8V$$

$$V_{OH} = V_{CESat} = -0.1V$$

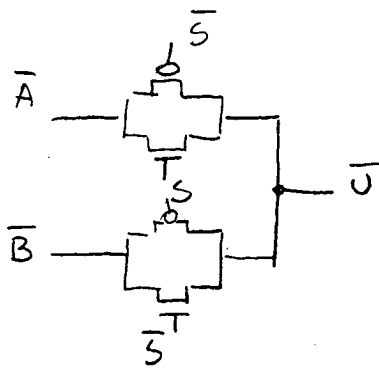
Ingresso alto  $\rightarrow$  Q interdetto, uscita  $V_{OL} = -8V$

Soglie di conduzione:  $V_{IH} \cdot \frac{R_1}{R_1 + R_B} = V_{BEon}$ ;  $V_{IH} = -3.5V$

Limite di saturazione:  $V_{IL} = V_{BEsat} - R_B \cdot \left( \frac{V_{CESat} - V_{CC}}{R_C h_{FE}} + \frac{V_{BEsat}}{R_1} \right) =$   
 $= -0.8 - 8K \cdot \left( \frac{7.9}{7.9K \cdot 10} + \frac{0.8}{2K} \right) = -4.8V$

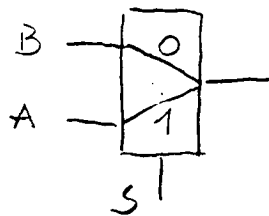
Ingresso basso  $\rightarrow$  Q saturo, uscita  $V_{OH} = V_{CESat} = -0.1V$

②



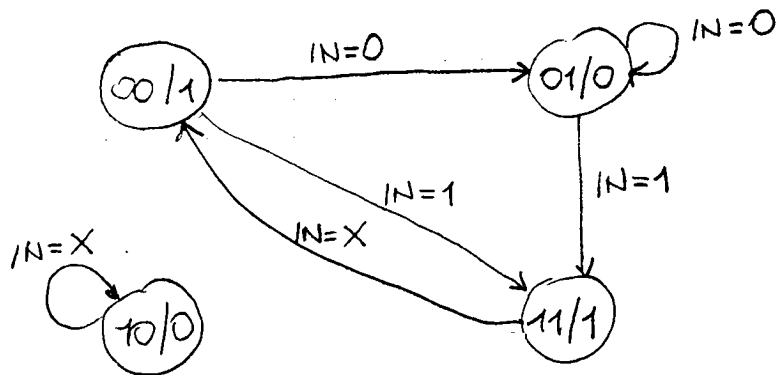
Con  $S=0$  passa B  
 $S=1$  passa A

$Y = SA + \bar{S}B$  è un multiplexer a due vie



3) Macchine di Moore (l'uscita dipende solo dallo stato) con 2 variabili di stato.

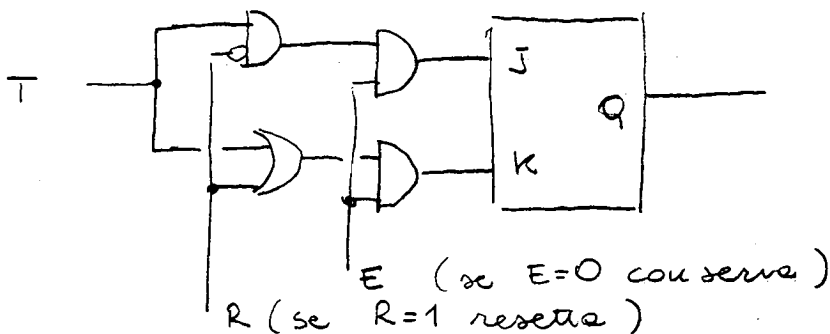
Si hanno  $2^2 = 4$  stati possibili



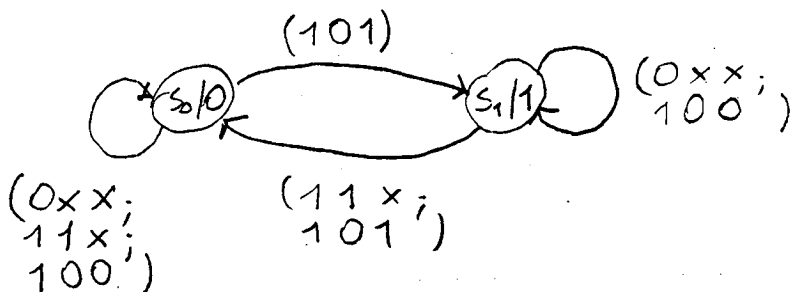
$$O = q_1 \oplus \bar{q}_0$$

				$q_1$	$q_0$
$q_1$	$q_0$	$IN$	$J$	$K$	$D$
0	0	0	0	0	1
0	0	1	1	0	1
0	1	0	0	1	0
0	1	1	1	1	1
1	0	0	0	0	1
1	0	1	1	0	1
1	1	0	0	1	0
1	1	1	1	1	0

4) Sintesi "ad hoc"



Sintesi "formale" di Moore (variabili E, R, T)



Codifica

$s_0$  0  
 $s_1$  1

Siutesi con D

R,T \ q,E		00	01	11	10
		00	0	0	1
D	01	0	1	0	1
	11	0	0	0	1
	10	0	0	0	1

R,T \ q,E		00	01	11	10
		00	0	0	-
J	01	0	1	-	-
	11	0	0	-	-
	10	0	0	-	-

Tabella delle transizioni del Jk

	J	K
0 → 0	0	-
0 → 1	1	-
1 → 0	-	1
1 → 1	-	0

R,T \ q,E		00	01	11	10
		00	-	-	0
k	01	-	-	1	0
	11	-	-	1	0
	10	-	-	1	0

$$J = E \bar{R} T$$

$$K = E \bar{T} + E R = E(R + T)$$

coincide con le sintesi precedenti

⑤ LDI R16, 0b10000000  
OUT DDRB, R16

loop:  
IN R17, PINB  
SBRs R17, 0  
RJMP loop  
SBRc R17, 1  
RJMP reset  
SBRs R17, 2  
RJMP loop

toggle:  
SBIc PORTB, 7  
RJMP reset  
SBI PORTB, 7  
RJMP loop

reset:  
CBI PORTB, 7  
RJMP loop

; B7 uscite, altri ingressi  
; non serve fare altro  
; perché i valori all'accens.  
; vanno già bene  
; campions gli ingressi  
; controlla E (se 1 salta)  
; controlla R (se 0 salta)  
; controlla T (se 1 salta)

; se Q=1 lo azzerava  
; se Q=0 lo setta

; azzerare Q