

### ESERCIZIO N°1

6 punti

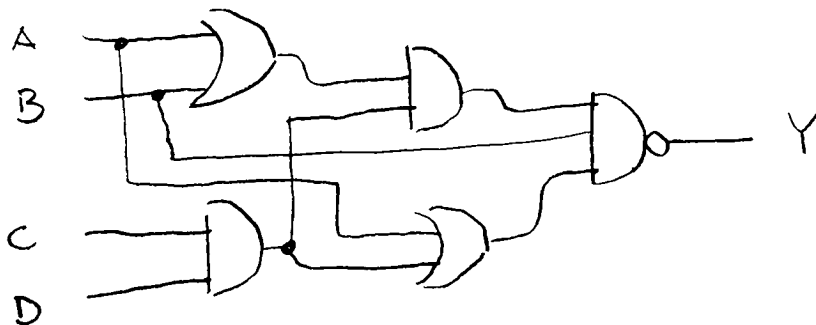
Si considerino le famiglie logiche  $A$  e  $B$ , i cui parametri elettrici sono riportati nel seguito. Si vogliono collegare 4 inverter della famiglia logica  $B$  in uscita a un inverter della famiglia logica  $A$ . Determinare, se possibile, una configurazione circuitale che permetta tale connessione. Si assuma di avere a disposizione una tensione di alimentazione  $V_{CC} = 5\text{ V}$  e resistenze di valore opportuno.

Parametri di uscita della logica $A$			
$V_{OL,max}$	1 V	$V_{OH,min}$	4 V
$I_{OL,max}$	10 mA	$I_{OH,min}$	-10 mA
Parametri di ingresso della logica $B$			
$V_{IL}$	0.5 V	$V_{IH}$	3.5 V
$I_{IL}$	-0.2 mA	$I_{IH}$	0.5 mA

### ESERCIZIO N°2

6 punti

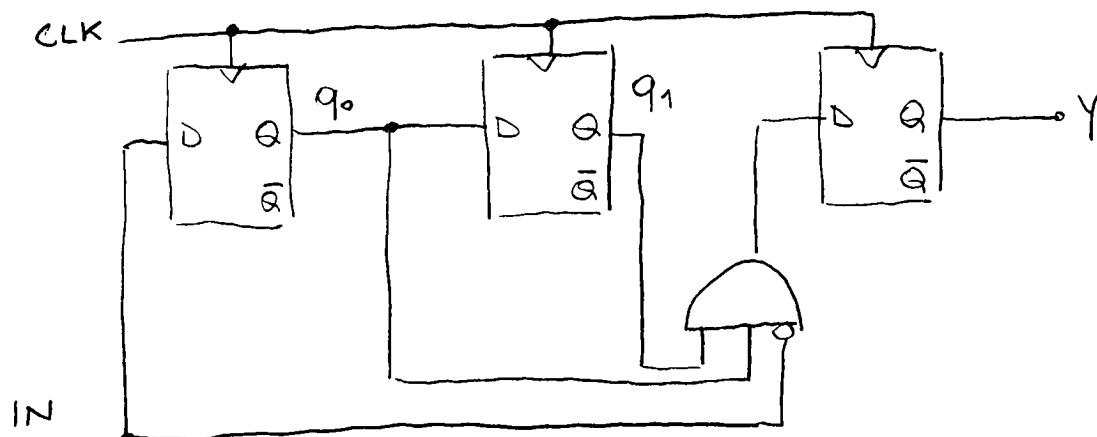
Realizzare in forma minima SP la funzione logica descritta dalla rete seguente.



### ESERCIZIO N°3

7 punti

Determinare la tipologia architeturale e disegnare il grafo di flusso della seguente macchina sequenziale sincrona.



#### **ESERCIZIO N°4**

6 punti

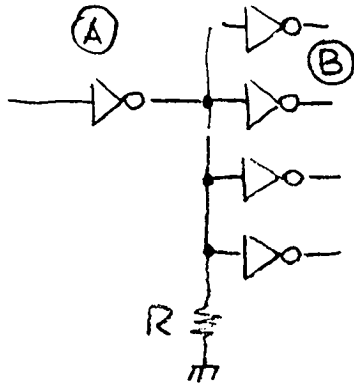
Si hanno a disposizione 6 diverse memorie:  $256k \times 2$ ,  $256k \times 5$ ,  $256k \times 7$ ,  $512k \times 4$ ,  $512k \times 5$  e  $512k \times 6$ . Assemblarle, se possibile, in modo da formare una memoria da  $1M \times 11$ .

#### **ESERCIZIO N°5**

8 punti

Un microcontrollore AT90S8515 ha un pulsante collegato tra massa e il pin da 0 della porta D. Scrivere un programma che, dopo avere inizializzato le porte, ogni volta che viene premuto il pulsante generi sul pin 0 della porta B un impulso della durata di 1 ciclo di clock.

- ① E' violata la condizione  $V_{OL} < V_{IL}$   
 Si può cercare di risolvere con un PULL-DOWN



Condizioni per R

1) Tensione sul livello basso

$$-NR I_{ILB} < V_{ILB}$$

$$R < \frac{V_{ILB}}{-N I_{ILB}} = \frac{0.5}{0.8 \text{ mA}} = 625 \Omega$$

2) Correnti sul livello alto

$$-I_{OHA} > N I_{IHB} + \frac{V_{OHA}}{R}$$

$$R > \frac{V_{OHA}}{-I_{OHA} - N I_{IHB}} = \frac{4}{(10 - 2) \text{ mA}} = 500 \Omega$$

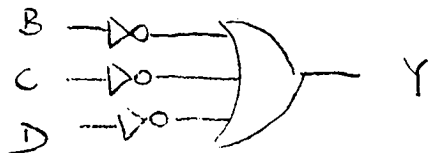
Quindi l'interfacciamento è possibile con  $500 \Omega < R < 625 \Omega$

- ② la funzione logica della rete è

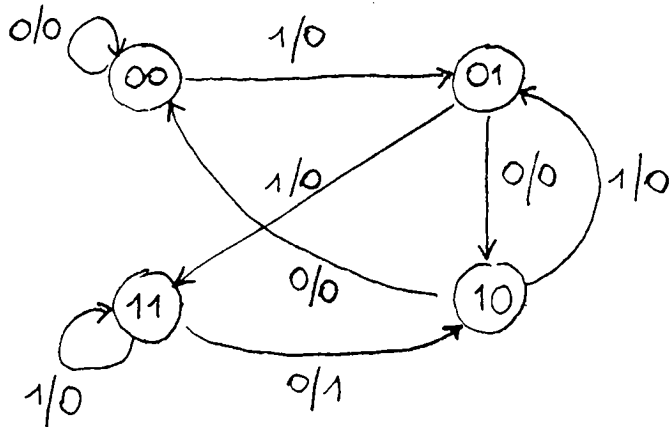
$$\bar{Y} = (A+B) \cdot C \cdot D \cdot B \cdot (A+CD) = ABCD + BCD = BCD \quad \text{da cui}$$

$$Y = \bar{B} + \bar{C} + \bar{D} \quad \text{che è anche forma canonica S.P.}$$

Nota: la semplificazione dell'espressione booleana si ottiene sviluppando con le proprietà distributive e applicando il teorema  $X + XY = X$  e poi De Morgan

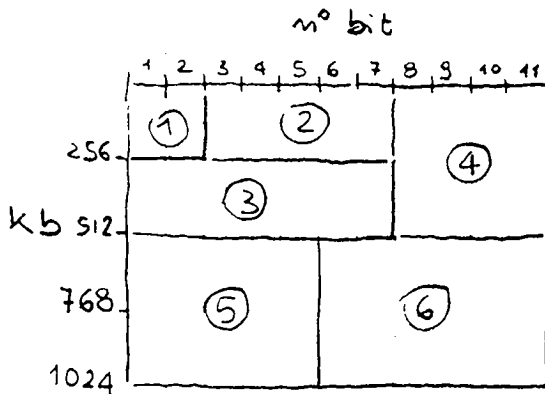


- ③ Nella rete  $Y$  è funzione dell'ingresso e dello stato ed è sincronizzata con un FF: MACCHINA DI MEALY RITARDATA. Ci sono 4 stati (che identifico con  $q_1, q_0$ )



Si tratta di un riconoscitore di sequenze che riconosce 110

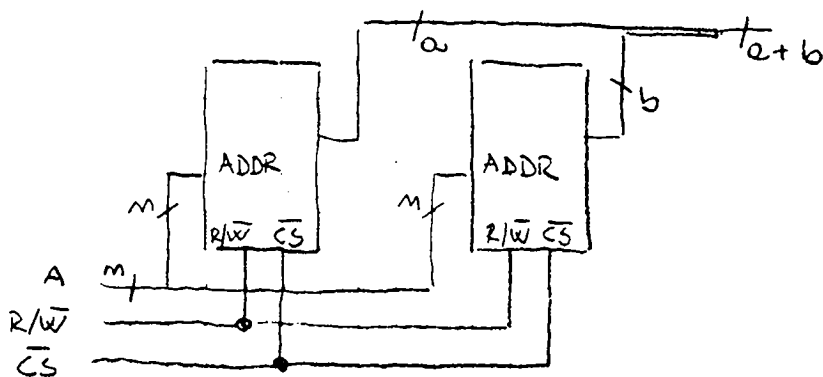
- ④ L'assemblaggio delle 6 memorie è il seguente



n° bit

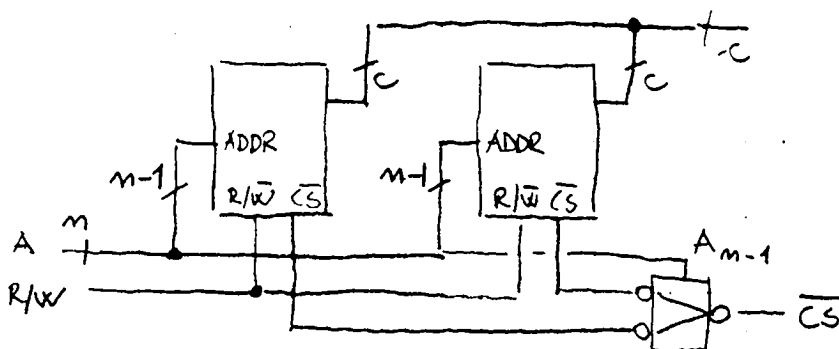
- 1 : 256K x 2
- 2 : 256K x 5
- 3 : 256K x 7
- 4 : 512K x 4
- 5 : 512K x 5
- 6 : 512K x 6

Connessione per estendere il n° dei bit della parola



- ① - ②
- ①, ②, ③ - ④
- ⑤ - ⑥

Connessione per estendere il numero di parole



(multiplexer in logica negata)

- ①, ② - ③
- ①, ②, ③, ④ - ⑤, ⑥

```

.include "8515DEF.INC"
main:  clr  r16          ; utili per l'inizializzazione
      ser  r17          ; porte D ingressi con pull-up
      out  DDRD, R16
      out  PORTD, R17
      out  DDRB, R17    ; porta B uscita
ciclo1: sbic  PIND, 0    ; acquisisce i tasti
      rjmp ciclo1      ; resta qui fino alla pressione del tasto
      out  PORTB, R17
      out  PORTB, R16   ; impulso in uscita completato
ciclo2: sbis  PIND, 0    ; aspetta il rilascio del tasto
      rjmp ciclo2
      rjmp ciclo1      ; riprende da capo

```