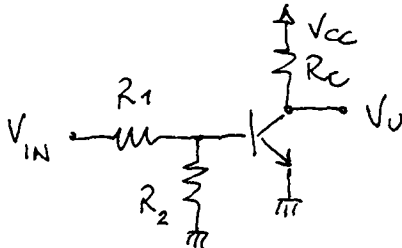


ESERCIZIO N°1

7 punti

Determinare il fan-out della porta seguente (NML = NMH):



$$V_{BE_{on}} = 0.7V ; V_{CE_{sat}} = 0.1V$$

$$V_{BE_{sat}} = 0.8V ; V_{CC} = 5V$$

$$R_C = 1k\Omega ; R_1 = 10k\Omega$$

$$R_2 = 12k\Omega$$

$$\beta_{FE} = 200$$

ESERCIZIO N°2

6 punti

Codificare (facendo eventualmente ricorso al data sheet) in valore binario ed esadecimale l'insieme delle due seguenti istruzioni assembly del microcontrollore AT90S8515:

```
loop:    DEC R16
         BRNE loop
```

ESERCIZIO N°3

8 punti

Scrivere un sottoprogramma per il microcontrollore AT90S8515 che divide per 16 un numero intero assoluto rappresentato su 16 b. Il byte meno significativo del dato di origine è puntato da X e l'altro byte è all'indirizzo successivo. Il byte meno significativo del risultato va collocato nella locazione di memoria puntata da Y e l'altro byte va posto all'indirizzo successivo.

Il sottoprogramma deve lasciare inalterati tutti i registri di lavoro del processore.

ESERCIZIO N°4

6 punti

Quanti chip di memoria da $128M \times 1$ servono per realizzare una memoria da $1G \times 8$? Illustrare i due tipi di connessione richiesti ed elencare le porte logiche necessarie per realizzare l'assemblaggio.

ESERCIZIO N°5

6 punti

Progettare un decoder da binario a gray a 4 bit.

1

Sul livello basso la presenza di porte in uscita non crea problemi: i transistori pilotati sono OFF e $V_{OL} = 0.1$. Per trovare V_{IL} si può determinare il valore dell'ingresso che manda in conduzione il transistor

$$V_{IL} \cdot \frac{R_2}{R_1 + R_2} = V_{BEon} \quad ; \quad V_{IL} = V_{BEon} \cdot \left(1 + \frac{R_1}{R_2}\right) = 1.283 \text{ V}$$

$$NHL = 1.183$$

Il valore V_{IH} si trova al confine tra saturazione e zona attiva diretta.

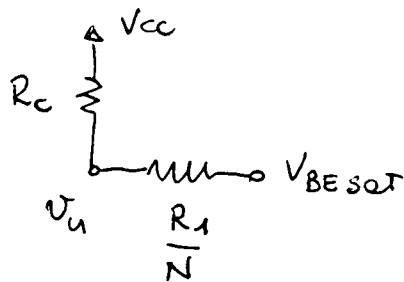
$$\frac{V_{IH} - V_{BEsat}}{R_1} = \frac{V_{CC} - V_{CEsat}}{\beta \beta F R_C} + \frac{V_{BEsat}}{R_2} \quad \text{da cui}$$

$$V_{IH} = 1.712 \text{ V}$$

Valore minimo accettabile in uscita

$$V_{IH} + NHL = 2.895 \text{ V}$$

Valore della V_U in funzione di N



$$V_U = V_{BEsat} + \frac{R_1}{N} \cdot \frac{V_{CC} - V_{BEsat}}{R_C + \frac{R_1}{N}}$$

$$\frac{R_1 (V_{CC} - V_{BEsat})}{N R_C + R_1} > V_{Umin} - V_{BEsat}$$

$$N < \frac{R_1 (V_{CC} - V_{BEsat})}{R_C (V_{Umin} - V_{BEsat})} - \frac{R_1}{R_C} = 10$$

② Dal data-sheet del linguaggio assembly: (opcode)

```
loop: DEC R16      ; R16 ha indirizzo 10000
      BRNE loop   ; salta PC ← PC-1
```

CODIFICA:

DEC R _d	1 0 0 1 0 1 0 d d d d	1 0 1 0			
d=16	1 0 0 1 0 1 0 1 0 0 0 0	1 0 1 0	bin		
	9	5	0	A	hex
BRNE K	1 1 1 1 0 1 K K	K K K K	K 0 0 1		
K=-2	1 1 1 1 0 1 1 1	1 1 1 1	0 0 0 1		bin
	F	7	F	1	hex

③

```
sub3: PUSH R16
      PUSH R17

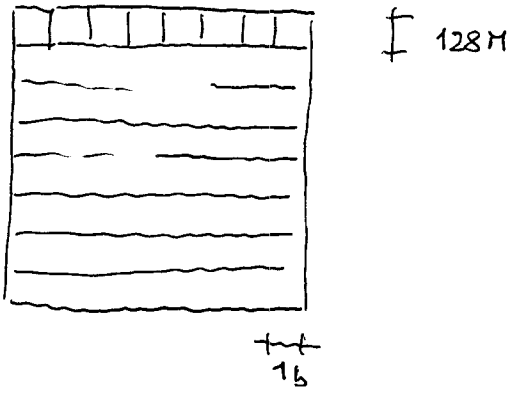
      LD R16, X+
      LD R17, X
      LD R16, -X      ; ripristina X
```

```
      ANDI R16, 0xF0      ; divide per 16
      EOR R16, R17        ; in alternativa
      ANDI R17, 0xF0      ; LSR; ROR per 4 volte
      EOR R16, R17
      SWAP R16
      SWAP R17
```

```
      ST Y+, R16
      ST Y, R17
      ST -Y, R16        ; ripristina Y
```

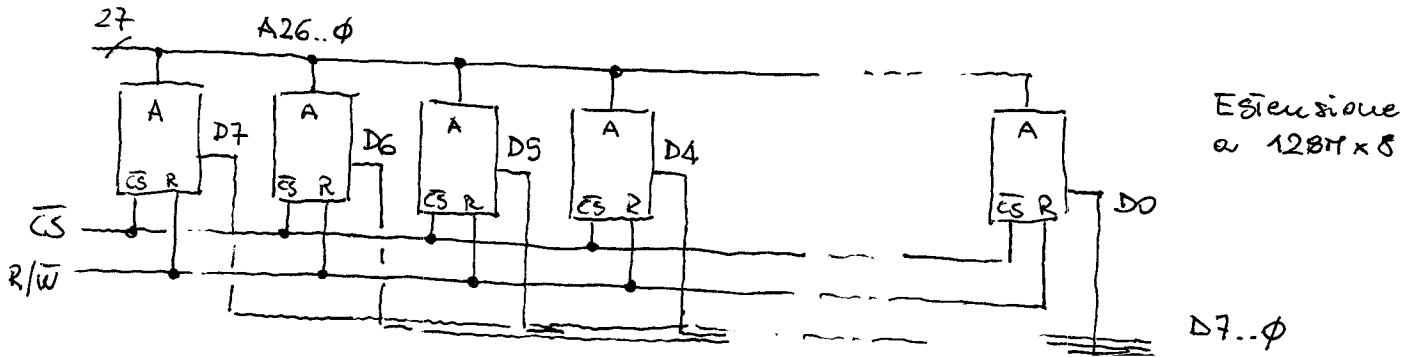
```
      POP R17
      POP R16
      RET
```

④ Servous 64 chip

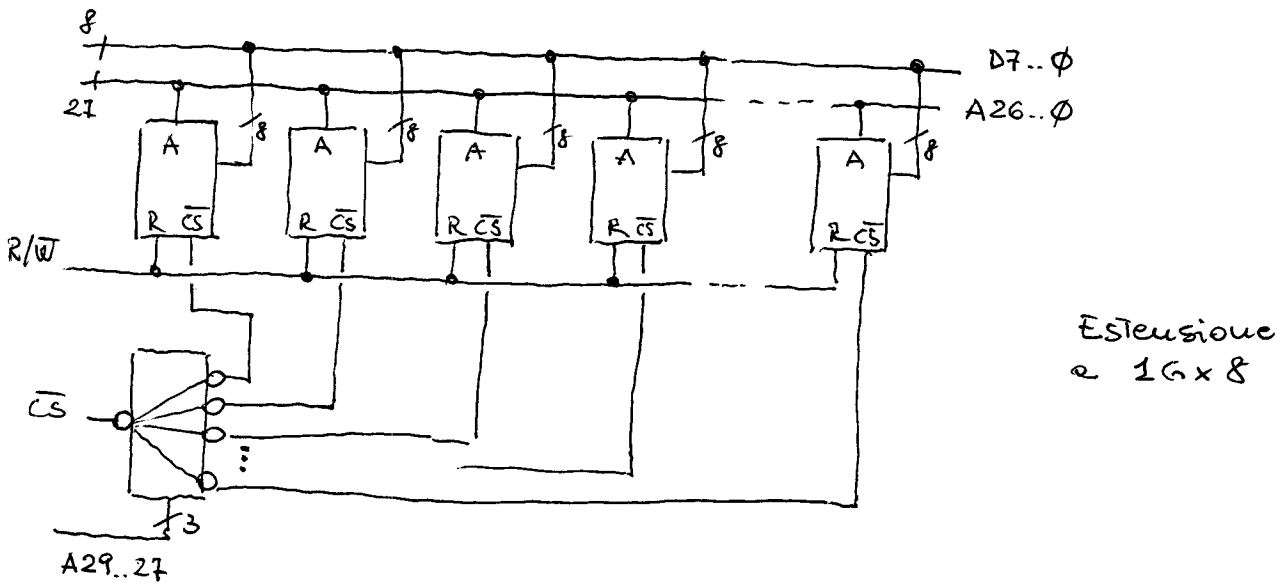


Si possono creare prima 8
memorie da $128M \times 8$
(estensione dim. parole)
non serve logica aggiuntiva
Poi si crea $1G \times 8$

serve un DECODER con abilit.
in logica NEGATA 1:8 con
3 fili di selezione

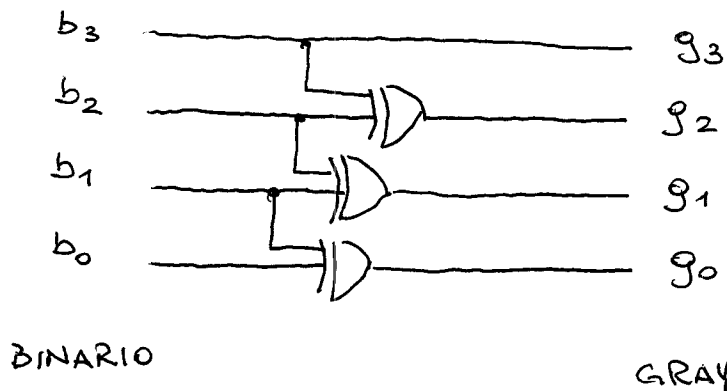


Estensione
a $128M \times 8$



Estensione
a $1G \times 8$

⑤ Implementazione con porte XOR



BIN	GRAY
0000	0000
0001	0001
0010	0011
0011	0010
0100	0110
0101	0111
0110	0101
0111	0100
1000	1100
1001	1101
1010	1111
1011	1110
1100	1010
1101	1011
1110	1001
1111	1000