

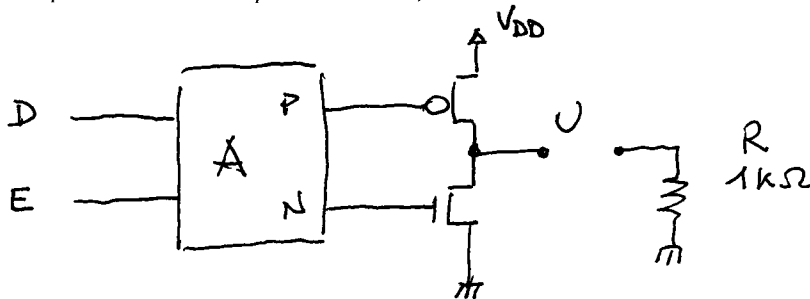
SCHEDA D09_09		Data: 6 Novembre 2009
Cognome	Nome	Matricola

ESERCIZIO N°1

7 punti (3)

Progettare e realizzare con porte CMOS la rete combinatoria A dello schema seguente, in modo tale da garantire il funzionamento complessivo del circuito come buffer tri-state invertente (il segnale *E* costituisce l'abilitazione). Determinare quindi il valore della corrente di uscita nel caso in cui il buffer sia abilitato con uscita alta e sia presente un carico del valore di $1\text{ k}\Omega$ verso massa.

($V_{DD} = 5\text{ V}$; $V_{Tn} = -V_{Tp} = 1\text{ V}$; $K_n = -K_p = 2\text{ mA/V}^2$)



ESERCIZIO N°2

6 punti (3)

Progettare una macchina sequenziale sincrona secondo il modello di Moore con 2 ingressi (un numero binario a 2 cifre) e 1 uscita, in grado di segnalare con un valore alto in uscita per un periodo di clock il caso in cui la somma di due ingressi consecutivi vale 3.

ESERCIZIO N°3

6 punti (3)

Disegnare lo schema logico del sequenziatore descritto dal seguente microcodice. Si ha a disposizione un contatore con caricamento parallelo e una ROM 8×8 .

```

A0:  IF F1 THEN A2 ELSE A5; OP = 1101
A1:  IF F0 THEN A7 ELSE A1; OP = 1011
A2:  IF F1 THEN A6 ELSE A3; OP = 1111
A3:  IF F2 THEN A4 ELSE A1; OP = 0111
A4:  IF F3 THEN A0 ELSE A7; OP = 0111
A5:  IF F2 THEN A3 ELSE A6; OP = 1001
A6:  IF F0 THEN A1 ELSE A4; OP = 0111
A7:  IF F3 THEN A5 ELSE A2; OP = 0101

```

ESERCIZIO N°4

6 punti (6)

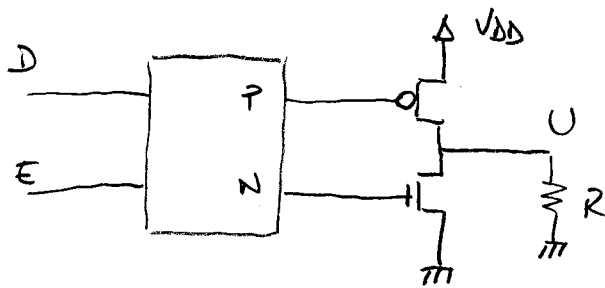
Assemblare memorie da $1\text{ M} \times 4$ in modo da ottenere un modulo da $16\text{ M} \times 8$.

ESERCIZIO N°5

8 punti (4)

Scrivere un sottoprogramma per il microcontrollore AVR90S8515 che salvi il contenuto del registro SP (nell'istante immediatamente precedente la chiamata al sottoprogramma stesso) nelle prime due locazioni di memoria del banco di memoria RAM da 512 byte presente nel microcontrollore.

1



Buffer TRI-STATE
invertente

D	E	P	N	U
-	0	1	0	Z
0	1	0	0	1
1	1	1	1	0

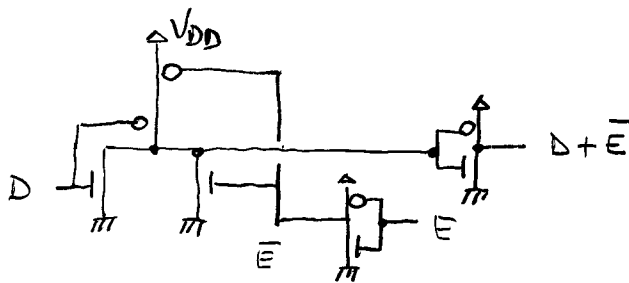
Tabella di verità del buffer

Quindi

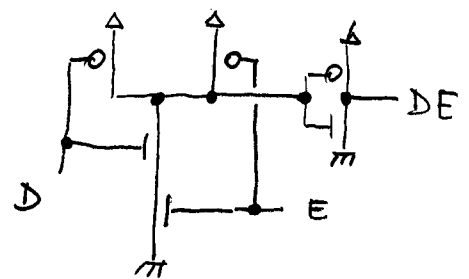
$$P = D + \bar{E}$$

$$N = D \cdot E$$

Rete per P



Rete per N



Corrente nel carico col PMOS eccesso - in triodo
(NMOS interdetto)

$$-\frac{k_p}{2} V_{DS} (V_{GS} + V_{GD} - 2V_{TP}) = \frac{V_U}{R}$$

$$-\frac{k_p}{2} (V_U - V_{DD}) (-V_{DD} - V_U - 2V_{TP}) = \frac{V_U}{R} \quad \text{pongo } V_U = x$$

$$(x - 5)(-3 - x) = x$$

$$x^2 - x - 15 = 0$$

$$x = \frac{1}{2} \pm \sqrt{\frac{1}{4} + 15} = 4,41 \quad (\text{soluz neg. non accet.})$$

$$I_U = \frac{V_U}{R} = 4,41 \text{ mA}$$

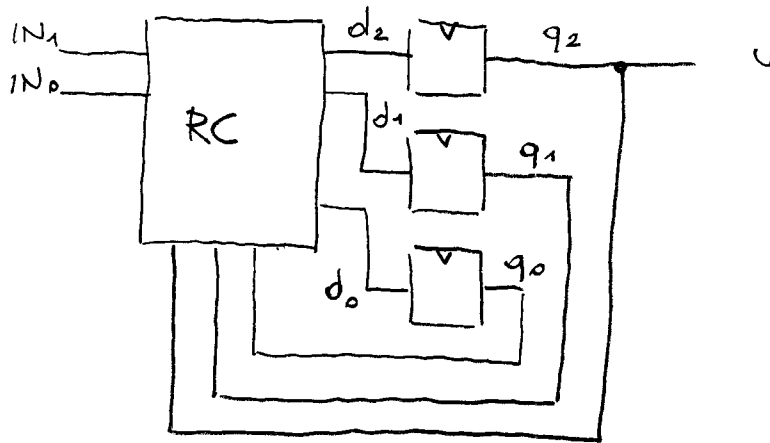
② Tabella di verità

	IN (2 bit)				U
	0	1	3	2	
S0	S0	S1	P3	S2	0
S1	S0	S1	S3	P2	0
S2	S0	P1	S3	S2	0
S3	P0	S1	S3	S2	0
P0	S0	S1	P3	S2	1
P1	S0	S1	S3	P2	1
P2	S0	P1	S3	S2	1
P3	P0	S1	S3	S2	1

Codifica (in modo che $q_2 = U$)

S0:	000	P0:	100
S1:	001	P1:	101
S2:	010	P2:	110
S3:	011	P3:	111

Architettura



Sintesi della rete per lo stato futuro

$q_2 = 0$

$q_1 q_0$ \ IN ₁ IN ₀	00	01	11	10
00	000	001	111	010
01	000	001	011	110
11	100	001	011	010
10	000	101	011	010

$q_2 = 1$

$q_1 q_0$ \ IN ₁ IN ₀	00	01	11	10
00	000	001	111	010
01	000	001	011	110
11	100	001	011	010
10	000	101	011	010

$$d_2 = (IN_0 \oplus \bar{q}_0) \cdot (IN_1 \oplus \bar{q}_1)$$

Cioè (IN = Stato)

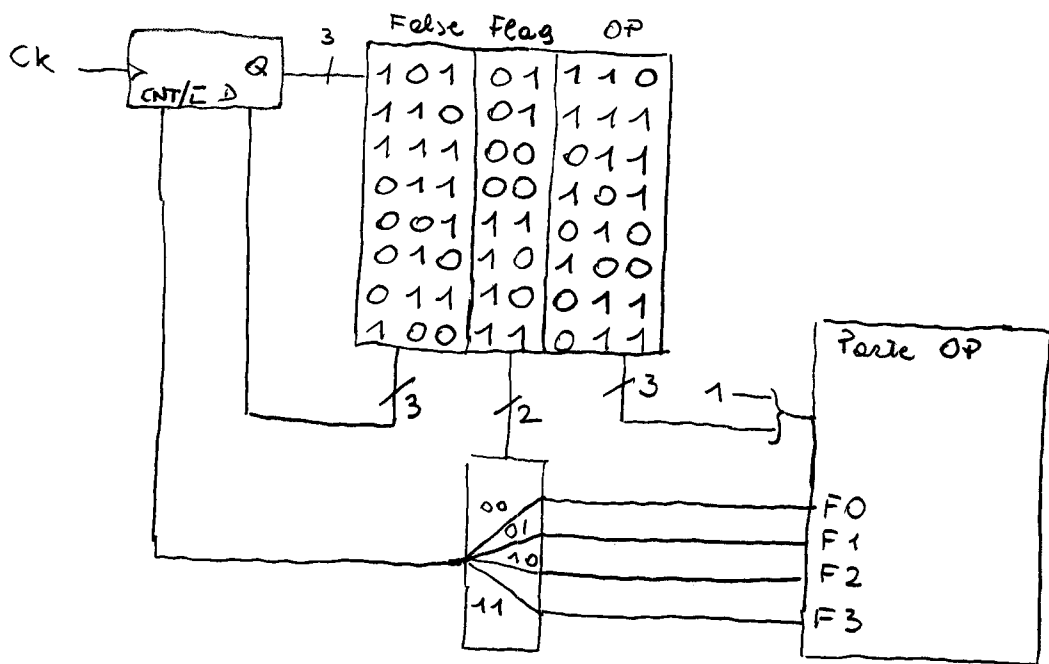
$$d_1 = IN_1$$

$$d_0 = IN_0$$

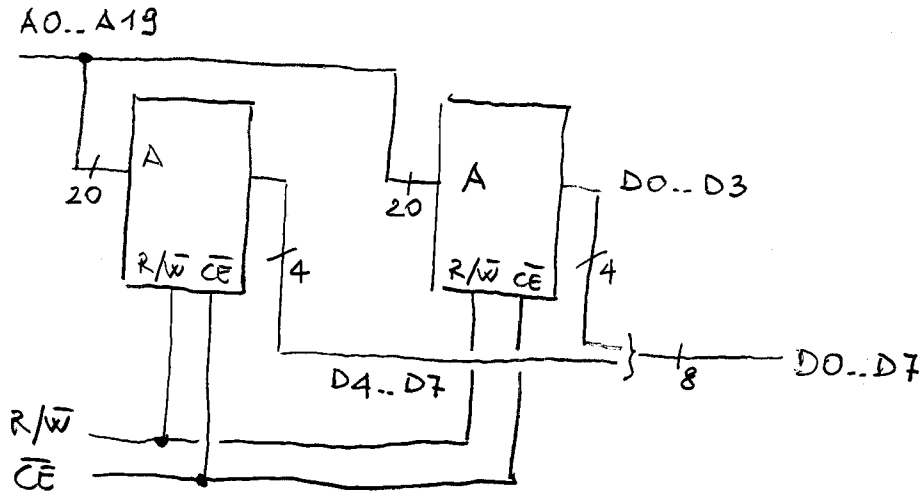
③ sequenza ciclica (se flag vero) e codifica

A0: 000	F0: 00
A2: 001	F1: 01
A6: 010	F2: 10
A1: 011	F3: 11
A7: 100	
A5: 101	
A3: 110	
A4: 111	

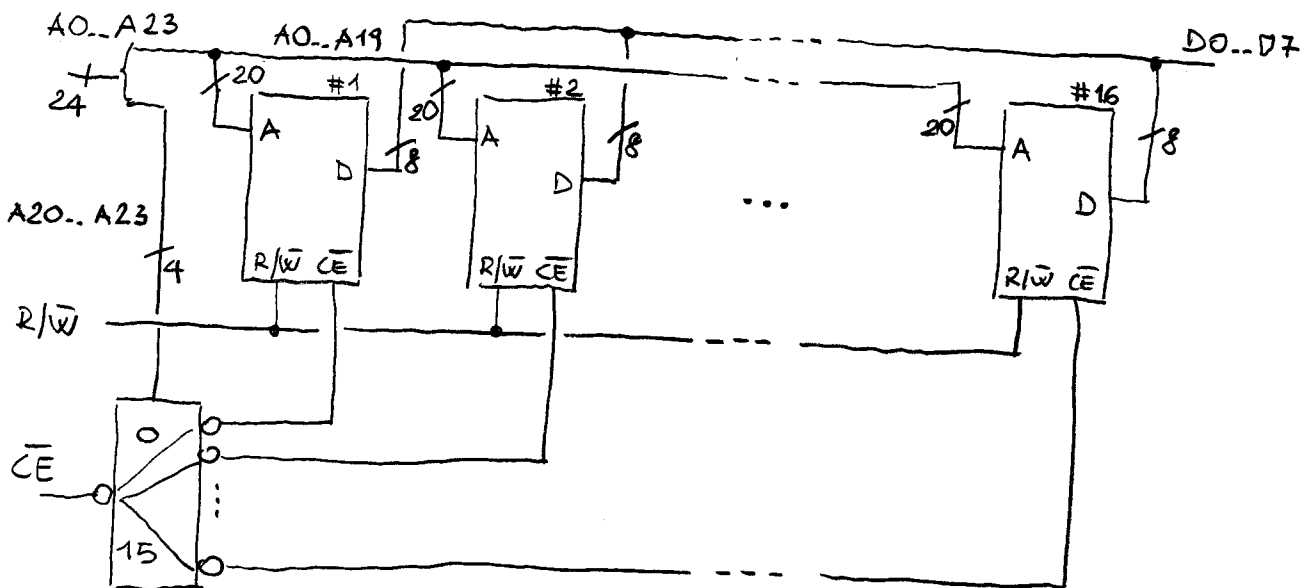
Architettura con contatore



- ④ Assemblaggio per l'aumento della dimensione di parole, da $1M \times 4$ a $1M \times 8$ (2 chip)



Assemblaggio per l'aumento della parole, da $1M \times 8$ a $16M \times 8$ (16 moduli)



5

```
save_SP:  PUSH XL
          PUSH XH
          IN XL, SPL
          IN XH, SPH
          ADIW XL, 4      ; recupera decrem SP
          STS 0x60, XL
          STS 0x61, XH   ; salva in RAM
          POP XH
          POP XL
          RET
```