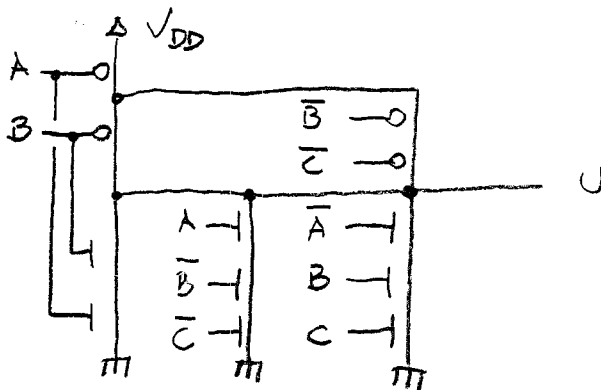


**ESERCIZIO N°1**

7 punti

Determinare la tabella di verità del seguente circuito logico CMOS facendo ricorso ai valori 0, 1, Z e X, con l'usuale significato. Valutare quindi per ogni caso in cui l'uscita è indeterminata (X) il valore della corrente assorbita dall'alimentazione. ( $V_{DD} = 5\text{ V}$ ;  $V_{Tn} = |V_{Tp}| = 1\text{ V}$ ;  $k_n = |k_p| = 6\text{ mA/V}^2$ ).



**ESERCIZIO N°2**

6 punti

Dimostrare che è possibile realizzare ogni possibile rete combinatoria usando solamente porte di tipo AND e XOR.

**ESERCIZIO N°3**

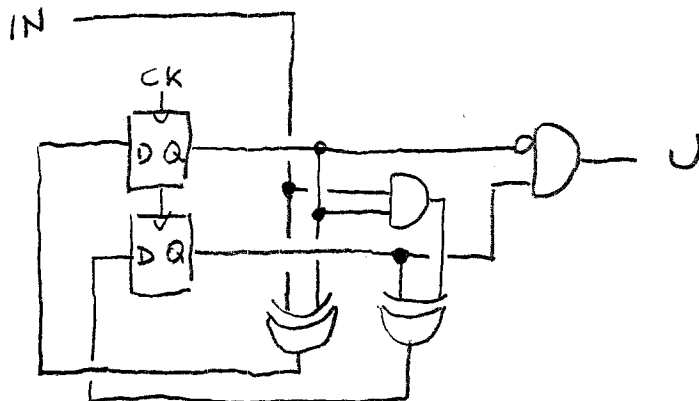
6 punti

Realizzare un registro a 8 bit con 2 segnali di controllo in grado di eseguire le seguenti operazioni: 0) caricamento parallelo 1) shift destro logico 2) shift destro aritmetico 3) rotazione destra.

**ESERCIZIO N°4**

6 punti

Determinare tipologia architetturale e ricavare il grafo di flusso della seguente macchina sincrona.



**ESERCIZIO N°5**

8 punti

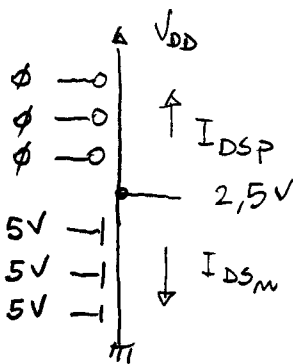
Realizzare un programma per il microcontrollore AT90S8515 che presenti in uscita alla porta B una sequenza di conteggio modulo 60. L'uscita deve essere aggiornata regolarmente al nuovo valore ogni 10 cicli di clock del processore. La pressione di un pulsante collegato tra il pin A0 e massa deve agire sul conteggio come un reset.

①

Determino separatamente la funzione delle porte NMOS e PMOS

A B C	NMOS	PMOS	U
0 0 0	OFF	ON	1
0 0 1	OFF	ON	1
0 1 0	OFF	OFF	Z
0 1 1	ON	ON	X
1 0 0	ON	OFF	0
1 0 1	OFF	OFF	Z
1 1 0	ON	OFF	0
1 1 1	ON	OFF	0

Nell'unico stato in cui scorre corrente (X), con  $A=0, B=1, C=1$  si ha



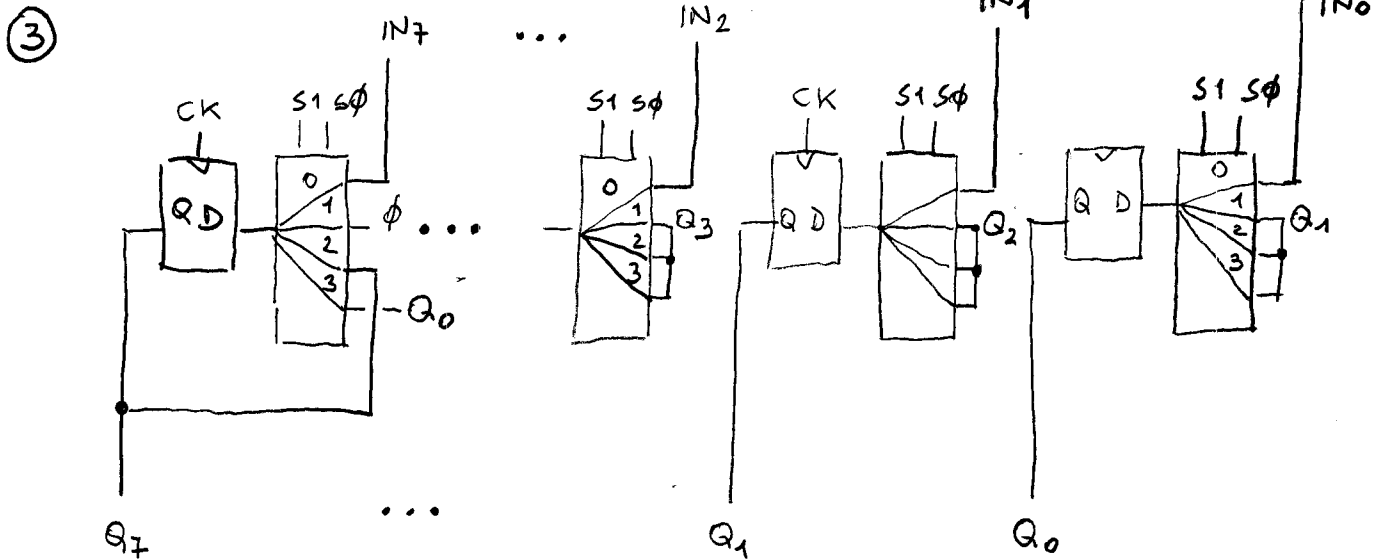
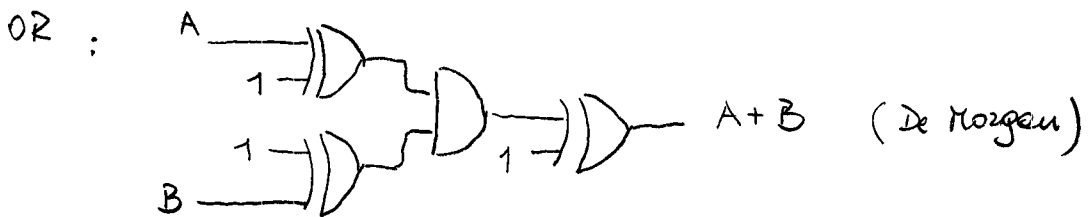
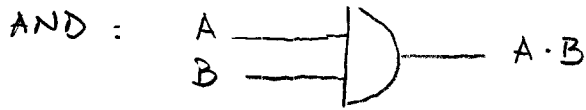
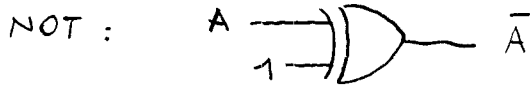
Vista la "simmetria" dei MOS si avrà  $V_0 = 2,5V$  e tutti i MOS in zona triodo.

3 MOS in serie equivale a un unico MOS con  $k = k/3$

(hanno la stessa  $V_T$  e  $V_G$ )

Quindi 
$$I_{DD} = I_{DSU} = \frac{k_m}{6} \frac{V_{DD}}{2} \left( V_{DD} + \frac{V_{DD}}{2} - 2V_{TM} \right) = 13,75 \text{ mA}$$

② Per dimostrare la tesi è sufficiente mostrare come usando solo XOR e AND è possibile realizzare tutte le operazioni dell'algebra booleana

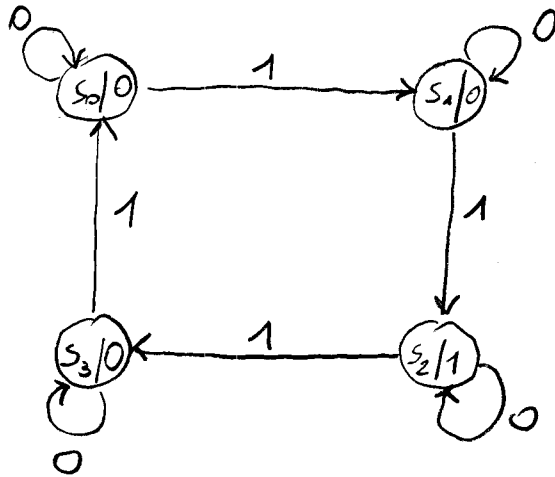


Registro universale :  $S_1, S_0$  linee di controllo  
 $IN[7..0]$  ingresso parallelo  
 $Q[7..0]$  valore di uscita

④

la macchina presenta l'architettura di MOORE:  
e' uscita dipende solo dallo stato

il grafo è il seguente (contatore modulo 4)  
con abie.)



	q <sub>1</sub>	q <sub>0</sub>	U
S <sub>0</sub>	0	0	0
S <sub>1</sub>	0	1	0
S <sub>2</sub>	1	0	1
S <sub>3</sub>	1	1	0

codifica

⑤

Programma

```
CLR R16
SER R17
OUT DDRA, R16           ; ingresso
OUT PORTA, R17         ; pull-up ou
OUT DDRB, R17         ; uscite

loop: OUT PORTB, R16    ; 1
      : NOP            ; tutte NOP (3) per
      : NOP            ; arrivare a 10 cicli
      : NOP            ; 2
      INC R16          ; 3
      CPI R16, 60      ; 5
      BRNE e1         ; 7
e1:   CLR R16
      RJMP loop
```