

SCHEDA D10_05		Data: 09 Giugno 2010
Cognome	Nome	Matricola

ESERCIZIO N°1

6 punti (3)

Progettare una porta logica CMOS che abbia la seguente tabella di verità (Z indica lo stato di alta impedenza e X un valore logico indeterminato causato dalla simultanea conduzione della sezione PMOS e NMOS). Si hanno a disposizione le variabili A, B e C affermate e negate.

A	B	C	U
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	Z
1	0	0	1
1	0	1	0
1	1	0	X
1	1	1	Z

ESERCIZIO N°2

7 punti (4)

Determinare il valore del fan-out di una porta RTL base ($V_{CC} = 6\text{ V}$; $R_B = 50\text{ k}\Omega$; $R_C = 0,5\text{ k}\Omega$; $h_{FE} = 500$) nel caso in cui $N_{MH} = N_{ML}$.

ESERCIZIO N°3

6 punti (4)

Realizzare con flip-flop *T* un contatore in discesa con abilitazione che, al termine del conteggio ($Q = 0$) riparta dal valore decimale 13.

ESERCIZIO N°4

6 punti (4)

Realizzare una macchina sequenziale sincrona secondo il modello di Moore con 2 ingressi (*IN* e *R*) e una uscita *Q* in grado di riconoscere due commutazioni consecutive di *IN* (in corrispondenza di 2 fronti in salita di clock successivi) ponendo e mantenendo a 1 l'uscita *Q*, che viene comunque azzerata dalla presenza di un 1 in ingresso a *R*. Il valore di *IN* durante il reset non deve essere considerato.

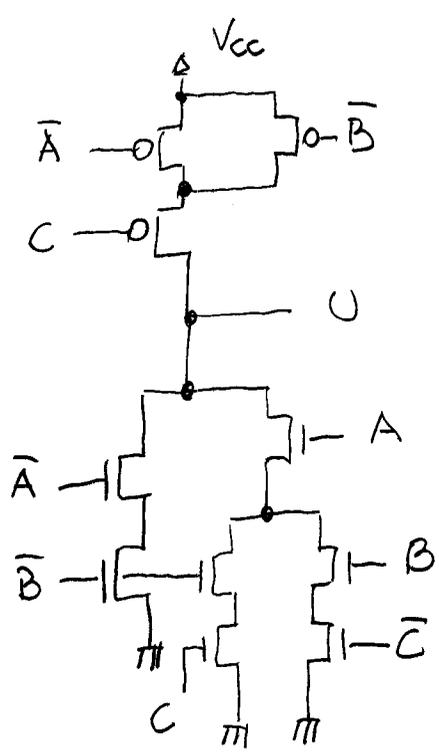
ESERCIZIO N°5

8 punti (4)

Realizzare un sottoprogramma per il microcontrollore AT90S8515 che restituisca nel registro R16 il prodotto tra le due cifre esadecimali ricevute nella parte alta e bassa del registro R16 stesso. Naturalmente gli altri registri del processore, a conclusione della subroutine, non devono risultare alterati.

① la funzione richiesta può essere realizzata con una porta CMOS complessa

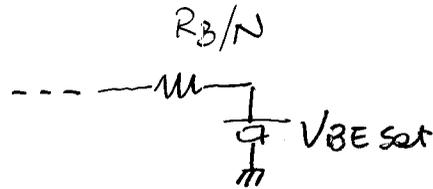
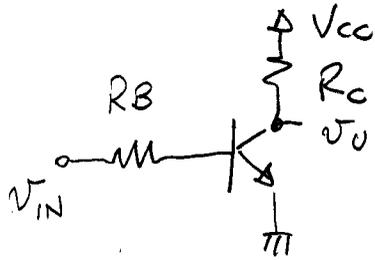
A	B	C	U	sez N	sez P
0	0	0	0	on	off
0	0	1	0	on	off
0	1	0	1	off	on
0	1	1	Z	off	off
1	0	0	1	off	on
1	0	1	0	on	off
1	1	0	X	on	on
1	1	1	Z	off	off



PMOS
 Conduciamo verso Vcc per
 010
 100
 110

NMOS
 Conduciamo verso GND per
 000
 001
 101
 110

②



porte a
voltage

$$V_{IL} = V_{BE_{on}} = 0,7 \text{ V}$$

$$V_{OL} = V_{CE_{sat}} = 0,1 \text{ V}$$

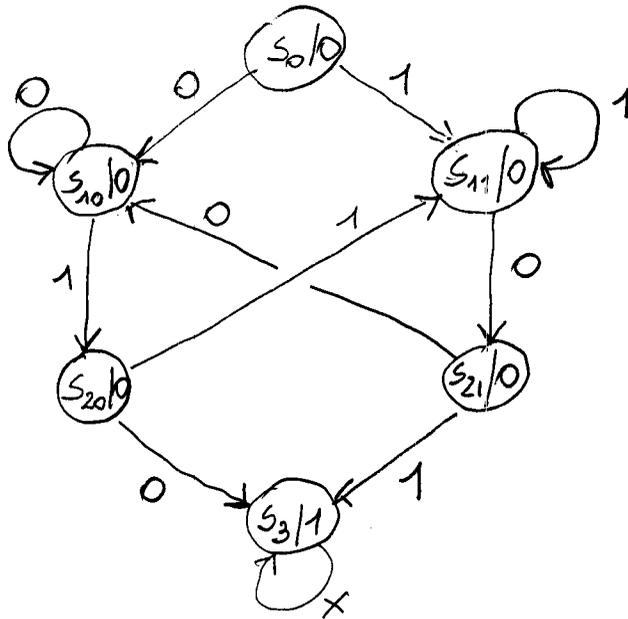
$$\left. \begin{array}{l} \\ \\ \end{array} \right\} N_{HL} = 0,6 \text{ V} = N_{MH}$$

$$V_{IH} = V_{BE_{sat}} + R_B \cdot \frac{V_{CC} - V_{CE_{sat}}}{h_{FE} R_C} = 1,98 \text{ V}$$

$$V_O = V_{BE_{sat}} + R_B/N \cdot \frac{V_{CC} - V_{BE_{sat}}}{R_C + R_B/N} = V_{IH} + N_{MH} = 2,58 \text{ V}$$

da cui $N = 192$

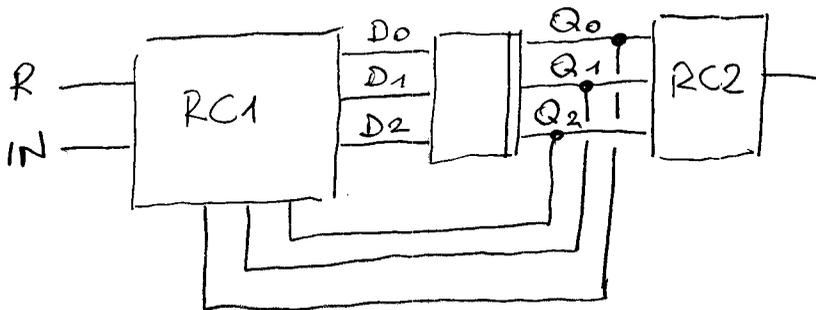
④ Grafo (ometto le frecce per $R=1$, che vanno tutte in S_0)



codifica

	2	1	0
S_0	0	0	0
S_3	1	1	1
S_{10}	0	0	1
S_{20}	0	1	0
S_{11}	1	0	1
S_{21}	1	1	0

Architettura (Moore)



$U = Q_2 Q_1 Q_0$
(riconosce S_3)

$Q_1 Q_0$ \ IN, Q_2	00	01	11	10
00	001	x	x	101
01	001	110	101	010
11	x	111	111	x
10	111	001	111	101

D_2

0	x	x	1
0	1	1	0
x	1	1	x
1	0	1	1

D_1

0	x	x	0
0	1	0	1
x	1	1	x
1	0	1	0

$$D_2 = \bar{R} \cdot (Q_2 Q_0 + IN \bar{Q}_0 + \bar{Q}_2 Q_1)$$

$$D_1 = \bar{R} \cdot (\bar{IN} \bar{Q}_2 Q_1 + \bar{IN} Q_2 Q_0 + IN Q_2 Q_1 + IN \bar{Q}_2 Q_0)$$

$$D_0 = \bar{R} \cdot (Q_1 + \bar{Q}_0 + IN Q_2 + \bar{IN} \bar{Q}_2)$$

D_0

1	x	x	1
1	0	1	0
x	1	1	x
1	1	1	1

5

hexmult :

```
PUSH ... ; R17, R18, R19 (NON R16!)
MOV R17, R16
MOV R18, R16
ANDI R17, 0xF
ANDI R18, 0xFO
SWAP R18
CLR R16
LDI R19, 4
```

loop:

```
LSR R17 ; guarda un bit alla volta
BRCC oltre
ADD R16, R18 ; risultato in R16
oltre: LSL R18 ; moltiplica per 2
DEC R19
BRNE loop ; ripeti 4 volte
POP ... ; R19, R18, R17
RET
```