

Cognome

Nome

Matricola

ESERCIZIO N°1

7 punti

Progettare una porta logica AOI CMOS che abbia la seguente tabella di verità (Z indica lo stato di alta impedenza e X un valore logico indeterminato causato dalla simultanea conduzione della sezione PMOS e NMOS). Si hanno a disposizione le variabili A, B e C affermate e negate.

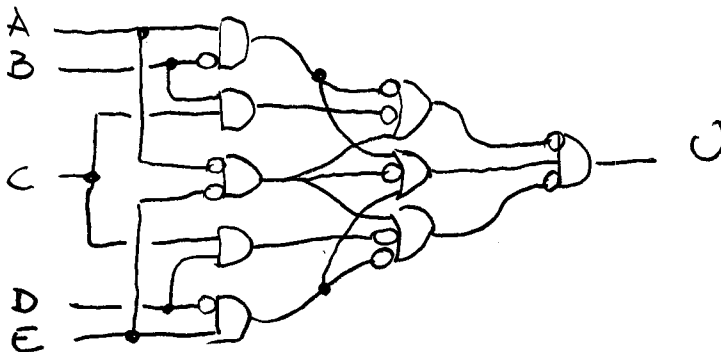
A	B	C	U
0	0	0	1
0	0	1	X
0	1	0	Z
0	1	1	Z
1	0	0	1
1	0	1	0
1	1	0	X
1	1	1	0

Determinare quindi la corrente erogata dall'alimentazione nei due casi in cui l'uscita è indeterminata. Si hanno a disposizione NMOS e PMOS con le seguenti caratteristiche: $V_{Tn} = |V_{Tp}| = 1 \text{ V}$; $k_n = |k_p| = 12 \text{ mA/V}^2$. Inoltre è $V_{DD} = 5 \text{ V}$.

ESERCIZIO N°2

6 punti

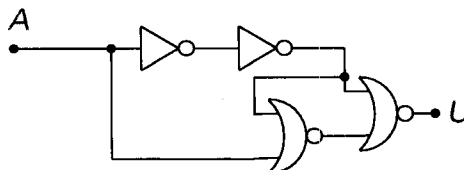
Determinare l'espressione logica in forma SP minima della rete seguente.



ESERCIZIO N°3

7 punti

Disegnare nel tempo l'andamento dell'uscita U della rete seguente nel caso in cui l'ingresso A sia un'onda quadra di periodo $12 T$ e ciascuna delle porte abbia un ritardo di propagazione pari a T . Nel grafico si ponga T uguale a un quadretto.



ESERCIZIO N°4

6 punti

Quanti chip di memoria da $16\text{M} \times 3$ servono per realizzare una memoria da $1\text{G} \times 9$? Illustrare i due tipi di connessione richiesti ed elencare le eventuali reti logiche combinatorie necessarie per realizzare l'assemblaggio.

ESERCIZIO N°5

8 punti

Scrivere un sottoprogramma per il microcontrollore AT90S8515 che divide per 2^n un numero intero relativo rappresentato su 16 b in complemento a 2. Il byte meno significativo del dato di origine è puntato da X e l'altro byte è all'indirizzo successivo. Il byte meno significativo del risultato va collocato nella locazione di memoria puntata da Y e l'altro byte va posto all'indirizzo successivo. Il valore di n , compreso tra 1 e 12, è contenuto nel registro R0.

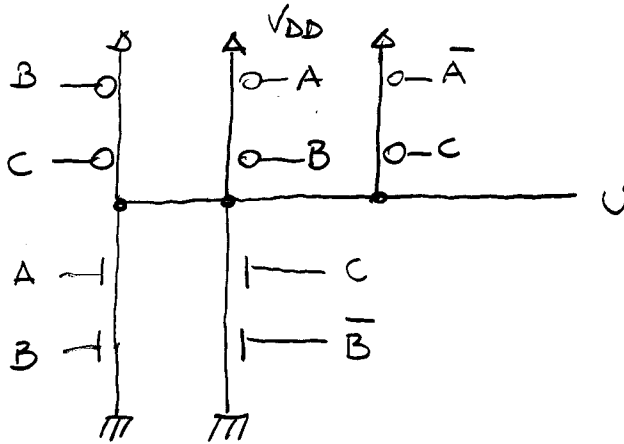
Il sottoprogramma deve lasciare inalterati tutti i registri di lavoro del processore, compreso R0.

①

A	B	C	U	NMOS	PMOS
0	0	0	1		on
0	0	1	X	on	on
0	1	0	Z		
0	1	1	Z		
1	0	0	1		on
1	0	1	0	on	
1	1	0	X	on	on
1	1	1	0	on	

gate rami NMOS: $\bar{A}\bar{B}C$ } $\bar{B}C$
 $A\bar{B}C$ }
 $AB\bar{C}$ } AB
 ABC }

gate rami PMOS: ABC } BC
 $\bar{A}BC$ } } $\bar{A}C$
 $\bar{A}\bar{B}C$ } } AB
 $A\bar{B}C$ }



(solo)

Nei casi X & Z entrano due PMOS e due NMOS in conduzione, in serie. Per la simmetria delle caratter. si può dedurre

$$V_U = \frac{V_{DD}}{2} = 2,5V \quad \text{quindi tutti i MOS sono triodi}$$

$$I_{DD} = \frac{K_M}{4} \frac{V_{DD}}{2} \left(V_{DD} + \frac{V_{DD}}{2} - 2V_{Tn} \right) = 41,25 \text{ mA}$$

(nei PMOS è ovviamente la stessa)

②

Se $C = \phi$ e $U = \phi$ altrimenti se

$C = 1$; se $A = \phi$ e $U = \phi$ altrimenti se

$A = 1$; se $B = \phi$ e $U = \phi$ e pure se

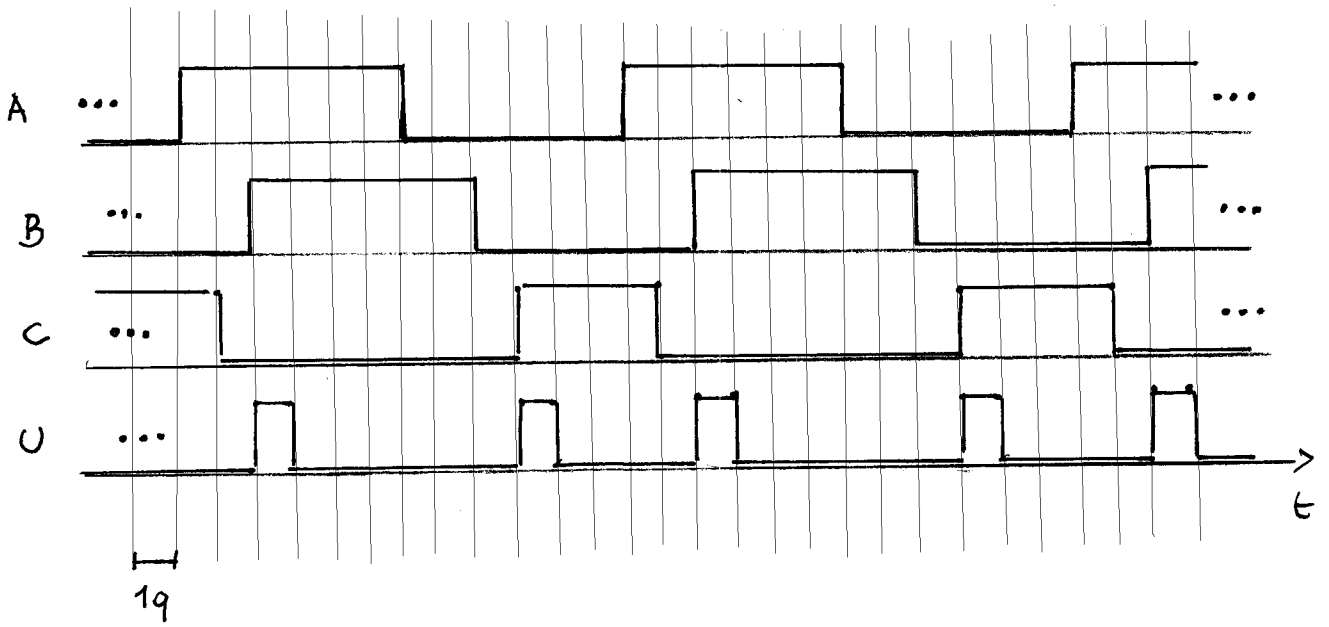
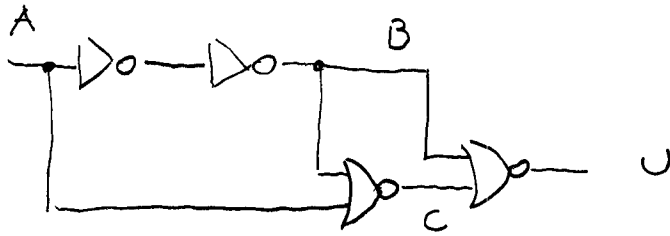
$B = 1$ e $U = \phi$.

Per la simmetria delle rete D ed E si comporteremo come B e A.

Quindi

$$U = \phi.$$

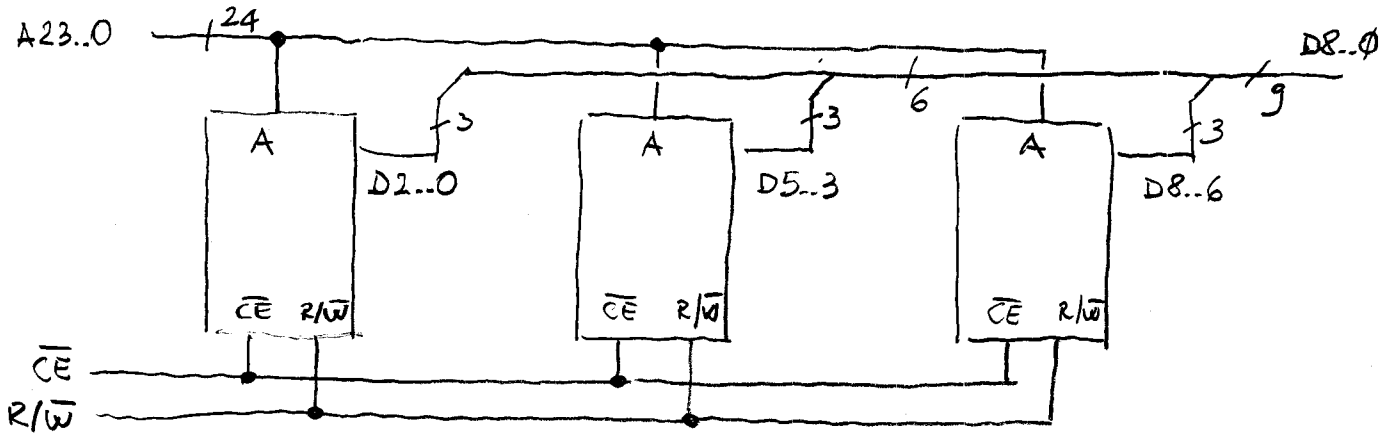
③



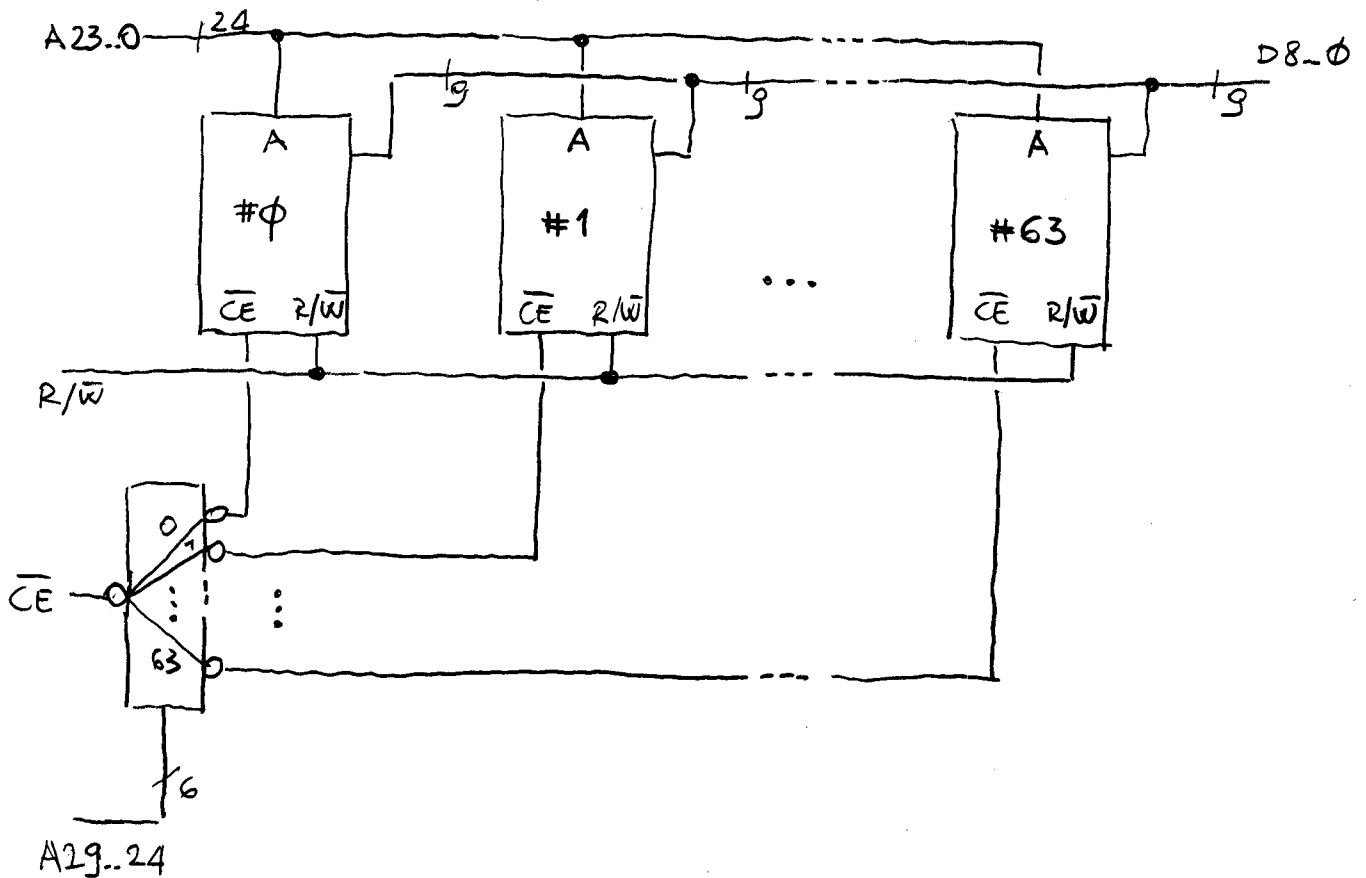
④ Occorrono $\frac{2^{30} \times 9}{2^{24} \times 3} = 192$ memorie.

Si possono assemblare in due step.

Aumento dimensione di parole: $3(16M \times 3) \rightarrow 16M \times 9$



Aumento numero di parole: $64(16M \times 9) \rightarrow 1G \times 9$



L'unica logica esterna richiesta da questo montaggio è un decoder in logica negativa 6×64 con abilitazione.

```
; Esercizio 5 - Compito del 21/07/2010  
; Testata con VMLAB
```

```
divexp:  
    push R0      ; salva registri  
    push R16  
    push R17  
    LD R16, X+   ; carica il dato da dividere  
    LD R17, X  
    SBIW XL, 1  ; ripristina il valore di X  
loop:  
    ASR R17      ; divide per 2 un intero  
    ROR R16      ; propaga il bit via carry  
    DEC R0       ; ripeti per R0 volte  
    BRNE loop  
    ST Y+, R16   ; salva il risultato  
    ST Y, R17  
    SBIW YL, 1  ; ripristina il valore di Y  
    pop R17  
    pop R16  
    pop R0  
    ret
```