

Cognome

Nome

Matricola

ESERCIZIO N°1

7 punti (4)

Determinare lo stato dei MOSFET e il valore della tensione di ingresso e di uscita per cui in un invertitore CMOS a vuoto scorre, in condizioni statiche, la massima corrente da V_{DD} . Si ha $V_{Tn} = -V_{Tp} = 1$ V; $k_n = 4$ mA/V²; $k_p = -2$ mA/V²; $V_{DD} = 5$ V.

ESERCIZIO N°2

7 punti (4)

Realizzare in forma ottima PS una rete combinatoria a 5 ingressi $\{X_2, X_1, X_0, Y_1, Y_0\}$ in grado di valutare ponendo 1 in uscita se il numero formato dai bit X_2, X_1, X_0 è multiplo di quello costituito da Y_1, Y_0 .

ESERCIZIO N°3

6 punti (3)

Realizzare con porte logiche una rete in grado di generare (partendo da un clock semplice) un sistema di segnali di clock a due fasi non sovrapposte, adatto a pilotare reti master-slave. Disegnare il grafico delle forme d'onda prodotte, assumendo che il ritardo di tutte le porte usate sia unitario, indicando la fase *master* e quella *slave* in modo che il comportamento della rete sia analogo a quello di un sistema *positive edge triggered*.

ESERCIZIO N°4

5 punti (5)

Realizzare una rete sequenziale sincrona secondo il modello di Moore in grado di riconoscere la sequenza non interallacciata 11111.

ESERCIZIO N°5

8 punti (4)

Scrivere un sottoprogramma per un microcontrollore Atmel della famiglia AVR che determina se la somma dei primi 16 byte consecutivi di memoria, a partire da quello puntato da X, è maggiore, uguale o minore di quella dei successivi altri 16. Il risultato viene lasciato nei flag Z e C secondo le solite convenzioni dell'algebra degli interi assoluti per il confronto tra due operandi.

1

La massima corrente si ha quando entrambi i MOS sono saturi.

Nella configurazione n saturo p triodo un aumento della V_{IN} aumenta infatti la corrente, come pure nella configurazione n triodo e p saturo una riduzione della V_{IN} , aumentando il modulo della V_{GSp} , aumenta la corrente.

In queste configurazioni si ha

$$\frac{K_M}{2} (V_{IN} - V_{TM})^2 = - \frac{K_P}{2} (V_{IN} - V_{DD} - V_{TP})^2$$

$$V_{IN} - V_{TM} = \pm \sqrt{\left| \frac{K_P}{K_M} \right|} (V_{IN} - V_{DD} - V_{TP})$$

ponendo $V_{IN} = x$

$$\sqrt{2} (x - 1) = \pm (x - 4)$$

$$x = \frac{\sqrt{2} - 4}{\sqrt{2} - 1} < 0 \text{ non acc.}$$

$$x = \frac{\sqrt{2} + 4}{\sqrt{2} + 1} = 2,243$$

Quindi $V_{IN} = 2,243 V$

La tensione di uscita può assumere un qualunque valore di quelli che garantiscono es. configurazione

$$V_{TP} < V_{IN} - V_U < V_{TM}$$

$$V_{IN} - V_{TM} < V_U < V_{IN} - V_{TP}$$

$$1,243 V < V_U < 3,243 V$$

2

$x_2 = 0$

$y_1 y_0$	$x_1 x_0$	0	1	3	2
0		1	0	0	0
1		1	1	1	1
3		1	0	1	0
2		1	0	0	1

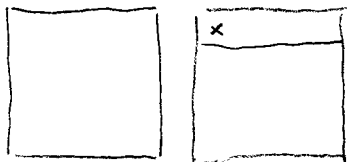
$x_2 = 1$

$y_1 y_0$	$x_1 x_0$	4	5	7	6
0		0	0	0	0
1		1	1	1	1
3		0	0	0	1
2		1	0	0	1

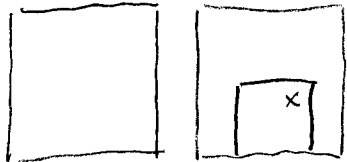
Con Δ vengono smarcati i maxtermini coperti

Implicati essenziali

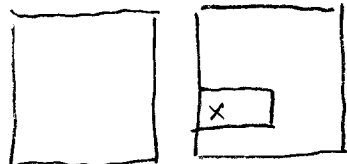
Con \bar{x} è indicato un maxtermine coperto dal solo implicato indicato



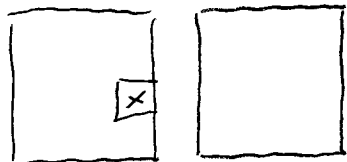
$$U = (y_1 + y_0 + \bar{x}_2)$$



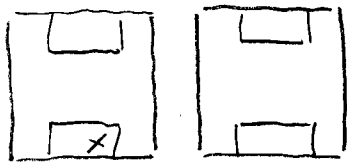
$$\cdot (\bar{y}_1 + \bar{x}_2 + \bar{x}_0)$$



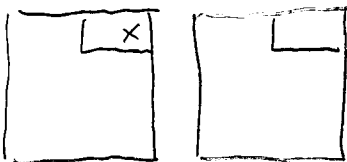
$$\cdot (\bar{y}_1 + \bar{y}_0 + \bar{x}_2 + x_1)$$



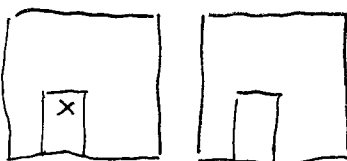
$$\cdot (\bar{y}_1 + \bar{y}_0 + x_2 + \bar{x}_1 + x_0)$$



$$\cdot (y_0 + \bar{x}_0)$$



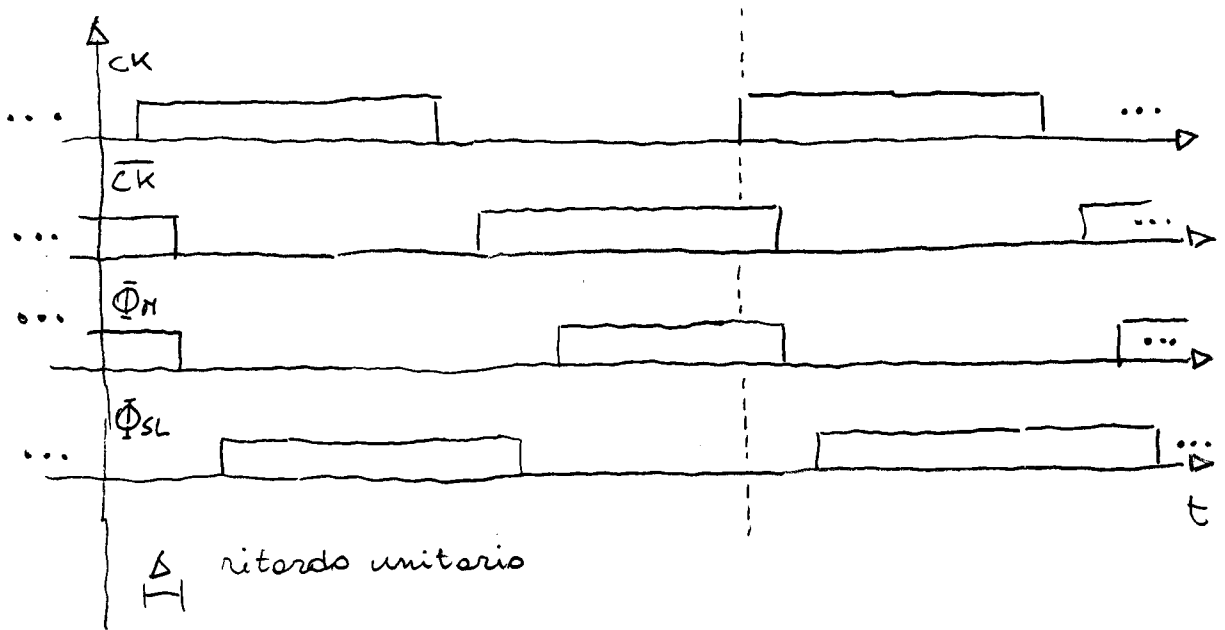
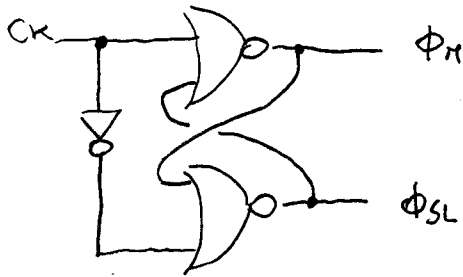
$$\cdot (y_1 + y_0 + \bar{x}_1)$$



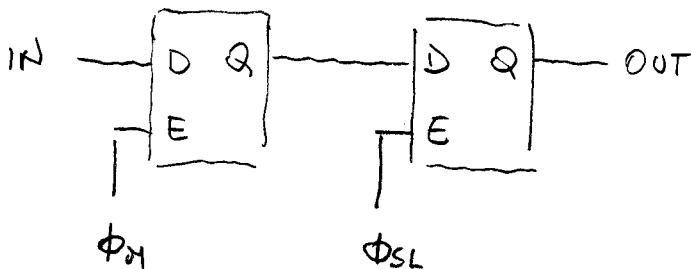
$$\cdot (\bar{y}_1 + x_1 + \bar{x}_0)$$

3

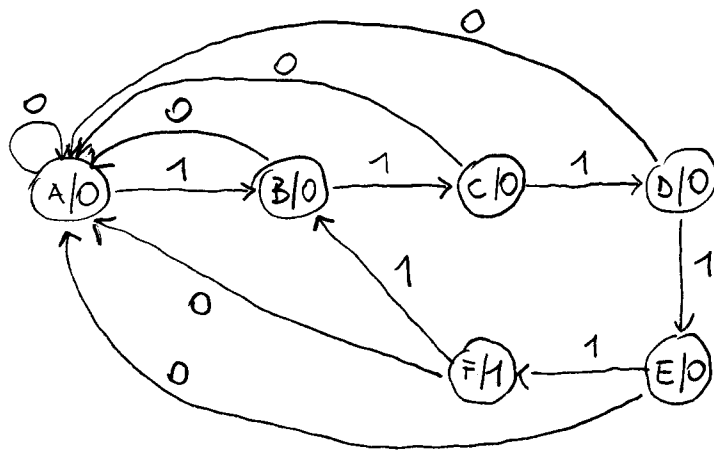
Generatore di clock e due fasi non sovrapposte



Le fasi sono state scelte in modo che il fronte in salita del clock provochi la disabilitazione del latch master.



4



grafo

Codifica degli stati

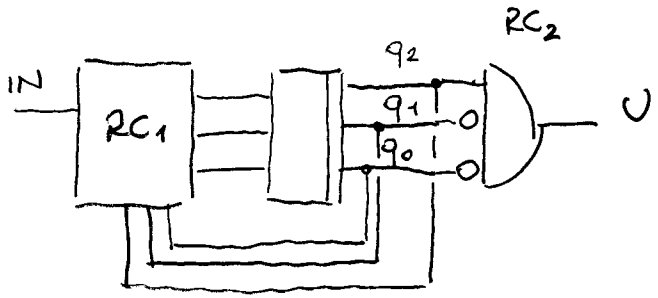
$q_2 q_1 q_0$

A	000
B	001
C	011
D	111
E	110
F	100

Sintesi di RC_2

$$U = q_2 \bar{q}_1 \bar{q}_0$$

Architettura



Sintesi di RC_1

$q_2 IN$

$q_1 q_0$	00	01	11	10
00	000	001	001	000
01	000	011	-	-
11	000	111	110	000
10	-	-	100	000

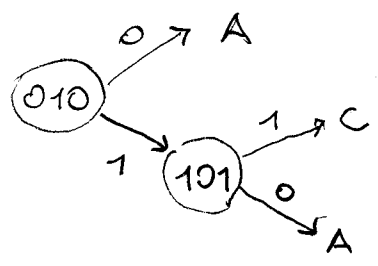
0000
00--
0110
--10

0000
01--
0110
--00

0110
01--
0100
--00

$$d_2 = IN \cdot q_1 \quad d_1 = IN \cdot q_0 \quad d_0 = IN (\bar{q}_2 + \bar{q}_1)$$

Verifica dei due stati "fontesimi"



non c'è stella;
situazione accettabile

5

Confronta:

```
PUSH R16           ;salva i registri usati
PUSH R18
PUSH R19
PUSH R20
PUSH R21
PUSH R22
PUSH R23
CLR R19            ;inizializza i registri per le somme
CLR R20
CLR R21
CLR R22
CLR R23
LDI R16,16         ;loop per la prima serie di somme
loop1:
LD R18,X+          ;carica il dato dalla memoria
ADD R20,R18
ADC R21,R19        ;somma il byte al primo parziale
DEC R16
BRNE loop1
LDI R16,16         ;loop per la seconda serie di somme
loop2:
LD R18,X+          ;carica il dato dalla memoria
ADD R22,R18
ADC R23,R19        ;somma il byte al secondo parziale
DEC R16
BRNE loop2
SBIW XH:XL,32     ;ripristina X
CP R20,R22         ;confronta le parti basse
CPC R21,R22        ;confronta le parti alte con C
POP R23
POP R22
POP R21
POP R20
POP R19
POP R18
POP R16           ;salva i registri usati
RET               ;il risultato è nei flag C e Z
```