SCHEDA **D14_01** Data: **13 Gennaio 2014**

Cognome Nome Matricola

ESERCIZIO N°1

6 punti (3)

Determinare la massima corrente assorbita dall'alimentazione (V_{DD} = 5 V) da un invertitore CMOS a vuoto in condizioni statiche e individuare per quale tensione di ingresso si ha questa condizione. Si ha V_{Tn} = 1,2 V; V_{Tp} = –1 V; k_n = 4 mA/V^2; k_p = –9 mA/V^2.

ESERCIZIO N°2

6 punti (4)

Realizzare con sintesi ottima PS la seguente funzione logica.

$$U = \bar{A}\,\bar{C}\,\bar{D} + C\,\bar{D}\,\bar{E} + \bar{A}\,\bar{B}C\,\bar{E} + ACDE$$

ESERCIZIO N°3

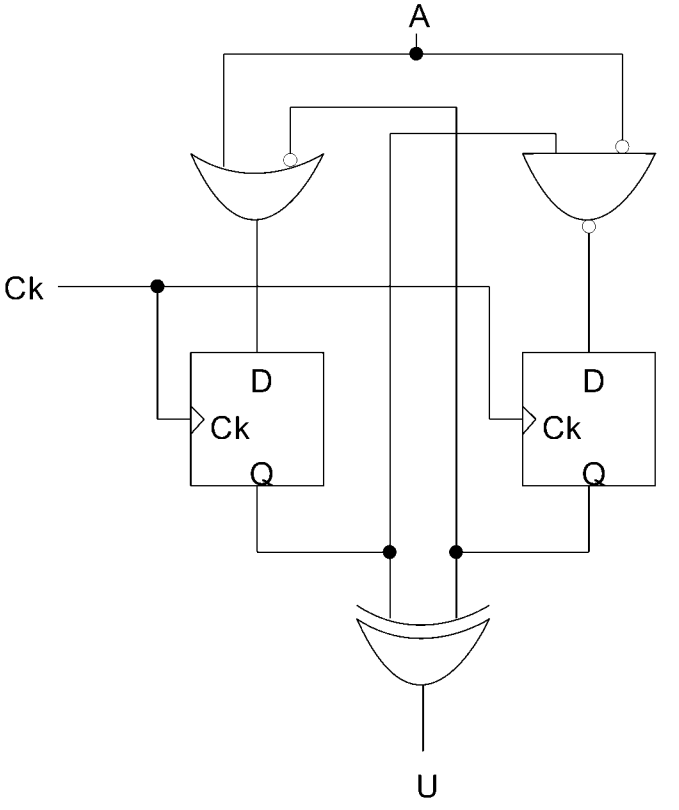
6 punti (3)

Sintetizzare un flip flop T usando porte logiche elementari e l'approccio master-slave. Si ha a disposizione un sistema di clock non sovrapposti di cui deve essere mostrato l'andamento temporale.

ESERCIZIO N°4

7 punti (3)

Determinare tipologia architetturale e grafo di flusso della seguente macchina sequenziale sincrona.



ESERCIZIO N°5

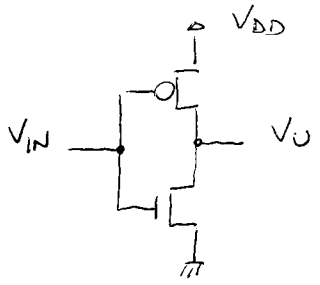
8 punti (4)

Realizzare un sottoprogramma assembly per un microcontrollore della famiglia AVR che valuta la somma di due numeri interi a 8 byte contenuti in memoria agli indirizzi puntati da X e Y (a partire dal byte meno significativo) e memorizza il risultato al posto del primo addendo.

(1) La massima corrente assorbita dall'alimentazione si ha con i due MOS saturi

(se forse saturo uno soltanto, la corrente potrebbe aumentare aumentando la sua V_{GS})

Quindi



$I_{DSN} = -I_{DSP}$ e visto

$$\frac{K_N}{2}(V_{IN}-V_{TN})^2 = -\frac{K_P}{2}(V_{IN}-V_{DD}-V_{TP})^2 \qquad \text{pongo } x = V_{IN}$$

$$2(x-1,2) = \pm 3(x-4)$$

$x = 9,6$ non accettabile ($> V_{DD}$)

$x = 2,88$

quindi $V_{IN} = 2,88\ V$ a cui corrisponde

$$I_{DD} = I_{DSN} = 5,645\ mA$$

(2) Riporto la funzione in una mappa a 5 variabili

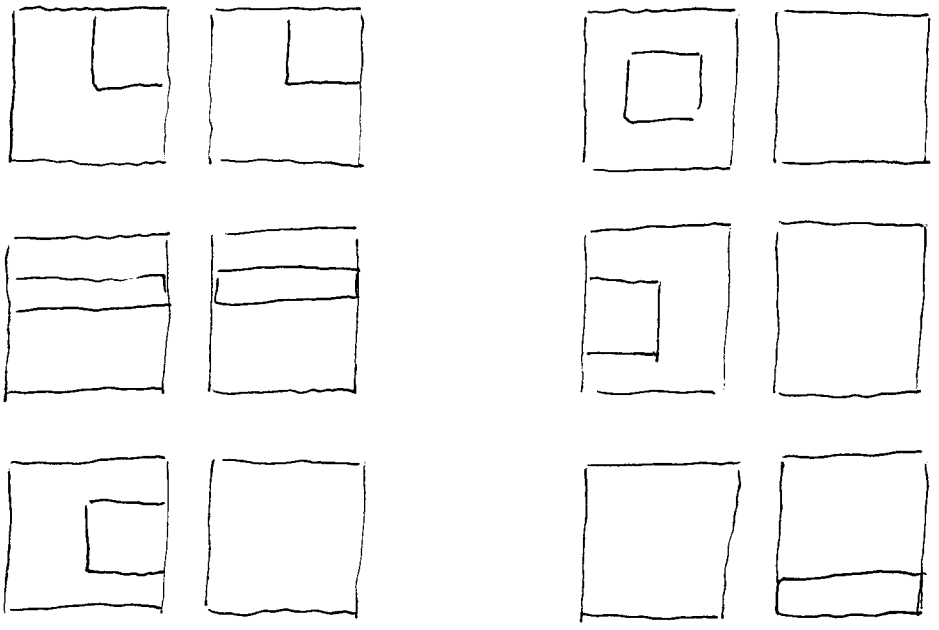
E=0

CD \ AB	00	01	11	10
00	1	1	0	0
01	0	0	0	0
11	1	0	0	0
10	1	1	1	1

E=1

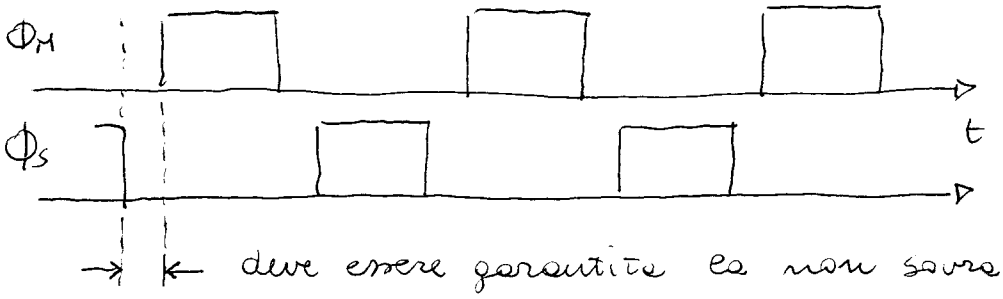
CD \ AB	00	01	11	10
00	1	1	0	0
01	0	0	0	0
11	0	0	1	1
10	0	0	0	0

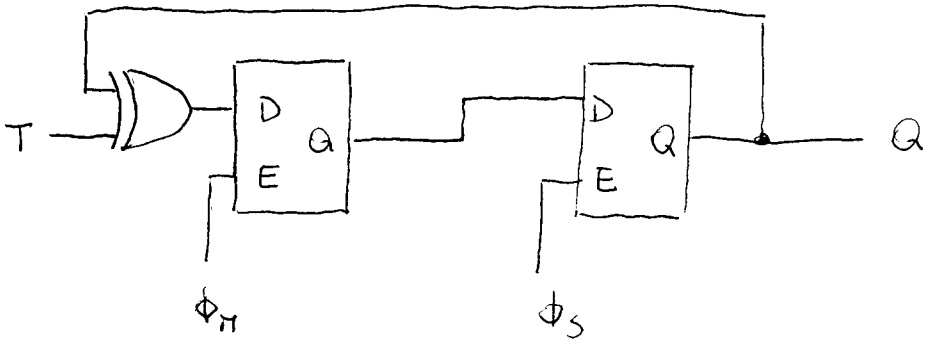
Ci sono diverse coperture ottime.



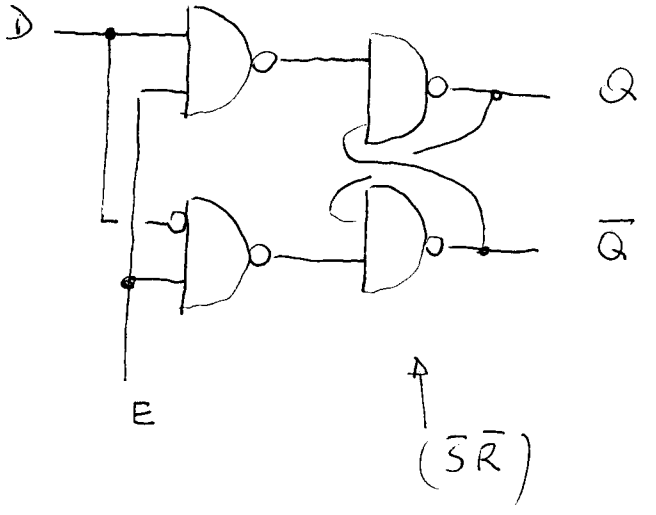
$$U = (\bar{A}+C)(C+\bar{D})(\bar{A}+\bar{D}+E)(\bar{B}+\bar{D}+E)(A+\bar{C}+\bar{E})(\bar{C}+D+\bar{E})$$

③ clock già disponibile:

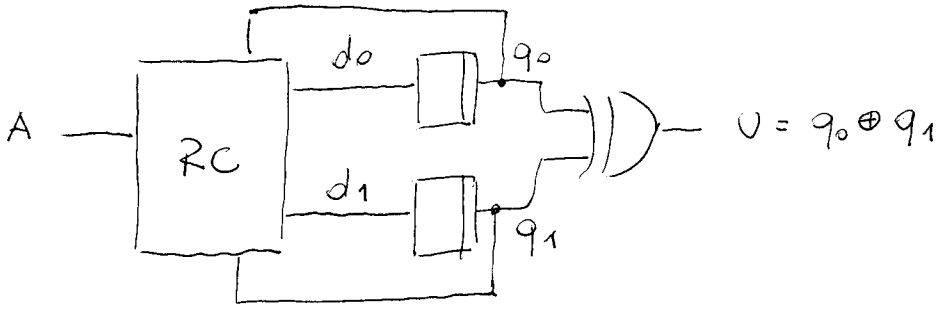




Schema del FF D latch con abilitazione



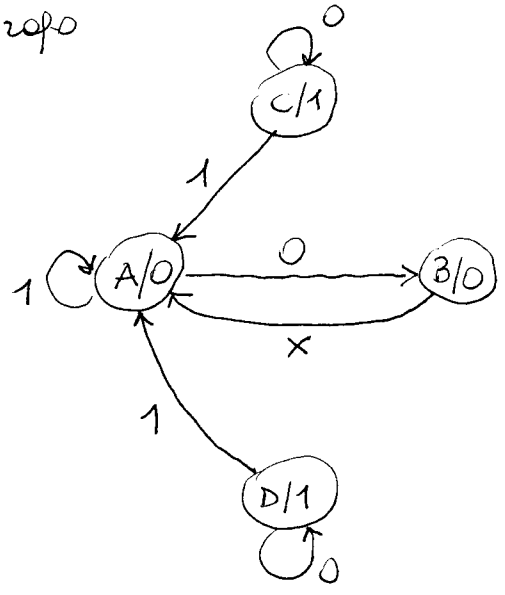
④ La rete è di Moore (l'uscita dipende solo dallo stato)



$d_0 = A + \bar{q}_1$

$d_1 = A + \bar{q}_0$ (De Morgan)

grafo



stati
A : 11
B : 00
C : 01
D : 10

(5)

```
sum8 :
        PUSH R16
        PUSH R17
        PUSH R18
        LDI  R16, 8   ; contatore
        CLC           ; azzera carry
loop:   LD   X, R17
        LD   Y+, R18
        ADC  R17, R18
        ST   X+, R17  ; salva risultato
        DEC  R16
        BRNE loop
        SBIW XH:XL, 8
        SBIW YH:YL, 8
        POP  R18
        POP  R17
        POP  R16
        RET
```