

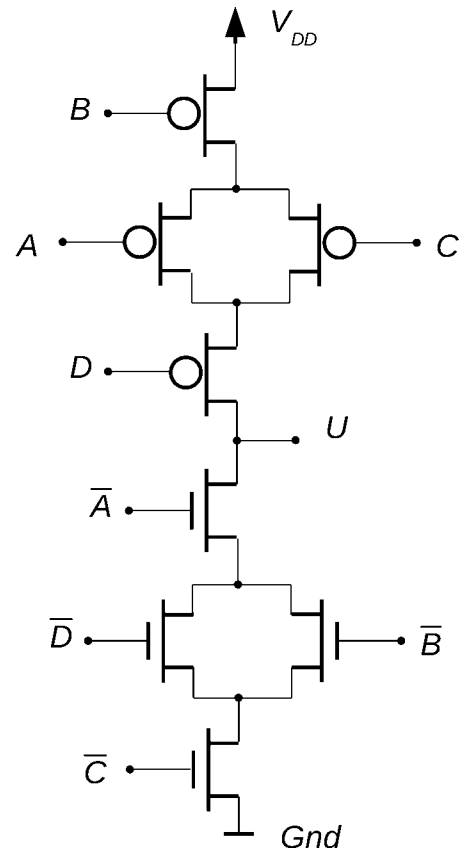
SCHEDA D15_04		Data: 13 Aprile 2015
Cognome	Nome	Matricola

ESERCIZIO N°1

7/4 punti

Determinare la tabella di verità del presente circuito logico CMOS facendo ricorso ai valori 0, 1, Z e X, con l'usuale significato.

Valutare quindi per ogni caso in cui l'uscita è indeterminata (X) il valore della corrente assorbita dall'alimentazione. ($V_{DD} = 5\text{ V}$; $V_{Tn} = |V_{Tp}| = 1\text{ V}$; $k_n = |k_p| = 5\text{ mA/V}^2$).



ESERCIZIO N°2

6/4 punti

Realizzare in forma SP ottima la rete combinatoria a 4 ingressi e una uscita costituita dall'insieme dei mintermini {0, 2, 3, 7, 8, 12, 13, 15}. Modificare quindi la rete progettata in modo che sia priva di alee.

ESERCIZIO N°3

6/4 punti

Disegnare lo schema logico di un sequenziatore con contatore sincrono (dotato della possibilità di caricamento parallelo) che implementi microcodice specificato nel seguito. Si usi una ROM delle minime dimensioni possibili.

```

AA:  IF K THEN CC ELSE GG; OP = 10
BB:  IF M THEN EE ELSE CC; OP = 00
CC:  IF J THEN BB ELSE AA; OP = 01
DD:  IF J THEN FF ELSE HH; OP = 01
EE:  IF L THEN HH ELSE FF; OP = 11
FF:  IF L THEN GG ELSE DD; OP = 11
GG:  IF K THEN AA ELSE BB; OP = 10
HH:  IF M THEN DD ELSE EE; OP = 00

```

ESERCIZIO N°4

6/4 punti

Progettare una macchina di Moore con 2 ingressi X e Y e una sola uscita U che viene posta e mantenuta a 1 nel caso in cui, a partire dalla situazione in cui entrambi gli ingressi sono 1, si ha prima la transizione a 0 di X seguita (con X sempre al valore 0) da quella di Y . L'uscita viene riportata a 0 soltanto da una sequenza per cui, a partire dalla situazione in cui entrambi gli ingressi sono 0, si ha la transizione a 1 di X seguita (con X sempre al valore 1) da quella di Y .

ESERCIZIO N°5

8/5 punti

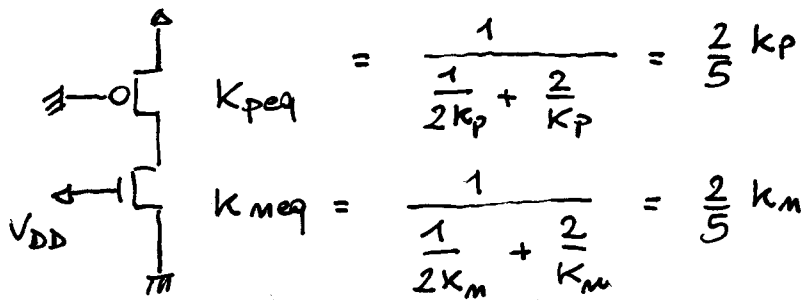
Realizzare una subroutine per il microcontrollore AVR XMEGA256A3BU, che valuti la somma modulo 100 di due numeri di 2 cifre BCD, contenuti nei registri R16 e R17, e ponga il risultato nello stesso registro R16.

1

A	B	C	D	m	p	v
0	0	0	0	on	on	X
0	0	0	1	on	-	0
0	0	1	0	-	ou	1
0	0	1	1	-	-	Z
0	1	0	0	ou	-	0
0	1	0	1	-	-	Z
0	1	1	0	-	-	Z
0	1	1	1	-	-	Z
1	0	0	0	-	ou	1
1	0	0	1	-	-	Z
1	0	1	0	-	-	Z
1	0	1	1	-	-	Z
1	1	0	0	-	-	Z
1	1	0	1	-	-	Z
1	1	1	0	-	-	Z
1	1	1	1	-	-	Z

Nel primo caso, con tutte le variabili nulle, tutti i MOS sono in conduzione.

Circuito equivalente



Il circuito mantiene la sua simmetria ($V_{Tmeq} = |V_{Tpeq}$;
 Quindi $K_{meq} = K_{peq}$)

$V_U = V_{DD}/2 = 2,5V$; entrambi i MOS eq. TRIODI

$I_{DD} = \frac{K_{meq}}{2} \frac{V_{DD}}{2} \left(V_{DD} + \frac{V_{DD}}{2} - 2V_{Tu} \right) = 13,75 mA$

②

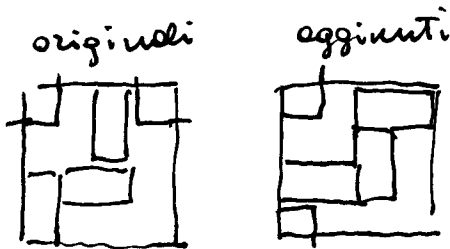
trasferisco in mappa

		$x_3 x_2$			
$x_1 x_0$		00	01	11	10
00		0	4	12	8
01		1	5	13	9
11		3	7	15	10
10		2	6	14	11

Sintesi SP ottimale

$$\bar{x}_2 \bar{x}_1 \bar{x}_0 + x_3 x_2 \bar{x}_1 + x_2 x_1 x_0 + \bar{x}_3 \bar{x}_2 x_1 = U$$

Per evitare del aggiungere gli implicanti che fanno sì che ogni commutazione tra 1 adiacenti sia all'interno dello stesso implicants



$$U' = \bar{x}_2 \bar{x}_1 \bar{x}_0 + x_3 x_2 \bar{x}_1 + x_2 x_1 x_0 + \bar{x}_3 \bar{x}_2 x_1 + \bar{x}_3 \bar{x}_2 \bar{x}_0 + x_3 \bar{x}_1 \bar{x}_0 + x_3 x_2 x_0 + \bar{x}_3 x_1 x_0$$

(3) Sequenze ciclica completa:

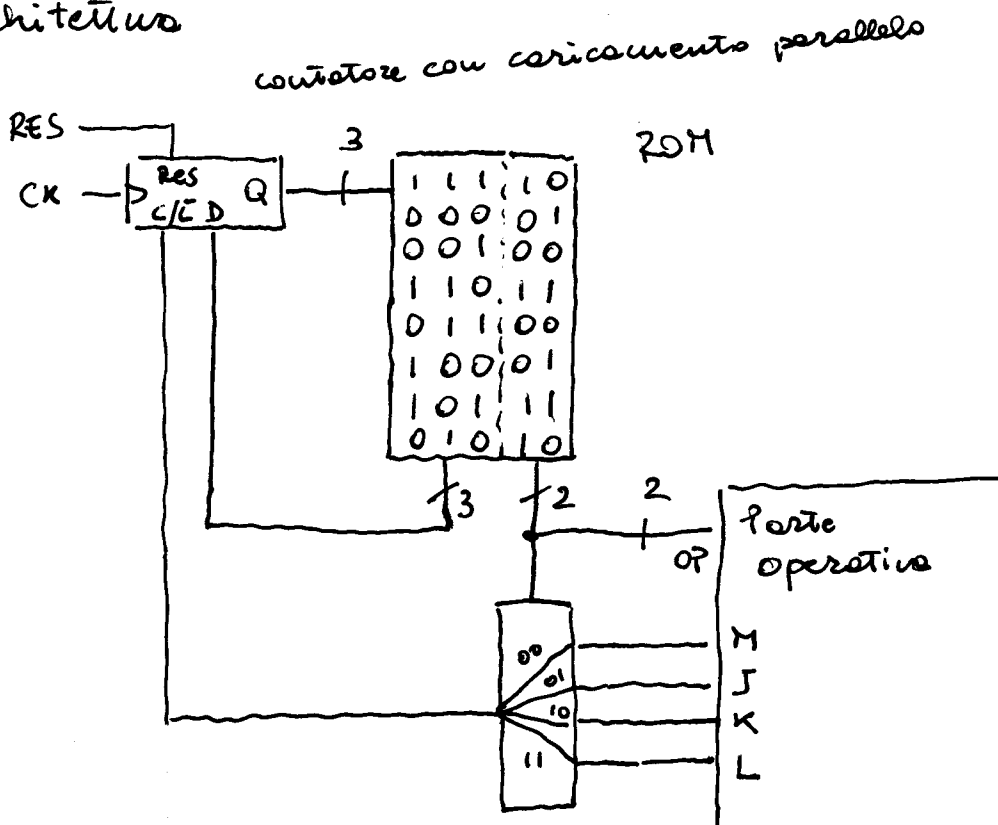
AA, CC, BB, EE, HH, DD, FF, GG, ... (se vero)

Codifico questi stati in ordine crescente e riordino le righe

STATO	CODICE	S.FUT (se falso)	FLAG	OP	
AA	000	GG	111	K	10
CC	001	AA	000	J	01
BB	010	CC	001	J	00
EE	011	FF	110	L	11
HH	100	EE	011	M	00
DD	101	HH	100	J	01
FF	110	DD	101	L	11
GG	111	BB	010	K	10

Si osserva che ogni flag è sempre associato al solito opcode
Quindi uso OP per codificare FLAG

Architettura



5

```
/* Somma due valori BCD. Sommare 6 permette di trasformare  
l'operazione modulo 10 in modulo 16
```

```
*/
```

```
SumBCD:
```

```
push R18
```

```
clr R18
```

```
subi R16, -0x66
```

```
add R16, R17
```

```
brhs n1 //half carry
```

```
ldi R18, 0x06
```

```
n1:
```

```
brcs n2
```

```
subi R18, -0x60
```

```
n2:
```

```
sub R16, R18
```

```
pop R18
```

```
ret
```