

Cognome

Nome

Matricola

ESERCIZIO N°1

8 punti (4)

Scrivere un sottoprogramma ^{con segno} per il microcontrollore XMEGA256A3BU che esegue la somma dei quadrati dei due numeri interi (da 1 byte) collocati in memoria nelle due locazioni successive a partire da quella puntata da Z e pone il risultato, in complemento a 2 su 2 byte, in memoria a partire (LSB) dalla locazione puntata da Y. Si può avere overflow?

ESERCIZIO N°2

6 punti (3)

Disegnare lo schema logico di un sequenziatore con contatore sincrono (dotato della possibilità di caricamento parallelo) che implementi il microcodice specificato nel seguito.

```

X:   IF J THEN T ELSE A; OP = 1011
Y:   IF K THEN B ELSE B; OP = 0101
Z:   IF K THEN A ELSE C; OP = 1111
T:   IF J THEN C ELSE A; OP = 0000
W:   IF J THEN X ELSE W; OP = 0110
A:   IF K THEN W ELSE W; OP = 0001
B:   IF K THEN Z ELSE Z; OP = 1101
C:   IF J THEN Y ELSE A; OP = 1011
    
```

ESERCIZIO N°3

6 punti (4)

Sintetizzare in forma PS ottima una rete combinatoria a 4 ingressi X_3, X_2, X_1 e X_0 e una uscita che vale 1 in tutti i casi in cui è falsa la seguente espressione: (e ϕ altrimenti)

$$\bar{X}_3 X_2 X_0 + X_2 \bar{X}_1 X_0 + X_3 X_1 + X_3 \bar{X}_2 X_1 \bar{X}_0$$

ESERCIZIO N°4

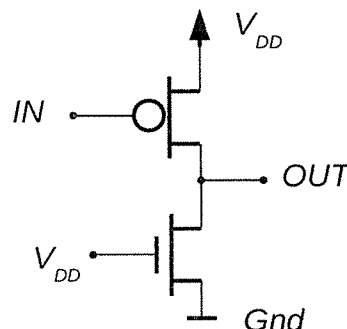
6 punti (4)

Sintetizzare una rete sequenziale sincronizzata con un ingresso e una uscita, secondo il modello di Moore, in grado di riconoscere una qualsiasi tra le sequenze (interallacciate) 010, 101, 000. Ogni volta che si ha un riconoscimento, e solo allora, la rete pone in uscita (per un solo ciclo di clock) il valore vero.

ESERCIZIO N°5

7 punti (3)

Nel seguente invertitore determinare V_U quando $V_{IN} = 1$ V. Si sa che $V_{DD} = 5$ V; $V_{Tn} = -V_{Tp} = 1$ V; $K_n = 1$ mA/V²; $|K_p| = 16$ mA/V².



①

sum_of_squares:

```

PUSH R0
PUSH R1
PUSH R16
PUSH R20
PUSH R21

LD R16, Z
MULS R16, R16
MOVW R21:R20, R1:R0
LDD R16, (Z+1)
MULS R16, R16
ADD R20, R0
ADC R21, R1

ST Y, R20
STD (Y+1), R21

POP R21
POP R20
POP R16
POP R1
POP R0
RET

```

Si può avere overflow nell'unico caso in cui entrambi gli argomenti valgono -128

in fatti

$$2(-2^7)^2 = 2^{15} \text{ non rappresentabile in C2 con 16 b}$$

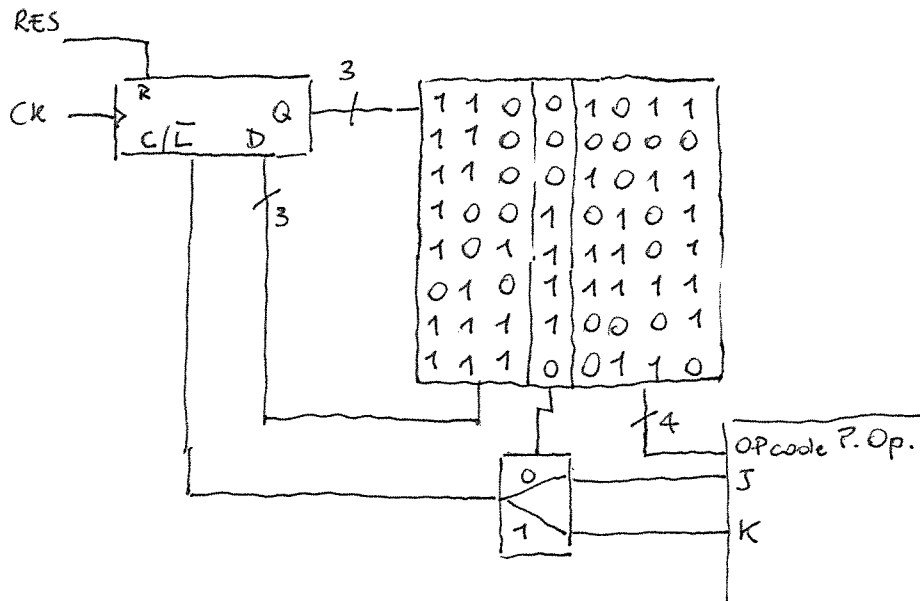
② Sequenza ciclica completa (True)

X, T, C, Y, B, Z, A, W, ...

Riordino gli stati

	code	next (F)	flag	opcode
X	000	A: 110	J: 0	1011
T	001	A: 110	J: 0	0000
C	010	A: 110	J: 0	1011
Y	011	B: 100	K: 1	0101
B	100	Z: 101	K: 1	1101
Z	101	C: 010	K: 1	1111
A	110	W: 111	K: 1	0001
W	111	W: 111	J: 0	0110

Architettura con contatore



3

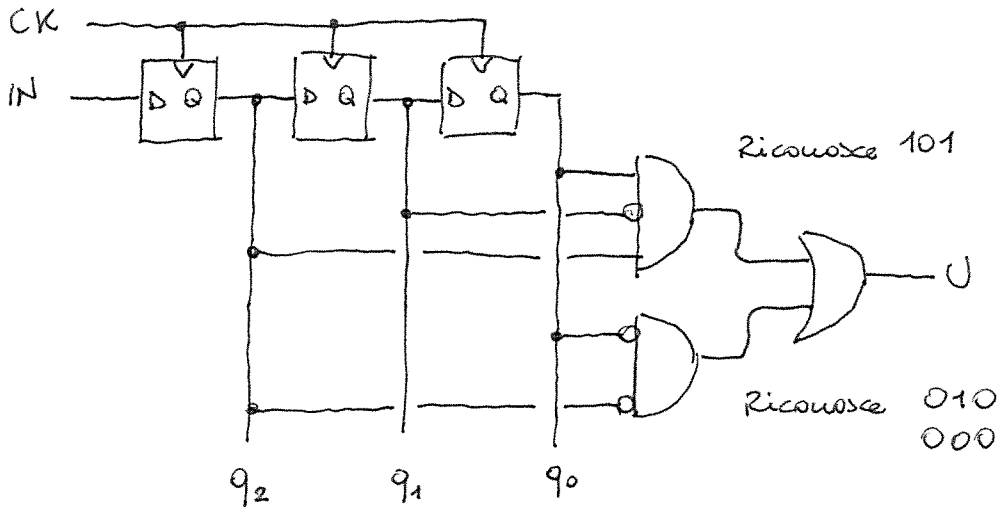
Ricavo la mappa a partire dagli ϕ (valori falsi di f)

$x_3 x_2$ $x_1 x_0$	00	01	11	10
00	1	1	1	1
01	1	0	0	1
11	1	0	0	0
10	1	1	0	0

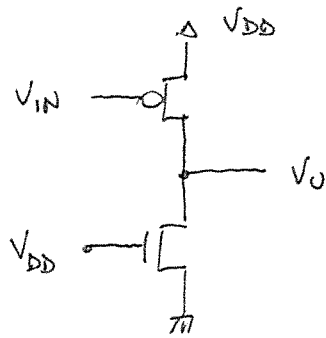
Sintesi PS ottimale

$$f = (\bar{x}_2 + \bar{x}_0)(\bar{x}_3 + \bar{x}_1)$$

④ Riconoscitore interallacciato con Shift Register



5



ipotesi: p triodo
n saturo

$$I_{DSM} = \frac{k_M}{2} (V_{DD} - V_T)^2 = 8 \text{ mA}$$

Dall'uguaglianza tra le correnti I_{DSM} e $-I_{DSP}$ si ha

$$-I_{DSP} = -\frac{k_P}{2} (V_O - V_{DD}) (V_{IN} - V_{DD} + V_{IN} - V_O - 2V_{TP}) = I_{DSM}$$

sostituendo i valori numerici

$$8 = 8(x - 5)(-1 - x)$$

$$x^2 - 4x - 4 = 0$$

$$x = 2 + \sqrt{8} \quad (\text{è accettabile la soluzione maggiore})$$

da cui

$$V_O = 4,8284 \text{ V}$$

l'ipotesi iniziale è verificata

(richiedeva $V_O > 4$ per la saturazione dell' nMOS)