

SCHEDA D16_03		Data: 18 Febbraio 2016
Cognome	Nome	Matricola

Il testo del compito deve essere riconsegnato insieme ai fogli con lo svolgimento

ESERCIZIO N°1

8 punti (4)

Scrivere un programma per il microcontrollore XMEGA256A3BU che, assumendo di aver già correttamente inizializzato le porte, generi sui pin 0 e 1 della porta virtuale 0 delle forme d'onda in grado di pilotare correttamente i due stadi di un flip-flop master-slave (cioè due onde rettangolari che non devono mai essere contemporaneamente a 1).

ESERCIZIO N°2

6 punti (4)

Disegnare lo schema logico di un flip-flop D edge-triggered con architettura master-slave facendo uso di porte logiche elementari (il segnale di clock a due fasi è disponibile).

ESERCIZIO N°3

7 punti (4)

Progettare in forma minima, scegliendo tra la forma PS e SP quella che permette di usare complessivamente meno letterali, una rete combinatoria a 5 ingressi e una uscita che indichi ponendo a 1 l'uscita quando l'ingresso, inteso come numero intero assoluto, è multiplo di 4 oppure di 5.

ESERCIZIO N°4

6 punti (3)

Progettare una macchina sequenziale sincrona con l'architettura di Moore, senza ingressi e con quattro uscite, che generi in sequenza, ciclicamente, la codifica binaria dei numeri pari compresi tra 0 e 14.

ESERCIZIO N°5

6 punti (4)

Determinare il fan-out di una famiglia logica caratterizzata dai seguenti parametri:

$$V_{IL} = 1 \text{ V}; I_{IL} = -20 \text{ }\mu\text{A}; V_{OL} = 0,5 \text{ V}; I_{OL} = 2 \text{ mA};$$

$$V_{IH} = 4 \text{ V}; I_{IH} = 40 \text{ }\mu\text{A}; V_{OH} = 4,5 \text{ V}; I_{OH} = -4 \text{ mA};$$

Indicare se l'uso di una opportuna resistenza può migliorare il fan-out e determinare l'eventuale nuovo valore ottenuto.

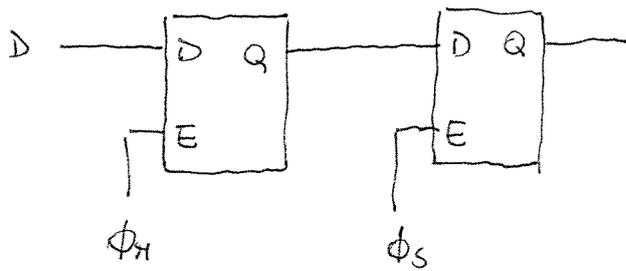
1

```
program : CBI VPORT $\phi$ _OUT, 0 // disattiva tutto
          SBI VPORT $\phi$ _OUT, 1 // attiva  $\phi_1$ 
          NOP
          NOP
          ... // ritardo in funzione della  $f$  desiderata
          CBI VPORT $\phi$ _OUT, 1 // disattiva tutto
          SBI VPORT $\phi$ _OUT,  $\phi$  // attiva  $\phi_0$ 
          NOP
          NOP
          ... // ritardo ( $\sim 2T$  se si vuole clock simmetrico)
          RJMP program
```

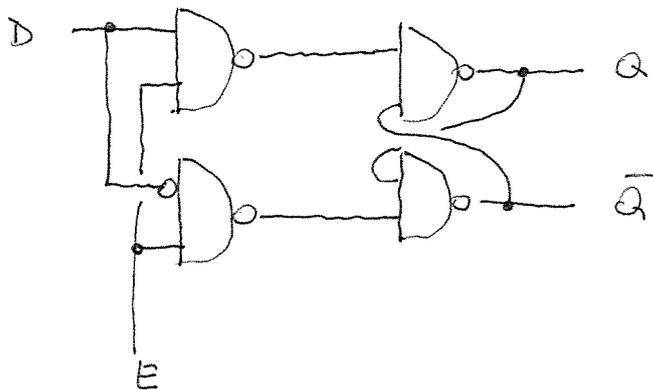
Loop infinito che, dopo una fase di inizializzazione, genera il clock richiesto.

La fase di NON OVERLAP dura $2T$

② L'architettura del MS è la seguente



Lo scheme del DE-FF è il seguente



3

Mappe delle funzioni

$x_3 x_2$

$x_1 x_0$	00	01	11	10
00	1 ₀	1 ₄	1 ₁₂	1 ₈
01	0 ₁	1 ₅	0 ₁₃	0 ₉
11	0 ₃	0 ₇	1 ₁₅	0 ₁₁
10	0 ₂	0 ₆	0 ₁₄	1 ₁₀

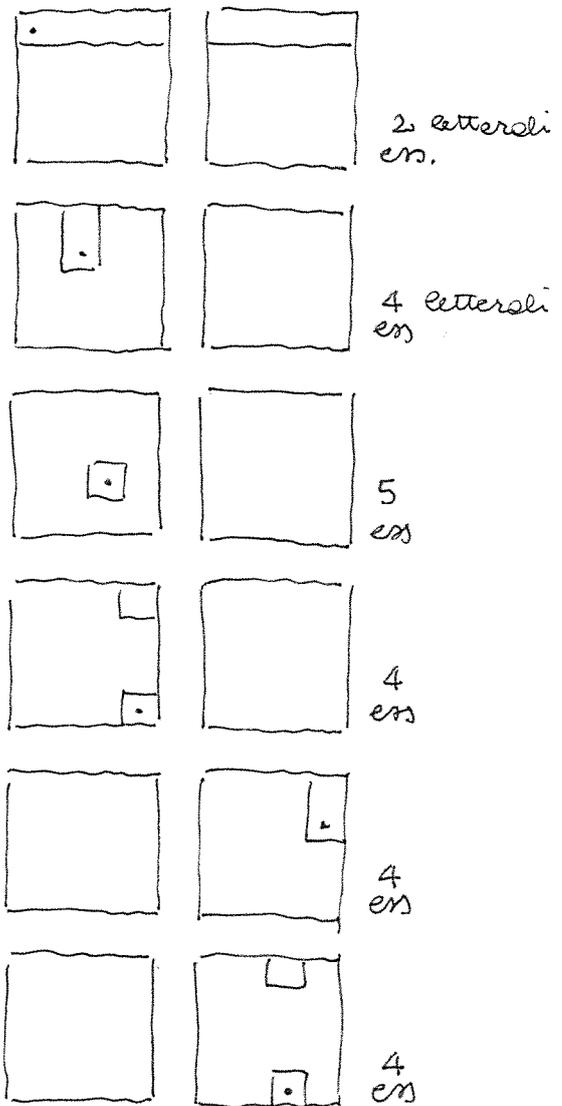
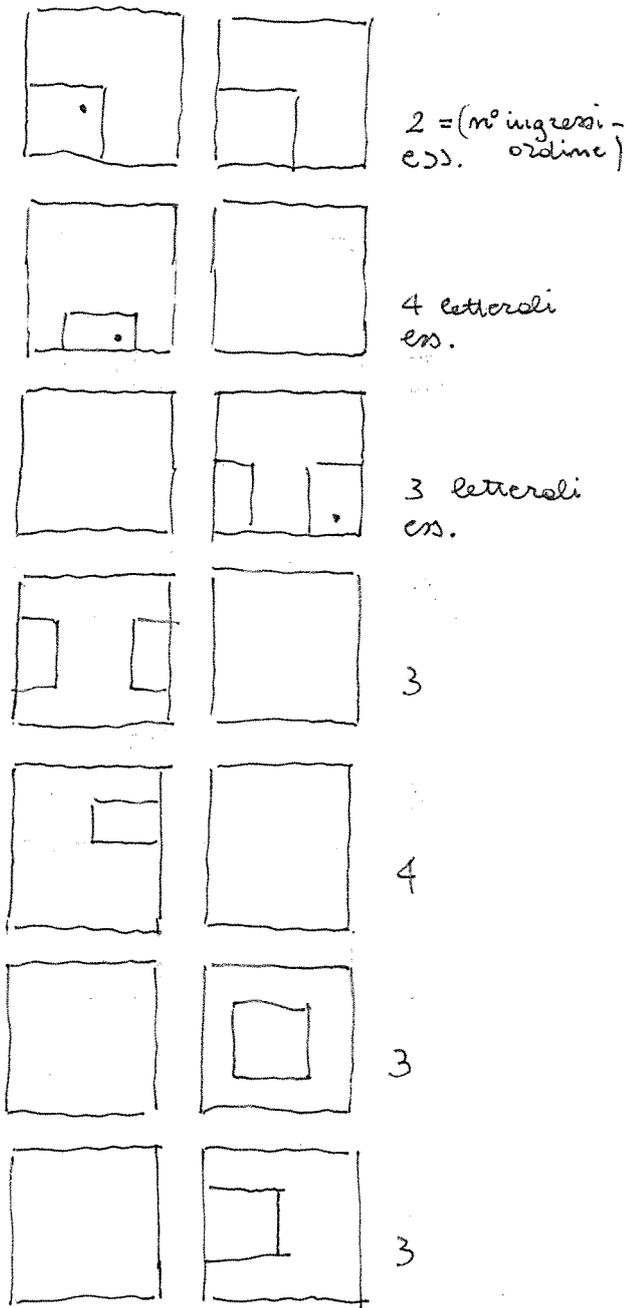
$x_4 = 0$

	00	01	11	10
	1 ₁₆	1 ₂₀	1 ₂₈	1 ₂₄
	0 ₁₇	0 ₂₁	0 ₂₉	1 ₂₅
	0 ₁₉	0 ₂₃	0 ₃₁	0 ₂₇
	0 ₁₈	0 ₂₂	1 ₃₀	0 ₂₆

$x_4 = 1$

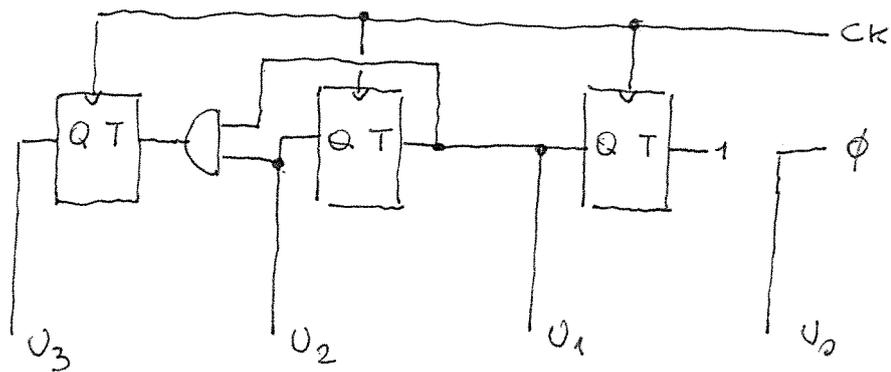
Sintesi PS: letterali 22

Sintesi SP: letterali 23



$$U = (x_3 + \bar{x}_1)(x_4 + \bar{x}_2 + \bar{x}_1 + x_0)(\bar{x}_4 + x_2 + \bar{x}_1)(x_4 + x_2 + \bar{x}_0)(x_4 + \bar{x}_3 + x_1 + \bar{x}_0)(\bar{x}_4 + \bar{x}_2 + \bar{x}_0)(\bar{x}_4 + x_3 + \bar{x}_0)$$

④ Si tratta di un semplice contatore modulo 8 con l'aggiunta (LS bit) di un'uscita costantemente nulla



⑤

I requisiti sulle tensioni sono rispettati

$$V_{OH} > V_{IH} \quad ; \quad V_{OL} < V_{IL}$$

Il fan out è dato quindi da

$$N = \min \left\{ \left\lfloor \frac{-I_{OH}}{I_{IH}} \right\rfloor ; \left\lfloor \frac{I_{OL}}{-I_{IL}} \right\rfloor \right\} = 100$$

Poiché sui due livelli alto e basso si ha la stessa limitazione (data dalle correnti), un resistore non potrà dare alcun beneficio, squilibrando la capacità di pilotaggio verso GND oppure V_{DD} .