

SCHEDA <b>D17_08</b>		Data: <b>13 Settembre 2017</b>
Cognome	Nome	Matricola

### ESERCIZIO N°1

8 punti (5)

Scrivere un sottoprogramma nel linguaggio assembly della famiglia XMEGA AVR che cancella tutte le locazioni di memoria i cui indirizzi sono compresi tra 9000 e 10000, inclusi gli estremi. Il sottoprogramma non deve alterare i registri di lavoro.

### ESERCIZIO N°2

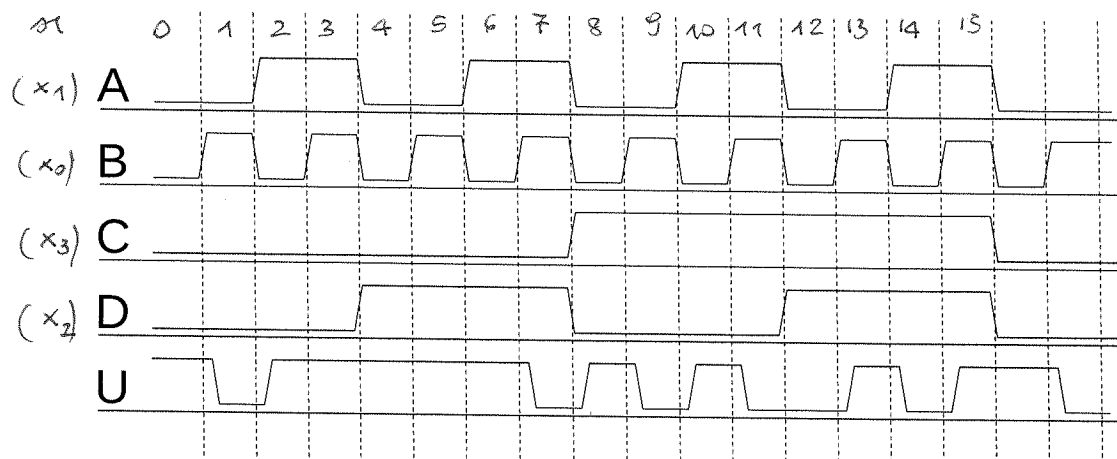
3 punti (3)

Progettare usando T-FF un contatore  $\overline{\text{up/down}}$  modulo 7 con gli ingressi (sincroni) di reset (prioritario) e abilitazione.

### ESERCIZIO N°3

6 punti (4)

La simulazione di una rete combinatoria a 4 ingressi (A, B, C, D) realizzata in forma SP ottima, ha dato il risultato presentato nel seguito. Se possibile, individuare e disegnare lo schema logico della rete. Se non è possibile rispondere con esattezza, spiegare perché.



### ESERCIZIO N°4

5 punti (5)

Disegnare lo schema a porte logiche di un D latch con abilitazione.

### ESERCIZIO N°5

7 punti (4)

La misura della corrente di alimentazione effettuata in laboratorio su un invertitore CMOS a vuoto, alimentato con  $V_{CC} = 5\text{ V}$ , in funzione della tensione di ingresso, ha dato il classico grafico a cuspide, con valori nulli per  $V_{IN} < 1.2\text{ V}$  e  $V_{IN} > 4.5\text{ V}$ . La massima corrente,  $I_{CC} = 5\text{ mA}$ , è stata ottenuta per  $V_{IN} = 2.2\text{ V}$ .

Determinare i parametri  $V_{Tn}$  e  $k_n$ ,  $V_{Tp}$  e  $k_p$  dei due MOSFET.

①

clearmem:

```
PUSH XL
PUSH XH
PUSH R16
LDI XL, low(9000)
LDI XH, high(9000)
CLR R16
```

loop:

```
ST X+, R16
CPI XL, low(10001) //successive
BRNE loop
CPI XH, high(10001)
BRNE loop
POP R16
POP XH
POP XL
RET
```

②

sequenza

...  
 000  
 001  
 UP 010  
 011  
 ↓ 100  
 101  
 --- 110 ---  
 000  
 001  
 010  
 ...

↑  
DOWN

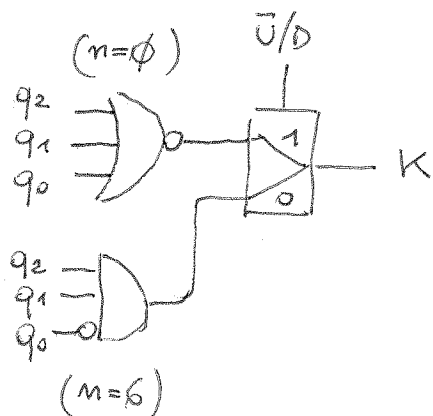
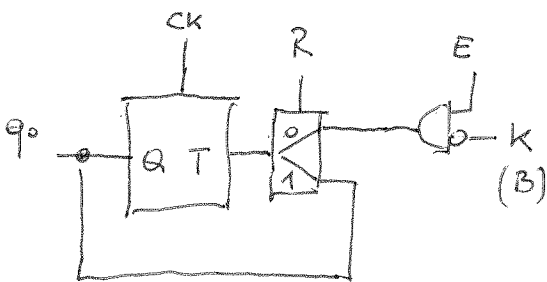
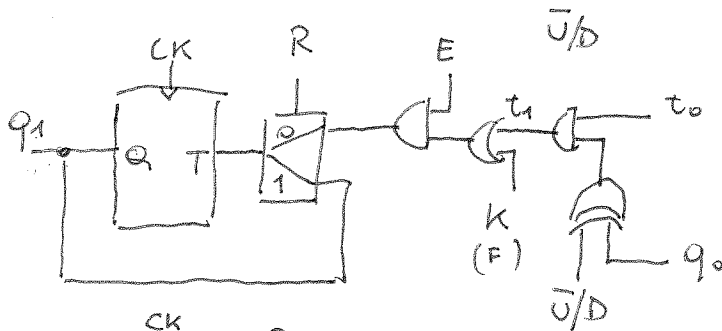
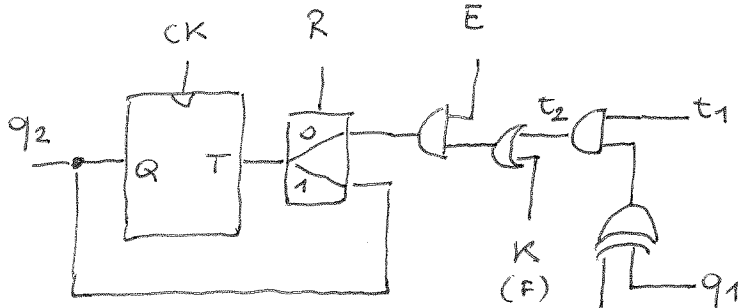
UP 110  
 ↓ (111)  
 000

azione FFB

-----  
 110  
 DOWN (111)  
 φ 000

azione -- B ma va bene anche  
 FFB (uguale a quella UP)

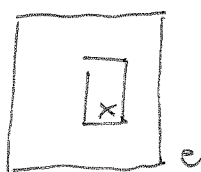
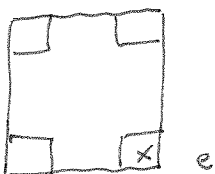
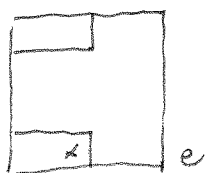
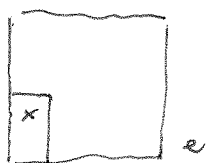
priorit.



③ Mappe (nella simulazione ci sono TUTTE le comb.)

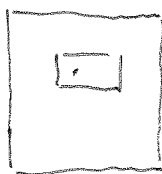
	CD			
AB	00	01	11	10
00	1 <sup>0</sup>	1 <sup>4</sup>	0 <sup>12</sup>	1 <sup>8</sup>
01	0 <sup>1</sup>	1 <sup>5</sup>	1 <sup>13</sup>	0 <sup>9</sup>
11	1 <sup>3</sup>	0 <sup>7</sup>	1 <sup>15</sup>	0 <sup>11</sup>
10	1 <sup>2</sup>	1 <sup>6</sup>	0 <sup>14</sup>	1 <sup>10</sup>

Ricerca degli implicanti essenziali (con la x un mintermine coperto in esclusiva)

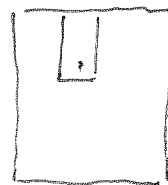


Gli implicanti essenziali coprono tutti i mintermini tranne uno ( $m_5$ )

che può essere coperto con uno di due implicanti principali, a scelta, dello STESSO ordine



oppure

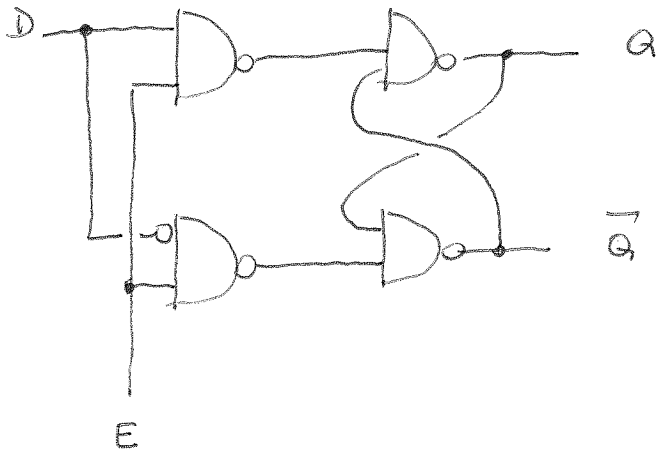


Quindi NON è possibile identificare la rete - soluz. ottime:

$$Y_1 = \bar{C}\bar{D}A + \bar{C}\bar{B} + \bar{D}\bar{B} + CDB + D\bar{A}B$$

$$Y_2 = \bar{C}\bar{D}A + \bar{C}\bar{B} + \bar{D}\bar{B} + CDB + \bar{C}D\bar{A}$$

④ Schema del D latch con abilitazione



⑤ la corrente di alimentazione si annulla per

$$V_{IN} < V_{TM} \quad \text{oppure per} \quad V_{IN} - V_{DD} > V_{TP} ; \quad V_{IN} > V_{DD} + V_{TP}$$

Quindi si ricave  $V_{TM} = 1,2V$  e  $V_{TP} = -0,5V$

la corrente di alimentazione è massima quando entrambi i MOSFET sono saturi - Questo si ha per

$$V_{IN} = 2,2V \quad \text{quindi}$$

$$\frac{K_M}{2} (V_{IN} - V_{TM})^2 = -\frac{K_P}{2} (V_{IN} - V_{DD} - V_{TP})^2 = I_M = 5mA \quad \text{da cui}$$

$$K_M = \frac{2 I_M}{(V_{IN} - V_{TM})^2} = 10 mA/V^2$$

$$K_P = -\frac{2 I_M}{(V_{IN} - V_{DD} - V_{TP})^2} = -1,890 mA/V^2$$

