

ESERCIZIO N°1

8 punti

Scrivere un sottoprogramma per il microcontrollore XMEGA256A3BU che scambia tra loro 2 vettori di 128 interi (ciascuno rappresentato su 2 byte) contenuti in memoria rispettivamente agli indirizzi 0x2000 e 0x2400.

ESERCIZIO N°2

7 punti

Disegnare il grafo di una rete di Moore con un ingresso e una uscita in grado di riconoscere una qualsiasi delle due sequenze (non interallacciate) 101 e 00. La rete riconosce l'uguaglianza con una qualsiasi delle sequenze ponendo l'uscita a 1 per un ciclo di clock.

Realizzare quindi la rete usando JK-FF (sfruttando le potenzialità di questo flip-flop).

ESERCIZIO N°3

5 punti

Collegare delle memorie da 16Mx8 in modo da ottenere un modulo da 64Mx16.

ESERCIZIO N°4

7 punti

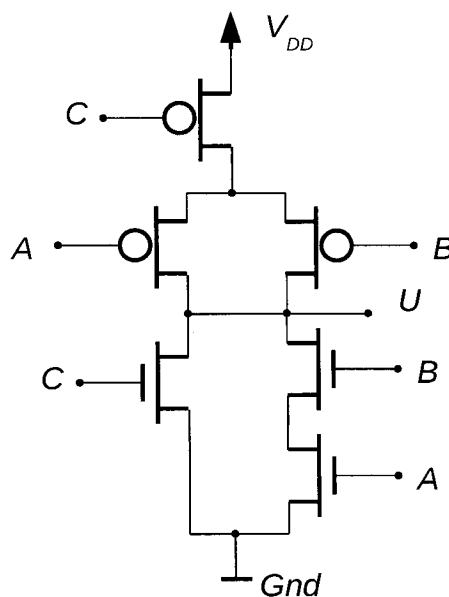
Individuare tutti gli implicant essenziali (motivando) della funzione combinatoria a 5 ingressi identificata dal seguente elenco di mintermini. Realizzare poi la sintesi SP ottima.

{0, 1, 3, 6, 7, 9, 10, 11, 12, 14, 15, 17, 18, 21, 22, 24, 25, 26, 30, 31}

ESERCIZIO N°5

6 punti

Individuare il funzionamento del seguente circuito logico CMOS. Valutare quindi la corrente di uscita nel caso in cui venga posto in uscita un generatore ideale di tensione da 2 V e gli ingressi A e B valgano entrambi 5 V, e C valga 0. ($V_{DD} = 5\text{ V}$; $V_{Tn} = |V_{Tp}| = 1\text{ V}$; $k_n = |k_p| = 4\text{ mA/V}^2$).



①

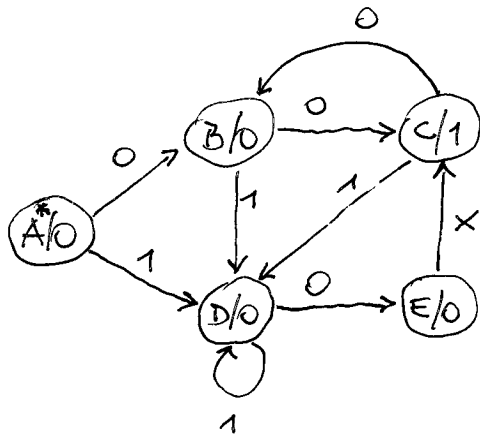
scambio: PUSH R16
PUSH R17
PUSH R18
PUSH XL
PUSH XH
PUSH YL
PUSH YH

LDI R16, 128
LDI XL, low (0x2000)
LDI XH, high (0x2000)
LDI YL, low (0x2400)
LDI YH, high (0x2400)

loop: LD R17, X
LD R18, Y
ST R18, X+
ST R17, Y+
DEC R16
BRNE loop

POP YH
POP YL
POP XH
POP XL
POP R18
POP R17
POP R16
RET

2

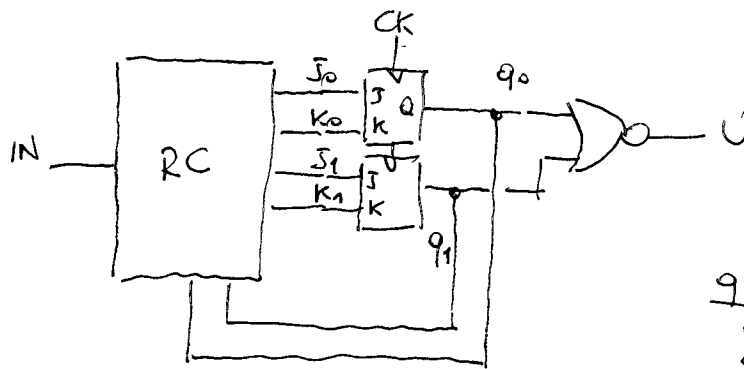


Lo stato iniziale A^* può essere omesso, accettando che la macchina, all'accensione, parte da C (con uscita non valida)

Codifica

	q_1	q_0	U
C	0	0	1
B	0	1	0
D	1	0	0
E	1	1	0

Architettura



q	q'	J	K
0	0	0	1
0	1	1	1
1	0	1	1
1	1	1	0

Stati

Mappe transizioni

IN \ $q_1 q_0$	(C)	(B)	(E)	(D)
00	01	00	00	11
01	10	10	00	10

J_1	0 0 - -
	1 1 - -

$J_1 = IN$

K_1	- - 1 0
	- - 1 0

$K_1 = q_0$

J_0	1 - - 1
	0 - - 0

$J_0 = \overline{IN}$

K_0	- 1 1 -
	- 1 1 -

$K_0 = 1$

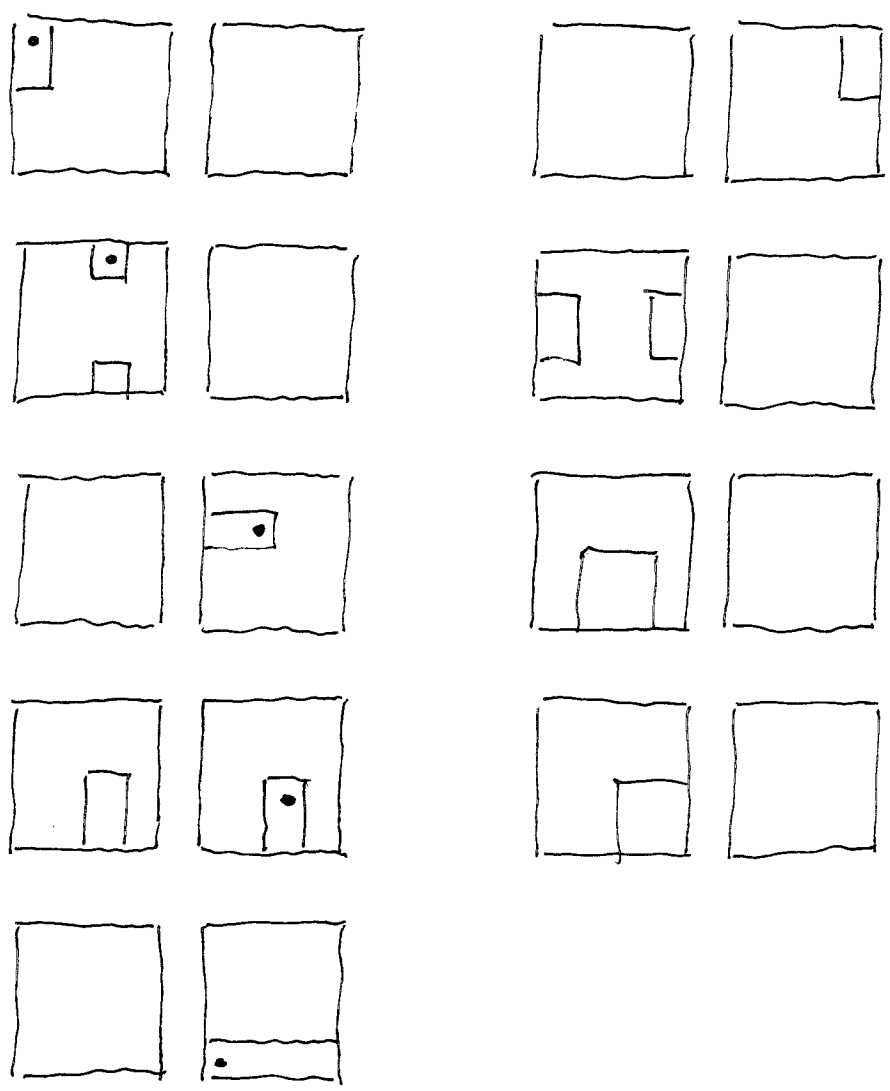
④

$x_3 x_2$		$x_4 = 0$			
		00	01	11	10
$x_1 x_0$	00	1 0	4 0	12 1	8 0
	01	1 1	5 0	13 0	9 1
11	3 1	7 1	15 1	11 1	
10	2 0	6 1	14 1	10 1	

$x_3 x_2$		$x_4 = 1$			
		00	01	11	10
$x_1 x_0$	00	16 0	20 0	28 0	24 1
	01	17 1	21 1	29 0	25 1
11	19 0	23 0	31 1	27 0	
10	18 1	22 1	30 1	26 1	

Implicanti essenziali

Per coprire gli 1 rimanenti



evidenziato un mintermine coperto in esclusiva

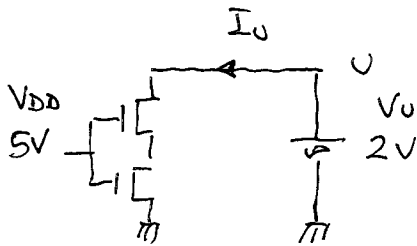
$$U = \bar{x}_4 \bar{x}_3 \bar{x}_2 \bar{x}_1 + \bar{x}_4 x_3 x_2 \bar{x}_0 + x_4 \bar{x}_3 \bar{x}_1 x_0 + x_3 x_2 x_1 + x_4 x_1 \bar{x}_0 + x_4 x_3 \bar{x}_2 \bar{x}_1 + \bar{x}_4 \bar{x}_2 x_0 + \bar{x}_4 x_2 x_1 + \bar{x}_4 x_3 x_1$$

⑤ Funzione logica
 Si tratta di una porta AOI ben formata, quindi

$$U = \overline{AB+C}$$

con gli ingressi proposti:

parte P interdotta
 parte N: 2 nMOS in serie ($K_{eq} = 2 \text{ mA/V}^2$)
 $K_M/2$



zone triodo

$$(V_{DD} - V_U > V_{TM})$$

(entrante)

$$I_U = \frac{K_{eq}}{2} V_U (V_{DD} + V_{DD} - V_U - 2V_{TM}) =$$

$$= 2.6 \text{ mA} = 12 \text{ mA}$$