

SCHEMA D18_09A		Data: 09 Novembre 2018
Cognome	Nome	Matricola

ESERCIZIO N°1

8 punti

Scrivere un sottoprogramma per il microcontrollore XMEGA256A3BU che valuta il numero di byte nello spazio di memoria compreso tra gli indirizzi 0x2000 e 0x20CD (inclusi gli estremi) in cui i 4 bit meno significativi sono uguali ai 4 più significativi (presi nello stesso ordine). Il risultato deve essere lasciato in R20.

ESERCIZIO N°2

6 punti

Disegnare il grafo di una rete di Moore in grado di riconoscere le seguenti sequenze comunque interallacciate: 000, 101, 110, 001. Codificare gli stati e disegnare quindi l'architettura. Non è richiesta la sintesi.

ESERCIZIO N°3

6 punti

Disegnare lo schema logico di un contatore sincrono down modulo 14 con abilitazione realizzato con T-FF.

ESERCIZIO N°4

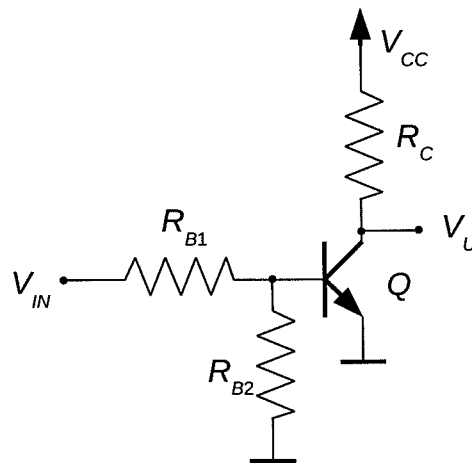
7 punti

Realizzare in forma NAND-NAND ottima una rete combinatoria a 5 ingressi (le cifre binarie di un numero intero senza segno) e 1 uscita, che vale 1 in corrispondenza dei multipli di 2 o di 5, 0 in corrispondenza dei multipli di 3 non compresi nei precedenti insiemi. Per i valori rimanenti, l'uscita può assumere un valore qualsiasi.

ESERCIZIO N°5

6 punti

Ricavare e riportare in grafico la caratteristica di trasferimento del seguente invertitore RTL.
 ($V_{CC} = 12\text{ V}$; $R_{B1} = 7,2\text{ k}\Omega$; $R_{B2} = 4,8\text{ k}\Omega$; $R_C = 1\text{ k}\Omega$; $h_{FE} = 100$).



Cognome

Nome

Matricola

ESERCIZIO N°1

8 punti

Scrivere un sottoprogramma per il microcontrollore XMEGA256A3BU che valuta il numero di byte nello spazio di memoria compreso tra gli indirizzi 0x2100 e 0x21DC (inclusi gli estremi) in cui i 4 bit più significativi sono uguali ai 4 meno significativi (presi nello stesso ordine). Il risultato deve essere lasciato in R18.

ESERCIZIO N°2

6 punti

Disegnare il grafo di una rete di Moore in grado di riconoscere le seguenti sequenze comunque interallacciate: 111, 010, 110, 001. Codificare gli stati e disegnare quindi l'architettura. Non è richiesta la sintesi.

ESERCIZIO N°3

6 punti

Disegnare lo schema logico di un contatore sincrono up modulo 12 con reset sincrono, realizzato con T-FF.

ESERCIZIO N°4

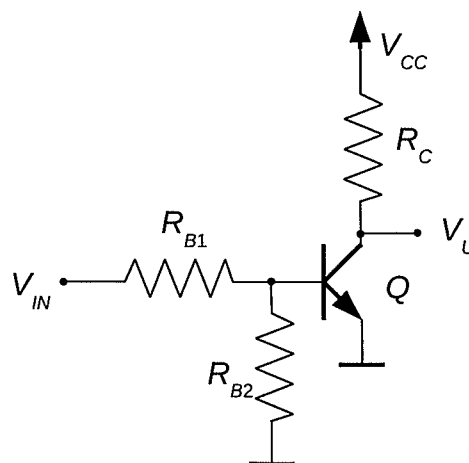
7 punti

Realizzare in forma NAND-NAND ottima una rete combinatoria a 5 ingressi (le cifre binarie di un numero intero senza segno) e 1 uscita, che vale 1 in corrispondenza dei multipli di 2 o di 3, 0 in corrispondenza dei multipli di 5 non compresi nei precedenti insiemi. Per i valori rimanenti, l'uscita può assumere un valore qualsiasi.

ESERCIZIO N°5

6 punti

Ricavare e riportare in grafico la caratteristica di trasferimento del seguente invertitore RTL. ($V_{CC} = 10\text{ V}$; $R_{B1} = 7,3\text{ k}\Omega$; $R_{B2} = 2,7\text{ k}\Omega$; $R_C = 1,1\text{ k}\Omega$; $h_{FE} = 120$).



1

A

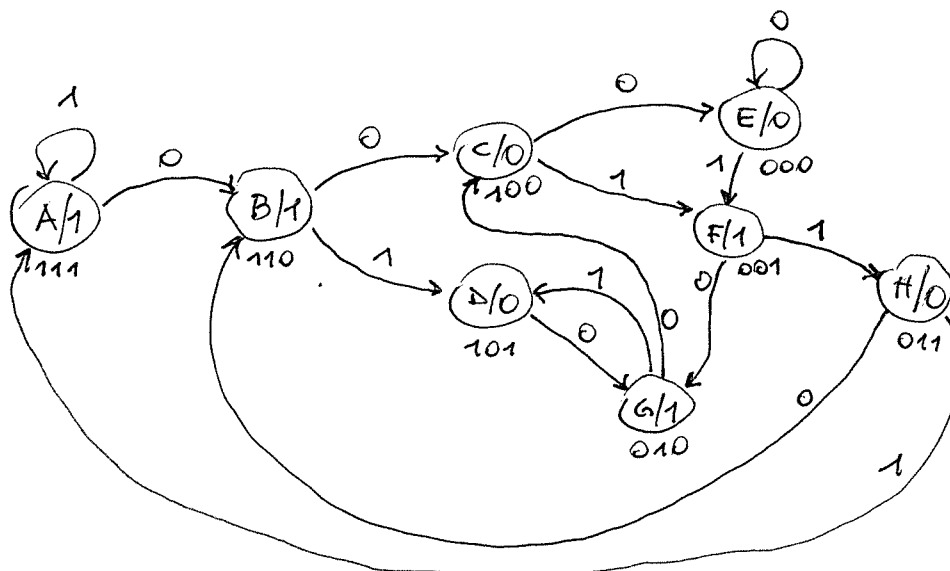
```
conta:  PUSH R18    // appoggio
        PUSH R17
        PUSH R16    // contatore
        PUSH XL
        PUSH XH
        LDI XL, low (ADDR1)    // indirizzo iniziale
        LDI XH, high (ADDR1)
        LDI R16, ADDR2-ADDR1+1 // # iterazioni
        CLR R20                // risultato

loop:   LD R17, X+
        MOV R18, R17
        SWAP R18
        CP R17, R18            // condizione richiesta
        BRNE oltre
        INC R20
oltre:  DEC R16
        BRNE loop

        POP XH
        POP XL
        POP R16
        POP R17
        POP R18
        RET
```

la versione B è molto simile; basta usare i
registri corretti.

2

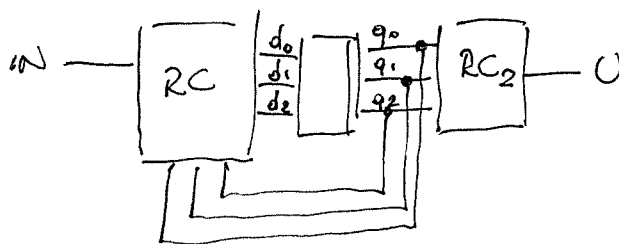


Ci sono stati equivalenti

$C \equiv E$

$G \equiv B$

Architettura



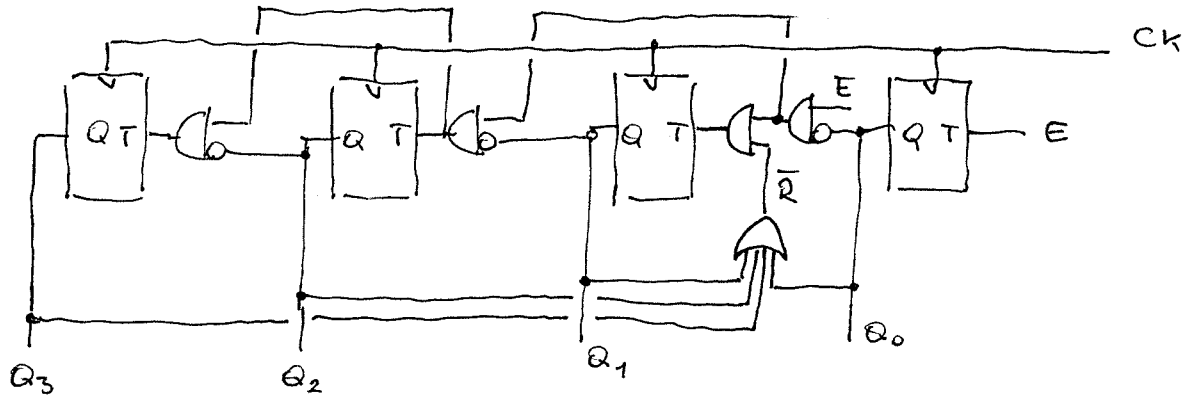
Codifica (ARBITR.)

	q_2	q_1	q_0
A	0	0	0
B	0	0	1
C	0	1	0
D	0	1	1
E	1	0	0
F	1	0	1
G	1	1	0
H	1	1	1

3

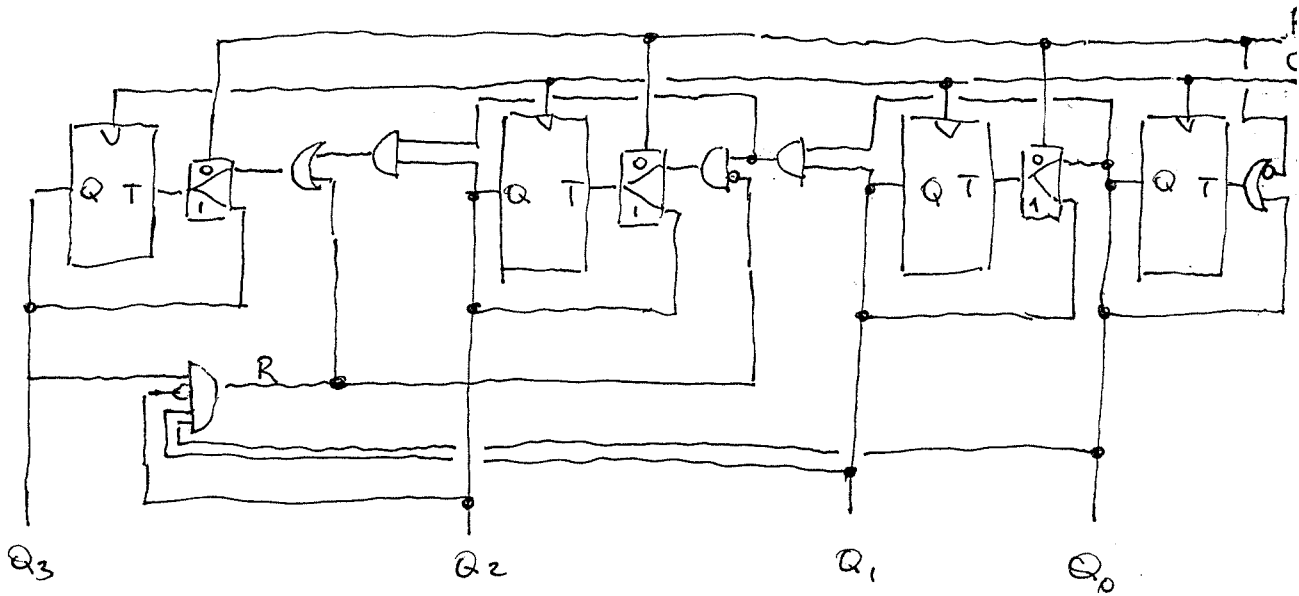
Count Down mod 14 con ABIL.

$$\begin{array}{r} 0000 \\ \downarrow \\ 1111 \\ \hline 1101 \\ B \end{array}$$



Count. UP mod 12 con Reset

$$\begin{array}{r} 1011 \\ \downarrow \\ 1100 \\ \hline 0000 \\ F8 \end{array}$$



4

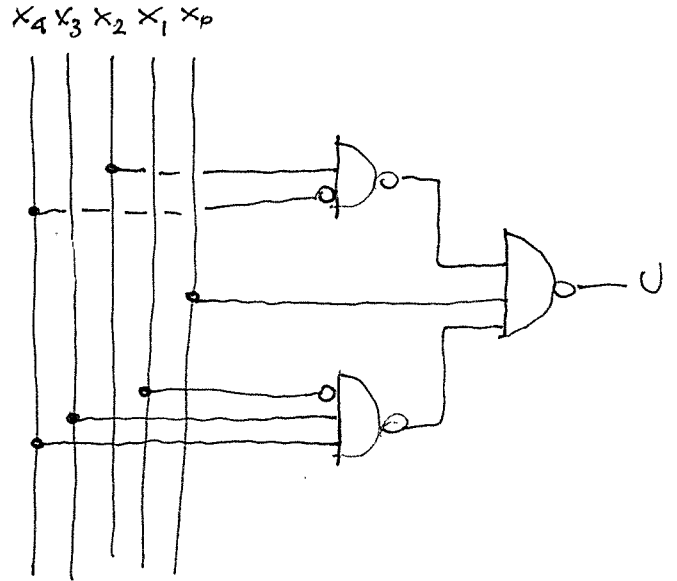
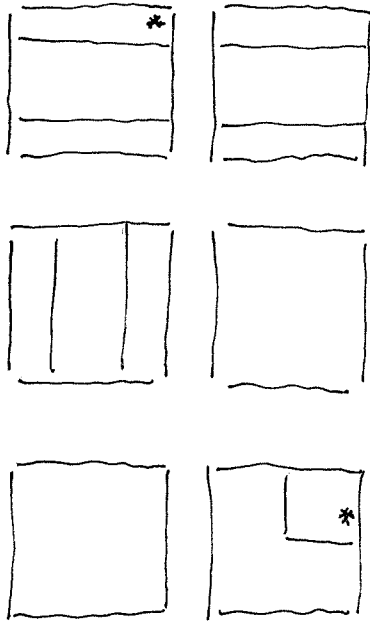
NAND-NAND (però della SF)

x_3x_2		x_1x_0							
		00	01	11	10	00	01	11	10
00	1 ⁰	1 ⁴	1 ¹²	1 ⁸	1 ¹⁶	1 ²⁰	1 ²⁸	1 ²⁴	
01	- ¹	1 ⁵	- ¹³	0 ⁹	- ¹⁷	0 ²¹	- ²⁹	1 ²⁵	
11	0 ³	- ⁷	1 ¹⁵	- ¹¹	- ¹⁹	- ²³	31	27	
10	1 ²	1 ⁶	1 ¹⁴	1 ¹⁰	1 ¹⁸	1 ²²	30	26	

$x_4=0$

$x_4=1$

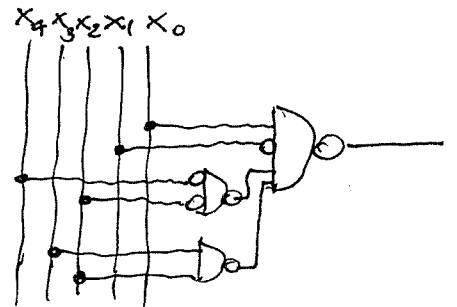
- A) Multipli di 2 e 5 $\rightarrow 1$
- B) Multipli di 3 (ma non di 2 e 5) $\rightarrow 0$
- C) Rimaneenti $\rightarrow DC$



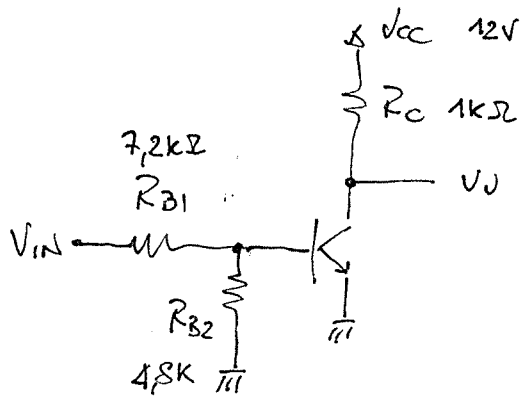
Mappe del caso B

x_3x_2		x_1x_0							
		00	01	11	10	00	01	11	10
00	1	1*	1	1	1	1	1	1	
01	-	0	-	1	-	1	-	0	
11	1	-	1	-	-	-	-	1	
10	1	1	1	1	1	1	1	1	

2 impl ord 4
2 impl ord 3



5



$$V_{IL} \frac{R_{B2}}{R_{B1} + R_{B2}} = V_{BE_{on}}$$

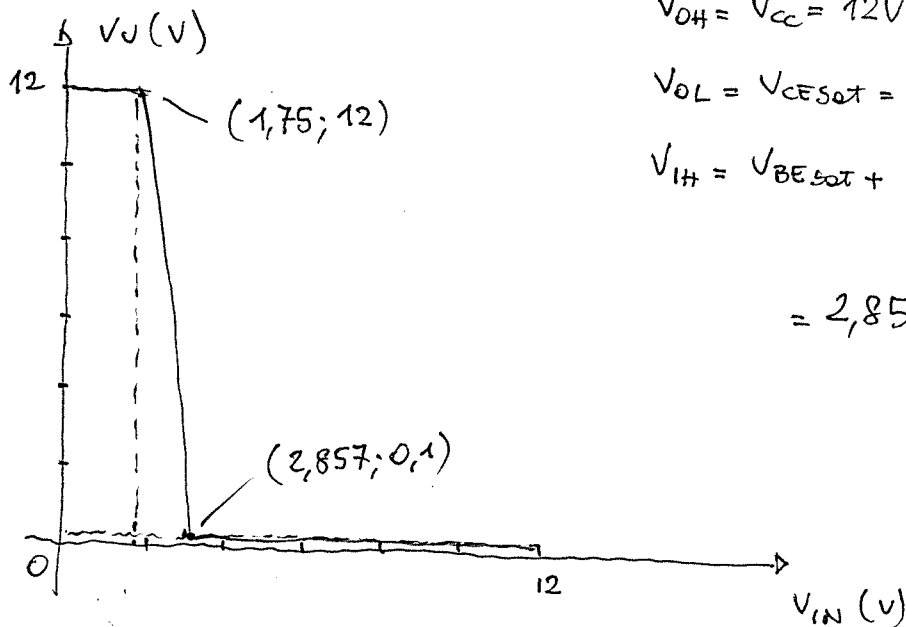
$$V_{IL} = V_{BE_{on}} \cdot \frac{R_{B1} + R_{B2}}{R_{B2}} = 1,75V$$

$$V_{OH} = V_{CC} = 12V$$

$$V_{OL} = V_{CE_{sat}} = 0,1V$$

$$V_{IH} = V_{BE_{sat}} + R_{B1} \left(\frac{V_{BE_{sat}}}{R_{B2}} + \frac{V_{CC} - V_{CE_{sat}}}{\beta F E R_C} \right)$$

$$= 2,857V$$



Per il caso B sostituire

$$V_{CC} = 10V$$

$$R_C = 1,1k\Omega \quad R_{B1} = 7,3k\Omega \quad R_{B2} = 2,7k\Omega$$

$$V_{IL} = 2,593V$$

$$V_{OH} = 10V$$

$$V_{OL} = 0,1V$$

$$V_{IH} = 3,51V$$