

**ESERCIZIO N°1**

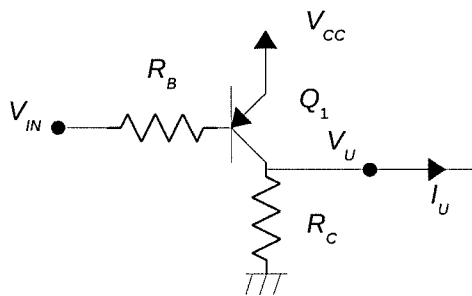
8 punti

Scrivere un sottoprogramma per il microcontrollore XMEGA256A3BU che cancelli i bit pari nelle celle di indirizzo pari e i bit dispari nelle celle di indirizzo dispari, in un numero di locazioni consecutive pari al contenuto di R0, poste nella memoria a partire dall'indirizzo contenuto nel puntatore Y. Se R0 è nullo, la subroutine esce senza modificare alcun valore.

**ESERCIZIO N°2**

6 punti

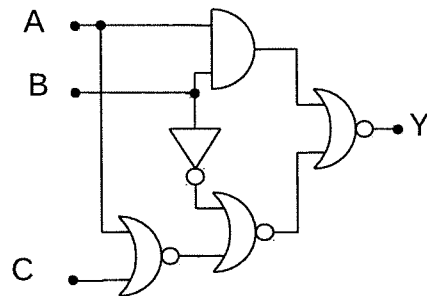
Determinare la caratteristica  $V_U-I_U$  nella porta seguente con  $V_{IN} = 0$  e per correnti positive. Per il transistor *pn*p si ha  $h_{FE} = 80$ ;  $V_{EB(on)} = 0,7$  V;  $V_{EC(sat)} = 0,1$  V. Inoltre  $V_{CC} = 6$  V;  $R_B = 8$  k $\Omega$ ;  $R_C = 1$  k $\Omega$ .



**ESERCIZIO N°3**

6 punti

Realizzare con una porta AOI CMOS, disegnandone lo schema elettrico, la rete logica a fianco, descritta con generiche porte logiche.



**ESERCIZIO N°4**

6 punti

Sintetizzare una rete sequenziale sincronizzata con un ingresso e una uscita, secondo il modello di Moore, in grado di riconoscere la sequenza (non interallacciata) 01110. Ogni volta che la sequenza viene riconosciuta, e solo allora, la rete pone in uscita (per un solo ciclo di clock) il valore vero.

**ESERCIZIO N°5**

7 punti

Disegnare lo schema logico di un sequenziatore con contatore sincrono (dotato della possibilità di caricamento parallelo) che implementi microcodice specificato nel seguito. Si usi una ROM delle minime dimensioni possibili.

- A: IF K THEN D ELSE B; OP = 101
- B: IF L THEN A ELSE C; OP = 011
- C: IF K THEN B ELSE F; OP = 101
- D: IF M THEN E ELSE H; OP = 010
- E: IF L THEN G ELSE D; OP = 111
- F: IF J THEN C ELSE A; OP = 010
- G: IF M THEN H ELSE E; OP = 100
- H: IF J THEN F ELSE G; OP = 000

①

cancelbit : TST R0  
BREQ fine

PUSH R0  
PUSH R16  
PUSH YL  
PUSH YH  
PUSH R17

LDI R17, 0b10101010 // per cancellare i pari  
SBRC YL, 0 // skip se indirizzo pari  
COM R17 // cancella prime dispari

loop: LD R16, Y  
AND R16, R17  
ST Y+, R16  
COM R17  
DEC R0  
BRNE loop

// cancella i bit "giusti"  
// inverte i bit da cancellare

POP R17  
POP YH  
POP YL  
POP R16  
POP R0

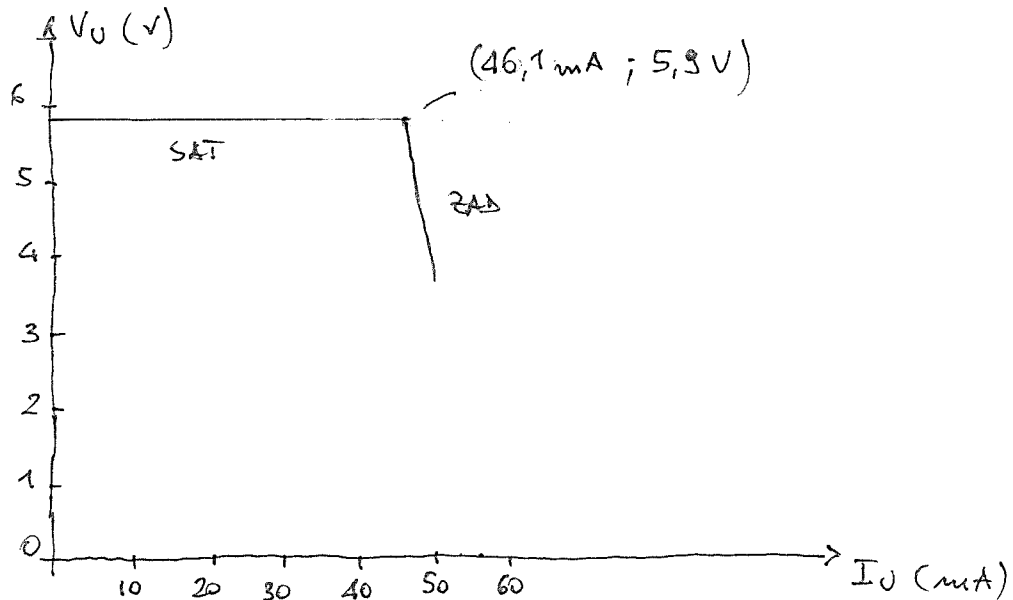
fine: RET

② Con  $V_{in} = 0$  il BJT è saturato e l'uscita è  $V_{ce} - V_{ce\text{ sat}} = 5,9\text{V}$  indipendentemente dal carico.

Il sistema, esce dalla saturazione per  $I_C = \beta_{FE} I_B$

$$I_C^* = \frac{V_{cc} - V_{EB\text{ sat}}}{R_B} \cdot \beta_{FE} = 52\text{ mA}$$

$$I_C^* = I_U + \frac{V_U^*}{R_C} \quad \text{da cui} \quad I_U^* = I_C^* - \frac{V_U^*}{R_C} = 46,1\text{ mA}$$



Per correnti maggiori il transistorore va in Z.A.D. e la  $I_C$  resta circa costante (a meno delle piccole variaz di  $V_{EB}$ )

$$V_U = R_C (I_C^* - I_U) = V_U^* - R_C (I_U - I_U^*)$$

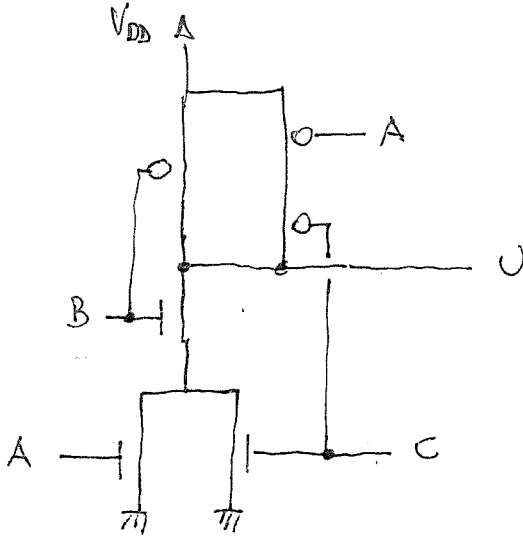
③

$$Y = \overline{AB + \overline{A+C} + \overline{B}} = \overline{B(A+C) + \overline{B}} = \overline{ABC + \overline{B}} = \overline{AC} + \overline{B}$$

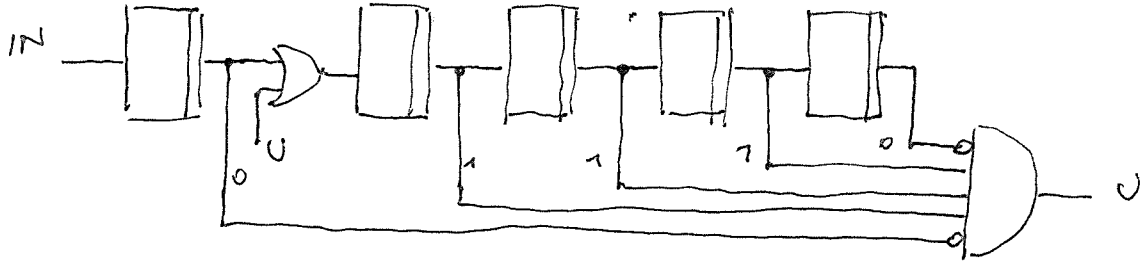
shannon

$$\overline{Y} = B \cdot (A+C)$$

Realizzazione CMOS



④ Riconosce 01110 m.i.



→  
 0 1 1 1 0  
 x 0 1 1 1  
 x x 0 1 1  
 x x x 0 1  
 x x x x 0  
 x x x x x

possibile FALSO riconoscimenti: trasformare in 1 il 2° bit, con una OR

⑤ L'alternativa "vera" dà una sequenza CICLICA e COMPLETA

A, D, E, G, H, F, C, B, A

Riordino la descrizione e codifico in ordine progressivo

```

(000) A : IF K(0) THEN D ELSE B (111) ; OP = 101
(001) D : IF M(1) THEN E ELSE H (100) ; OP = 010
(010) E : IF L(2) THEN G ELSE D (001) ; OP = 111
(011) G : IF M(1) THEN H ELSE E (010) ; OP = 100
(100) H : IF J(3) THEN F ELSE G (011) ; OP = 000
101 F : IF J(3) THEN C ELSE A (000) ; OP = 010
110 C : IF K(0) THEN B ELSE F (101) ; OP = 101
111 B : IF L(2) THEN A ELSE C (110) ; OP = 011
  
```

Schema logico

