

SCHEDA D19_03		Data: 19 Febbraio 2019
Cognome	Nome	Matricola

Il testo deve essere consegnato insieme allo svolgimento

ESERCIZIO N°1

8 punti

Scrivere un sottoprogramma per il microcontrollore XMEGA256A3BU che divide per 2^n un numero intero relativo rappresentato su 16 b in complemento a 2. Il byte meno significativo del dato di origine è puntato da Y e l'altro byte è all'indirizzo successivo. Il byte meno significativo del risultato va collocato nella locazione di memoria puntata da Z e l'altro byte va posto all'indirizzo successivo. Il valore di n è contenuto nei 4 bit meno significativi del registro R0.

Il sottoprogramma deve lasciare inalterati tutti i registri di lavoro del processore, compreso R0.

ESERCIZIO N°2

5 punti

Quanti chip di memoria da $64M \times 3$ servono per realizzare una memoria da $128 M \times 9$? Illustrare i due tipi di connessione richiesti ed elencare le eventuali reti logiche combinatorie necessarie per realizzare l'assemblaggio.

ESERCIZIO N°3

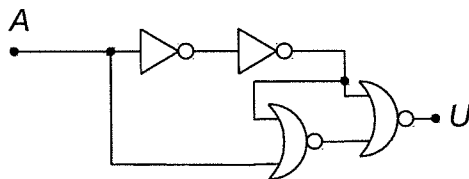
6 punti

Disegnare lo schema logico di una macchina sequenziale sincrona con architettura di Moore che riconosca le 2 sequenze interallacciate 101 e 111.

ESERCIZIO N°4

7 punti

Disegnare nel tempo l'andamento dell'uscita U della rete seguente nel caso in cui l'ingresso A sia un'onda quadra di periodo $12 T$ e ciascuna delle porte NOR abbia un ritardo di propagazione pari a $3T$, mentre le NOT hanno ritardo T . Nel grafico si ponga T uguale a un quadretto.



ESERCIZIO N°5

7 punti

Progettare una porta logica AOI CMOS che abbia la seguente tabella di verità (Z indica lo stato di alta impedenza e X un valore logico indeterminato causato dalla simultanea conduzione della sezione PMOS e NMOS). Si hanno a disposizione le variabili A, B e C affermate e negate.

A	B	C	U
0	0	0	0
0	0	1	1
0	1	0	Z
0	1	1	X
1	0	0	X
1	0	1	X
1	1	0	Z
1	1	1	0

Determinare quindi la corrente erogata dall'alimentazione in un caso a scelta tra quelli in cui l'uscita è indeterminata. Si hanno a disposizione NMOS e PMOS con le seguenti caratteristiche:

$$V_{Tn} = |V_{Tp}| = 1 \text{ V}; k_n = |k_p| = 6 \text{ mA/V}^2. \text{ Inoltre } V_{DD} = 5 \text{ V}.$$

1

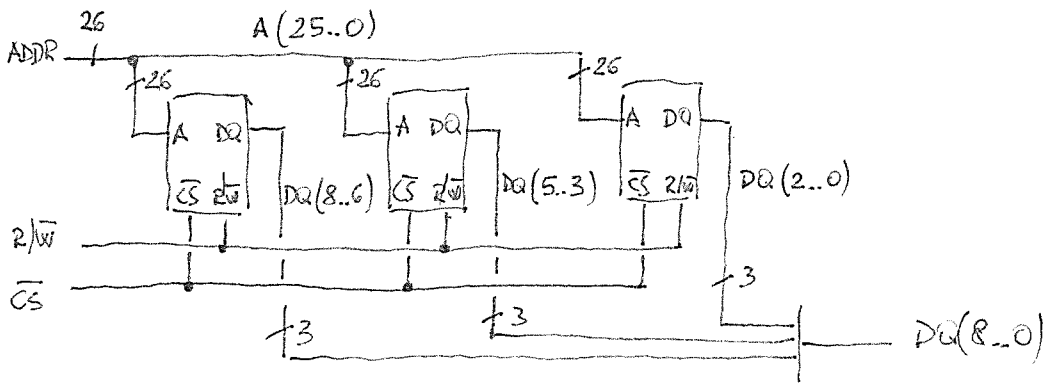
```
div2m : PUSH R16
        PUSH R20
        PUSH R21

        MOV R16, R0
        LD R20, Y
        LDD R21, Y+1
        ANDI R16, 0x0F // isola le 4 cifre binarie
        BREQ div1 // esamina se n=0
loop: ASR R21 // divide per 2 con segno
      ROR R20
      DEC R16
      BRNE loop
div1: ST Z, R20
      STD Z+1, R21

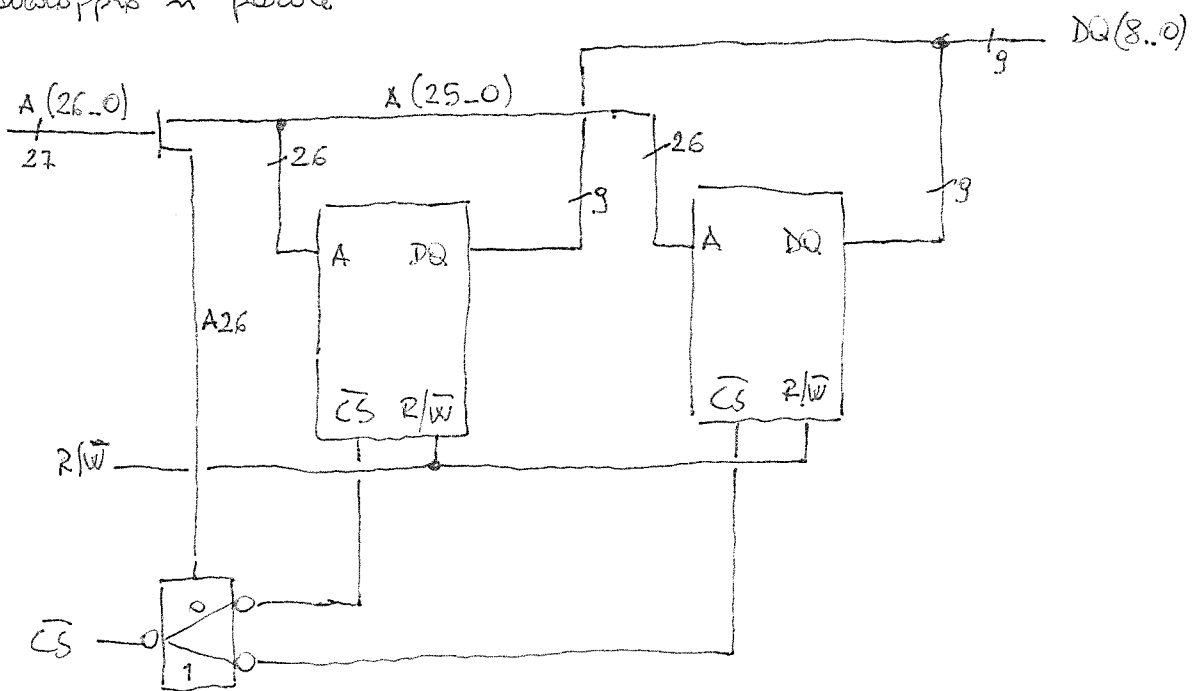
      POP R21
      POP R20
      POP R16
      RET
```

② Servono 6 chip (3 per estensione parole \times 2 raddoppio numero per)

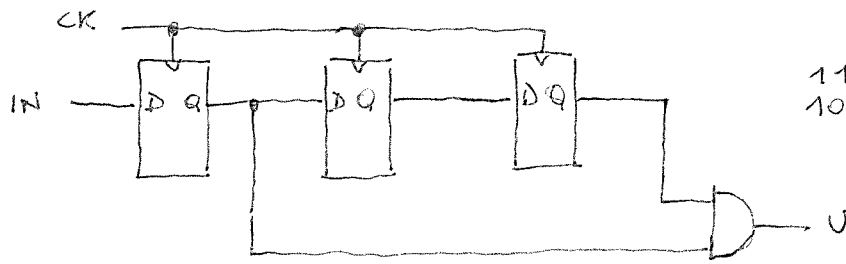
Aumento dimensione parole



Raddoppio n° parole

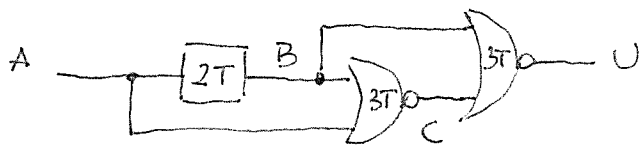


② Si può usare uno SHIFT REGISTER

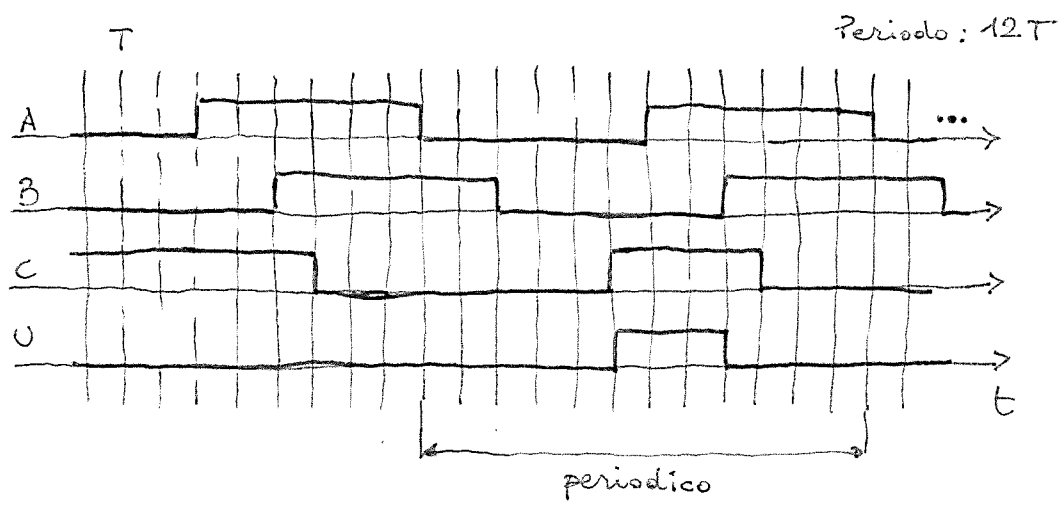


111 } hanno a
101 } comune il 1° e
l'ultimo 1

4



Modello di ritardo: porta ideale con uscita ritardata

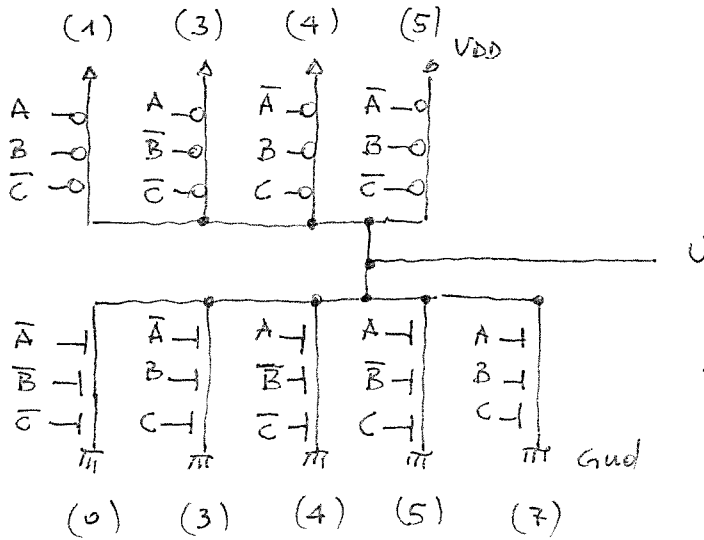


⑤ implementando direttamente la forma CANONICA, senza alcuna ottimizzazione del numero dei MOS, si ha

5 rami nMOS {0, 3, 4, 5, 7} [A:MSB]

4 rami pMOS {1, 3, 4, 5}

Circuito AOI



In tutti i casi $x \in \{3, 4, 5\}$ è acceso un solo ramo n e un solo ramo p. La situazione è SIMMETRICA

$$K_{meq} = K_n / 3$$

$$K_{peq} = K_p / 3$$

$$V_0 = V_{DD} / 2 \quad \text{MOS TRIODO}$$

Corrente erogata dall'alimentazione (considero il ramo n)

$$I_{DD} = I_{DSM} = \frac{K_n}{6} \frac{V_{DD}}{2} \cdot \left(V_{DD} + \frac{V_{DD}}{2} - 2V_{Tn} \right) = 13,75 \mu\text{A}$$