

Il testo deve essere consegnato insieme allo svolgimento

**ESERCIZIO N°1**

8 punti

Scrivere un sottoprogramma per il microcontrollore XMEGA256A3BU in grado di copiare il blocco di memoria compreso tra gli indirizzi 0x2200 e 0x22FF più avanti nella memoria, a partire dall'indirizzo 0x2280.

**ESERCIZIO N°2**

6 punti

Realizzare una rete combinatoria NAND-NAND a minimo numero di letterali che individua (ponendo l'uscita a 1) per quali valori delle variabili  $A, B, C$  e  $D$  la seguente uguaglianza è soddisfatta:

$$AB\bar{C} + \bar{B}\bar{D}A + C\bar{D}\bar{B} + \bar{A}\bar{B}C + BD + \bar{C}D\bar{A} = (A + \bar{B} + D)(\bar{C} + \bar{B} + A)(C + D + \bar{B})(\bar{A} + B + \bar{D})(A + B + C)$$

**ESERCIZIO N°3**

6 punti

Progettare una rete di Moore in grado di riconoscere l'arrivo di sequenze palindrome (interallacciate) sia di 3 sia di 4 valori.

**ESERCIZIO N°4**

6 punti

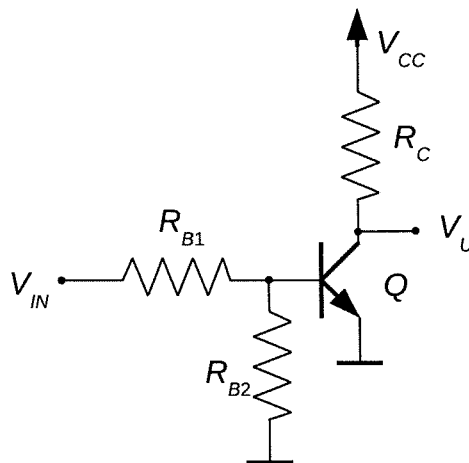
Realizzare esclusivamente con multiplexer 2:1 la rete combinatoria descritta dalla seguente lista di maxtermini: {0, 1, 2, 3, 7, 9, 10, 12, 14, 18, 19, 21, 24, 25, 27, 29, 30, 31}

**ESERCIZIO N°5**

7 punti

Determinare e riportare in grafico (0,5 V/quadretto) la caratteristica di trasferimento del seguente invertitore RTL realizzato con transistore *npn*.

$V_{DD} = 16 \text{ V}; R_C = 1 \text{ k}\Omega; R_{B1} = 22 \text{ k}\Omega; R_{B2} = 10 \text{ k}\Omega; h_{FE} = 200.$



1

```
sposte : PUSH R16 // 0x2280 è parte del blocco
         PUSH R17 // attenzione a non sovrascrivere!
         PUSH XL
         PUSH XH
         PUSH YL
         PUSH YH
         CLR R16
         LDI XH, high(0x2300)
         LDI XL, low(0x2300) // parte dal fondo
         LDI YH, high(0x2380)
         LDI YL, low(0x2380)
loop:    LD R17, -X
         ST -Y, R17
         DEC R16
         BRNE loop

         POP YH
         POP YL
         POP XH
         POP XL
         POP R17
         POP R16
         RET
```

2

Esaminiamo le MAPPE dei due termini

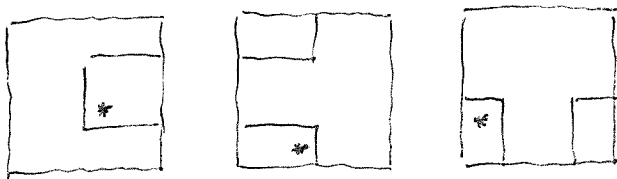
(Riconoscitore)

	AB			
	00	01	11	10
CD				
00	0	0	1	1
01	1	1	1	0
11	1	1	1	0
10	1	0	0	1

	AB			
	00	01	11	10
CD				
00	0	0	0	1
01	0	1	1	0
11	1	0	1	0
10	1	0	1	1

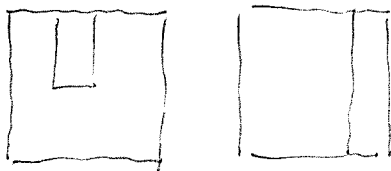
	AB			
	00	01	11	10
CD				
00	1	1	0	1
01	0	1	1	1
11	1	0	1	1
10	1	1	0	1

Sintesi SP (da cui NAND-NAND)



esenziali

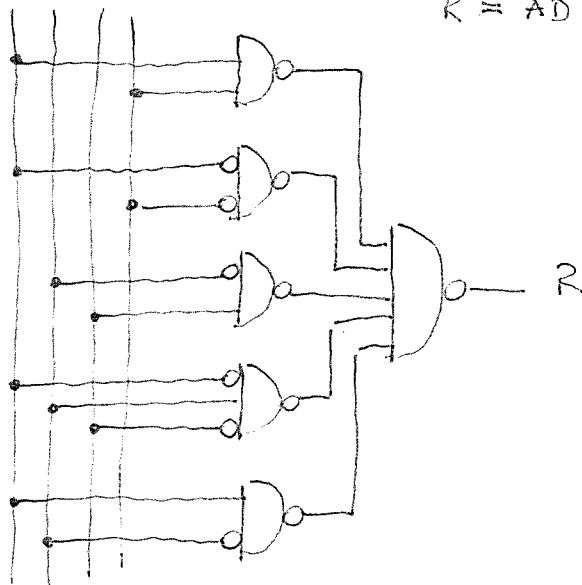
restano 2 mintermini che posso coprire in vari modi equivalenti, per esempio



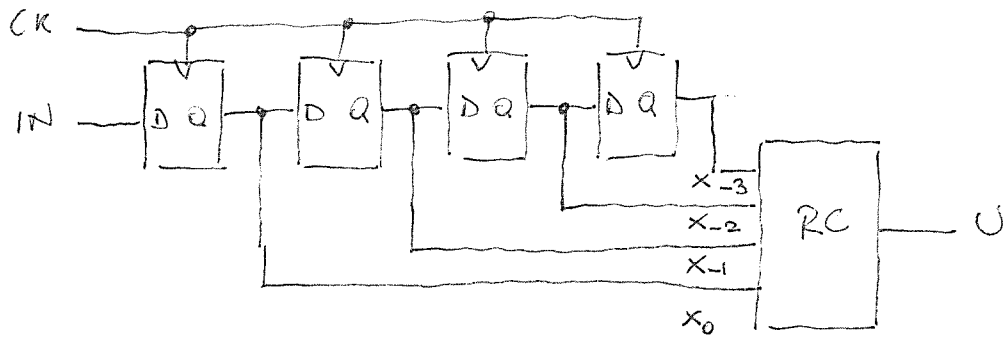
Risultato

A B C D

$$R = \overline{A}D \cdot \overline{A}\overline{D} \cdot \overline{B}C \cdot \overline{A}B\overline{C} \cdot A\overline{B}$$



- ③ La rete può sfruttare uno SHIFT REGISTER che rende disponibili contemporaneamente gli ultimi 4 valori dell'ingresso

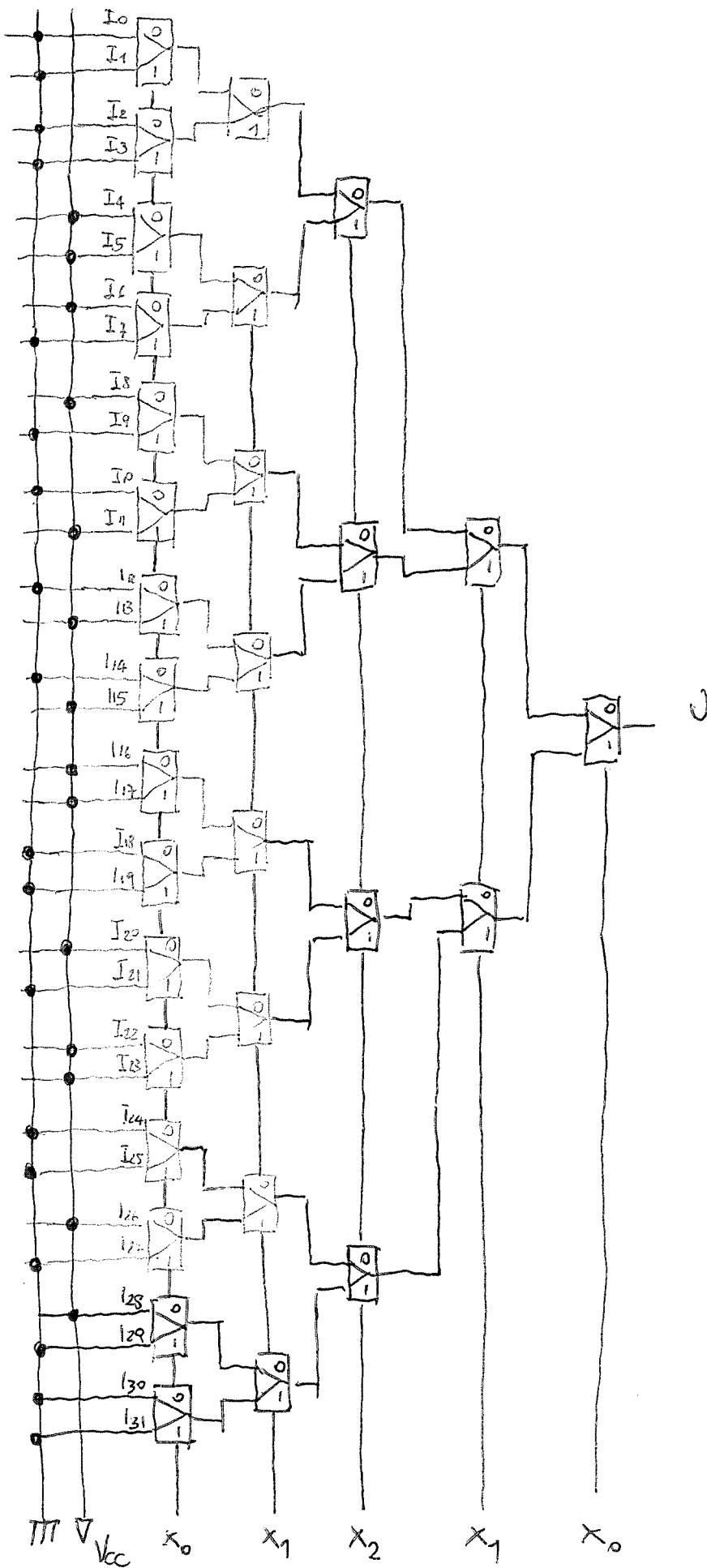


Mappe delle rete combinatoria

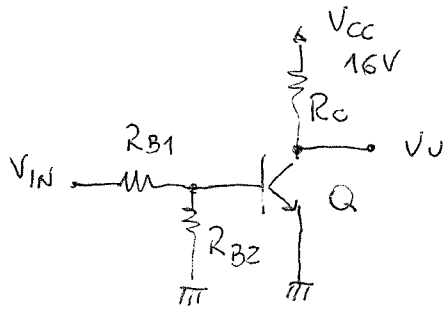
		$x_0 x_{-1}$			
		00	01	11	10
$x_{-2} x_{-3}$	00	1	1	0	0
	01	1	1	0	1
	11	0	0	1	1
	10	0	1	1	1

$$U = \bar{x}_0 \bar{x}_{-2} + x_0 x_{-2} + x_{-1} x_{-2} \bar{x}_{-3} + x_0 \bar{x}_{-1} \bar{x}_{-3}$$

④ Implementazione DIRETTA, usando un 32:1



5



$$V_{OL} = V_{CE\text{ sat}} = 0,1V \quad (Q \text{ saturato})$$

$$V_{OH} = V_{CC} = 16V \quad (Q \text{ interdetto})$$

$$V_{IL} \frac{R_{B2}}{R_{B1} + R_{B2}} = V_{BE\text{ on}}$$

$$V_{IL} = V_{BE\text{ on}} \cdot \left(1 + \frac{R_{B1}}{R_{B2}}\right) = 2,24V$$

$$V_{IH} = V_{BE\text{ sat}} + R_{B1} \left( I_B + \frac{V_{BE\text{ sat}}}{R_{B2}} \right)$$

$$I_B = \frac{V_{CC} - V_{CE\text{ sat}}}{\beta_{FE} R_C} \quad (Q \text{ tra sat e zed})$$

$$V_{IH} = 4,309V$$

