

SCHEDA D19_08		Data: 18 Settembre 2019
Cognome	Nome	Matricola

Il testo deve essere consegnato insieme allo svolgimento

ESERCIZIO N°1

8 punti

Scrivere un sottoprogramma per il microcontrollore XMEGA256A3BU che valuta la parte intera (inferiore) di $\log_2(|x|+1)$, dove x è il valore in C2 contenuto nella cella puntata da X. Il risultato deve essere lasciato in R16.

ESERCIZIO N°2

7 punti

Disegnare lo schema logico in forma normale SP ottima (secondo il numero di letterali) di una rete combinatoria a 5 ingressi (le cifre binarie di un numero) in grado di evidenziare ponendo 1 in uscita i multipli di almeno uno tra 2, 3, 5, 7, 11.

ESERCIZIO N°3

6 punti

Realizzare una macchina sequenziale sincrona secondo il modello di Moore con 2 ingressi (un numero binario su 2 bit) e 1 uscita che viene posta a 1 (dopo il clock) nel caso in cui la somma di due ingressi consecutivi vale 4.

IN 0233223321200120133313332222113310000
 OUT (dopo t_{co}) 0000010000000000010011000111001010000

ESERCIZIO N°4

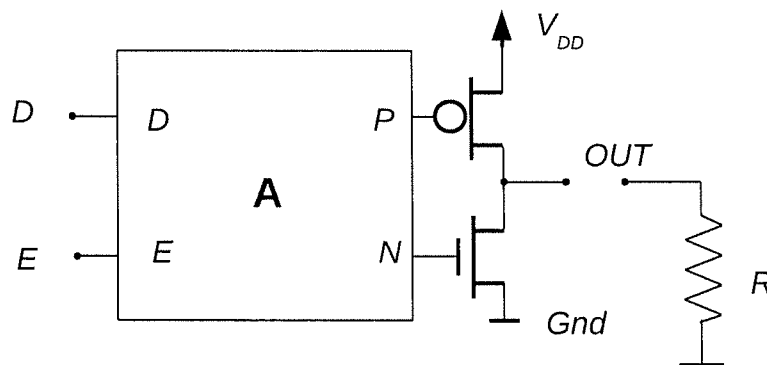
5 punti

Assemblare un modulo di SRAM da 16 G x 15 avendo a disposizione 3 chip da 8 G x 5 e 6 chip da 4 G x 5.

ESERCIZIO N°5

7 punti

Progettare e realizzare con porte CMOS la rete combinatoria A dello schema seguente, in modo da garantire il funzionamento complessivo del circuito come buffer tri-state invertente (E rappresenta l'abilitazione, D il dato). Determinare quindi il valore della corrente di uscita nel caso in cui il buffer sia abilitato con uscita alta e sia presente un carico verso massa da 1 k Ω . Si ha $V_{DD} = 5$ V, $V_{Tn} = 1$ V, $k_n = 2,4$ mA/V², $V_{Tp} = -1$ V, $k_p = -2,4$ mA/V².



1

function: PUSH R17

```
LD R17, X // carica il dato
SBRC R17, 7 // se positivo è OK
NEG R17 // fa il modulo; -128 va in 1281
INC R17 // somma 1, senza carry2
LDI R16, -1
```

```
loop: INC R16
      LSR R17 // divide (|x|+1) per 2
      BRNE loop // ripete fino all'azzeramento
```

```
POP R17
RET
```

¹ Il risultato di $|x|$ si può interpretare come intero assoluto il range è 0..128

² Al massimo $(|x|+1)$ volte 129

Risultati attesi:

x	$\lfloor \log_2(x +1) \rfloor$
0	0
1	1
2	1
3	2
4	2
⋮	⋮
7	3
⋮	⋮
15	4
⋮	⋮
31	5

e così via

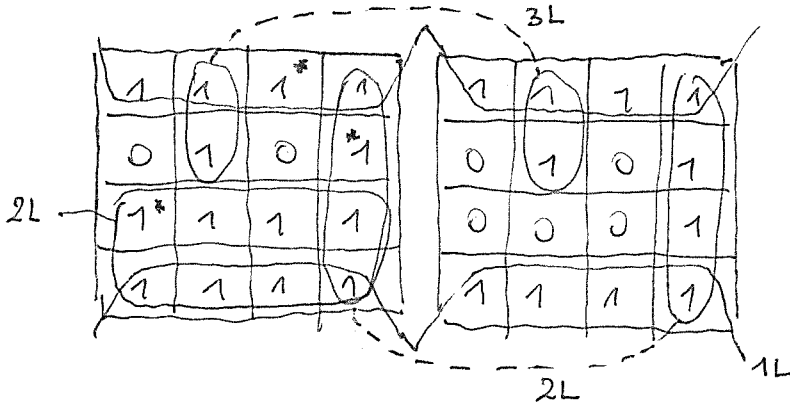
② Si può scrivere la mappa partendo dal valore associato a ogni casella
 (1: multipli di 2, 3, 5, 7, 11)

$x_3 x_2$		$x_4 = 0$				$x_4 = 1$			
		00	01	11	10	00	01	11	10
$x_1 x_0$	00	1 ⁰	1 ⁴	1 ¹²	1 ⁸	1 ¹⁶	1 ²⁰	1 ²⁸	1 ²⁴
	01	0	1 ⁵	0 ¹³	1 ⁹	0 ¹⁷	1 ²¹	0 ²⁹	1 ²⁵
	11	1 ³	1 ⁶	1 ¹⁵	1 ¹¹	0 ¹⁹	0 ²³	0 ³¹	1 ²⁷
	10	1 ²	1 ⁷	1 ¹⁴	1 ¹⁰	1 ¹⁸	1 ²²	1 ³⁰	1 ²⁶

$x_4 = 0$

$x_4 = 1$

Riscrivo la mappa per la sintesi (* mintermine che rende l'implicante ESSENZIALE)

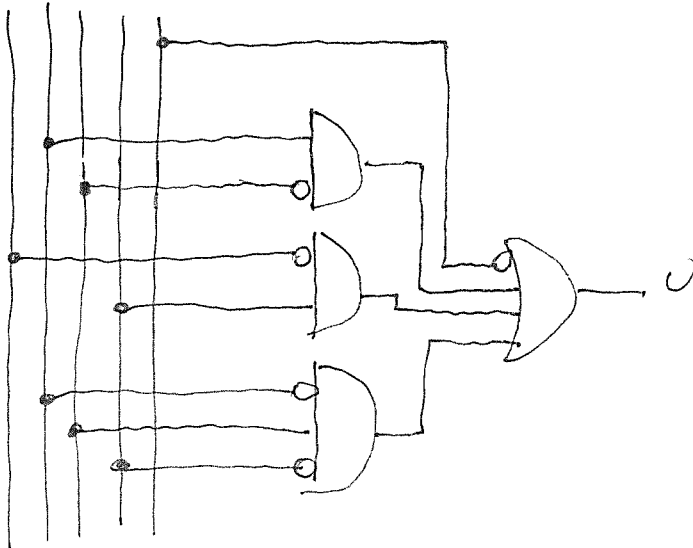


Serious & essential

$$U = \bar{x}_0 + x_3 \bar{x}_2 + \bar{x}_4 x_1 + \bar{x}_3 x_2 \bar{x}_1$$

Schema logico

$x_4 x_3 x_2 x_1 x_0$

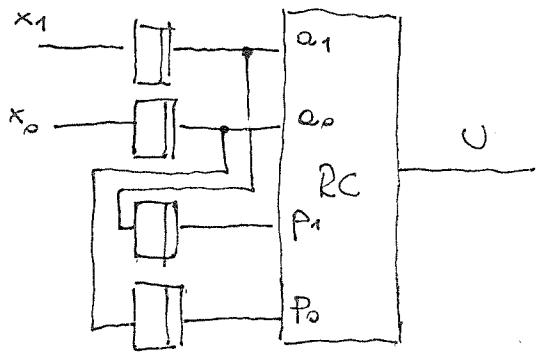


3

La macchina richiesta richiede di rilevare una proprietà di campioni successivi (nel tempo) - si può affrontare con l'uso di uno shift (che rende contemporanei i campioni) e una rete combinatoria

registri (clock implicito)

($A+P=4$)

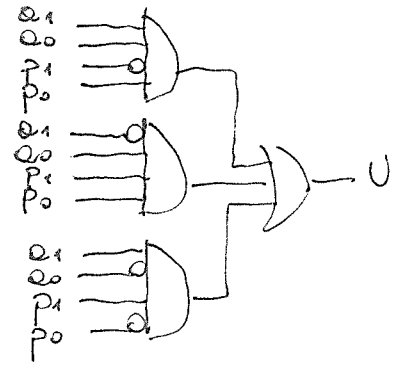


attuale

$a_1 a_0$	00	01	11	10
00	0	0	0	0
01	0	0	1	0
11	0	1	0	0
10	0	0	0	1

Precedente

Schema di RC in forma SP



Note: lo stesso problema potrebbe essere risolto con un grafo a 7 stati

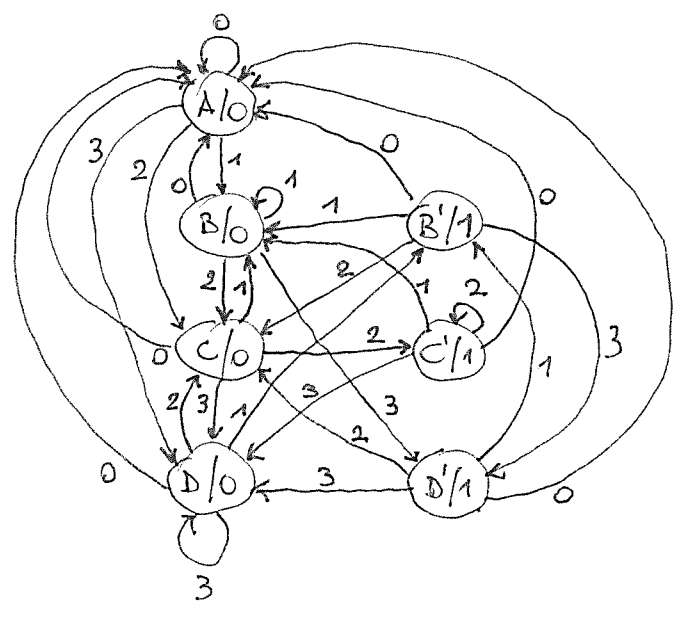
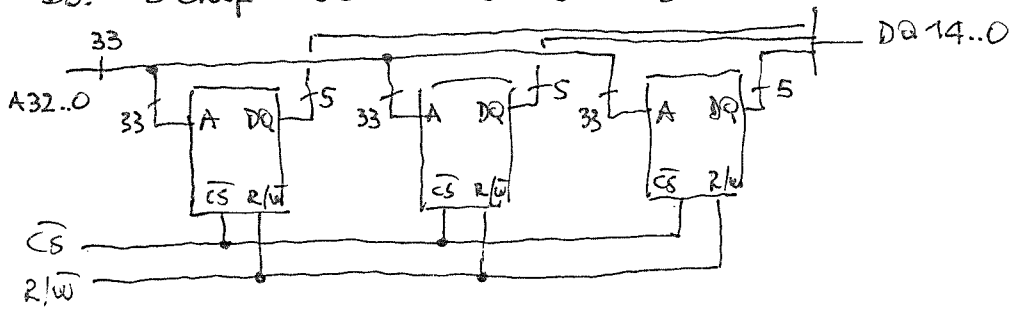


Tabella delle transizioni

SP	0	1	2	3	U
A	A	B	C	D	0
B	A	B	C	D	0
C	A	B	C	D	0
D	A	B	C	D	0
B'	A	B	C	D	1
C'	A	B	C	D	1
D'	A	B	C	D	1

4

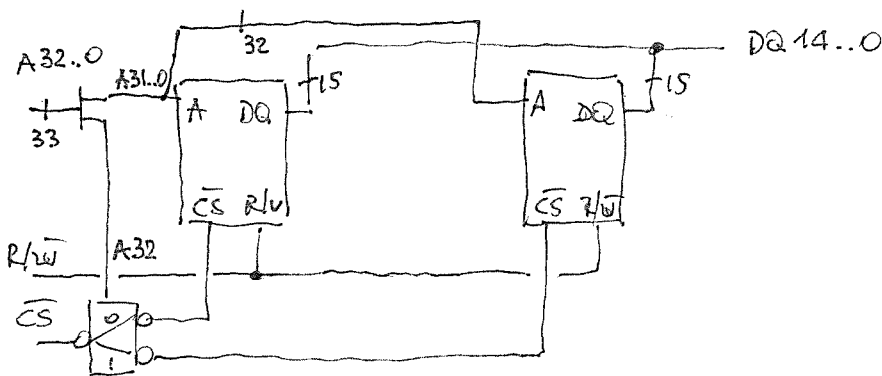
Da 3 chip $8G \times 5$ a $8G \times 15$



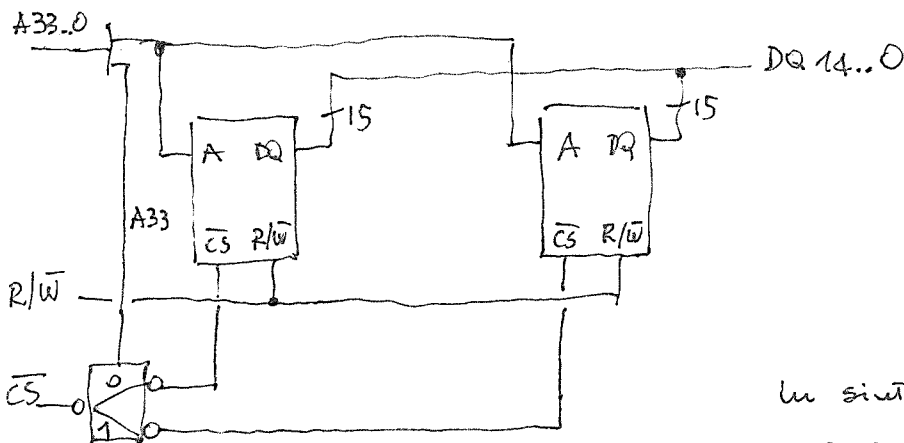
Da 3 chip $4G \times 5$ a $4G \times 15$: simile al precedente ma con un filo di indirizzo in meno ($A_{31..0}$)

Averendo 6 chip ottenengo 2 moduli da $4G \times 15$

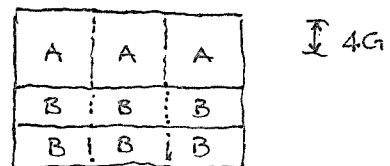
Da 2 moduli $4G \times 15$ a $8G \times 15$



Da 2 moduli $8G \times 15$ a $16G \times 15$



In sintesi, con A e B i due tipi di chip



← 5b →

5

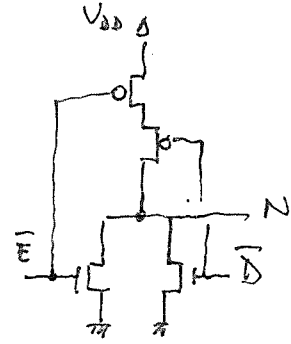
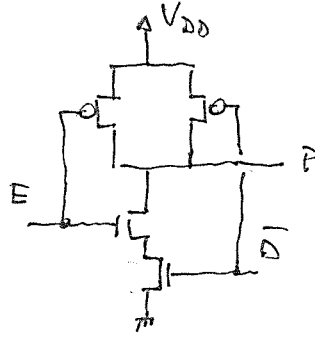
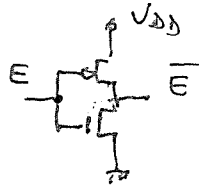
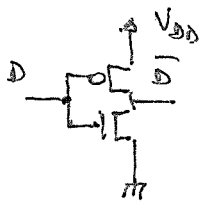
Tabella di verità

E	D	N	P
0	0	0	1
0	1	0	1
1	0	0	0
1	1	1	1

$$P = \overline{E + D} = \overline{E \cdot D} \quad \text{NAND}$$

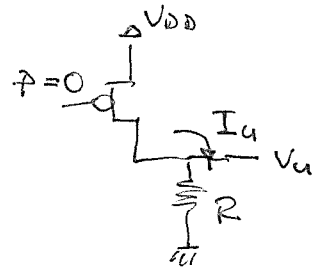
$$N = E \overline{D} = \overline{\overline{E + D}} \quad \text{NOR}$$

Circuiti CMOS



Corrente con uscita alta -

hp: zona triodo ($V_{GD} < V_{TP}$ da verificare)



$$I_u = -\frac{k_p}{2} (RI_u - V_{DD}) (-V_{DD} - RI_u - 2V_{TP})$$

$$x = 1,2 (x-5)(-5-x+2) = -1,2x^2 + 2,4x + 18$$

$$1,2x^2 - 1,4x - 18 = 0$$

$$x = \frac{0,7 \pm \sqrt{0,49 + 21,6}}{1,2} = \frac{0,7 \pm 4,7}{1,2} \begin{cases} 4,5 \text{ mA} \\ < 0 \text{ non ecc.} \end{cases}$$

$$I_u = 4,5 \text{ mA}$$

$$V_{GD} = -RI_u = -4,5V < V_{TP} \quad \text{verifica OK}$$