

ESERCIZIO N°1

8 punti

Scrivere un sottoprogramma per il microcontrollore XMEGA256A3BU che valuti il modulo N del valore a 16 bit contenuto in X , e lasci il risultato in $R16$. Il tempo di esecuzione del sottoprogramma non deve in nessun caso superare i 1000 cicli di clock.

$N = 33 + |M|_{31}$ ove M è la matricola dello studente

ESERCIZIO N°2

6 punti

Sintetizzare in forma normale ottima SP e disegnare lo schema logico della una rete combinatoria a 5 ingressi ($X_4 X_3 X_2 X_1 X_0$) individuata dai valori di uscita, corrispondenti alla sequenza ordinata degli ingressi, pari al valore corrispondente delle prime (a partire dalla meno significativa) 16 cifre binarie di $(98765 + M)$ seguite dalle stesse cifre in ordine inverso. Evidenziare gli implicant essenziali (motivando sinteticamente l'indicazione).

ESERCIZIO N°3

6 punti

Progettare una rete sequenziale sincrona secondo il modello di Moore con un ingresso e una uscita in grado di generare una forma d'onda di periodo P (in cicli di clock) con un numero K di valori a 1 se l'ingresso è 0 e L se l'ingresso è 1. La disposizione dei valori nel periodo è a scelta dello studente.

$P = 5 + |M|_3$

$K = 1 + |3 + M|_{p-1}$

$L = |K|_{p-1} + 1$

ESERCIZIO N°4

6 punti

Disegnare lo schema logico di un contatore $\overline{\text{UP/DOWN}}$ modulo N con abilitazione E , ove $N = (9 + |3M|_7)$.

ESERCIZIO N°5

7 punti

Si ha un invertitore CMOS caricato con un resistore dall'uscita verso V_{DD} . Con tensione di ingresso pari a V_1 , si misura una corrente erogata dall'alimentatore pari a 4 mA.

Determinare se la misura è ragionevole e in tal caso il valore di R con almeno 4 cifre significative.

$V_{DD} = 5 \text{ V}$; $k_n = -k_p = 2 \text{ mA/V}^2$, $V_{Tn} = -V_{Tp} = 1 \text{ V}$.

$V_1 = 3.5 + (M - 550000)10^{-6} \text{ V}$

① N è compreso tra 33 e 63; richiede 6 bit

```
modN: PUSH R18
      PUSH R24
      PUSH R25
      PUSH XL
      PUSH XH

      LDI R24, low(1024*N)
      LDI R25, high(1024*N)
      LDI R18, 11

loop: CP XL, R24
      CPC XH, R25
      BRCS oltre
      SUB XL, R24 ; toglie un multiplo di N
      SBC XH, R25
      LSR R25
      ROR R24 ; divide per 2 (4*N*256)
      DEC R18
      BRNE loop
      MOV R16, XL ; carica il risultato
      POP XH
      POP XL
      POP R25
      POP R24
      POP R18
      RET
```

Richiedendo solo 11 cicli, il tempo totale sarà sicuramente minore di 1000 cicli

② Prendiamo per esempio M: tale che

cifre binarie 1010 1001 1000 1101
 b_{15} b_0
 1011 0001 1001 0101
 b_{31} b_{16}

$x_1 x_0$	$x_3 x_2$				x_4			
	00	01	11	10	00	01	11	10
00	1	0	0	1*	1	1*	1	1
01	0	0	1*	0	0	0	1	0
11	1	1	1	1*	0	1*	1	0
10	1	0	0	0	1	0	0	0

$x_4=0$ $x_4=1$

6 implicantii essent.
 coprono TUTTA
 la funzione

Sintesi SP

$$U = \bar{x}_2 \bar{x}_1 \bar{x}_0 + x_3 x_2 x_0 + \bar{x}_4 x_1 x_0 + \bar{x}_3 \bar{x}_2 \bar{x}_0 + x_4 \bar{x}_1 \bar{x}_0 + x_2 x_1 x_0$$

Sintesi NAND-NAND

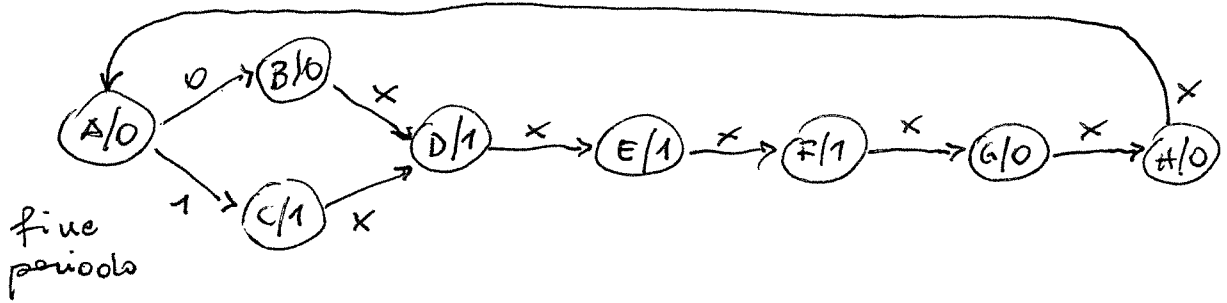
$$U = \overline{\bar{x}_2 \bar{x}_1 \bar{x}_0} \cdot \overline{x_3 x_2 x_0} \cdot \overline{\bar{x}_4 x_1 x_0} \cdot \overline{\bar{x}_3 \bar{x}_2 \bar{x}_0} \cdot \overline{x_4 \bar{x}_1 \bar{x}_0} \cdot \overline{x_2 x_1 x_0}$$

3) Assumiamo un N tale che $F=7$ $K=3$ $L=4$

il periodo del generatore cambia dopo aver concluso il periodo precedente

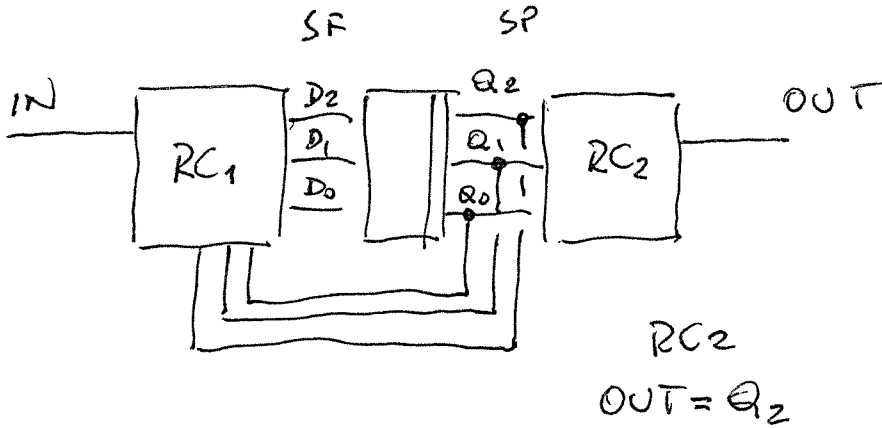
IN	OUT	periodo
0	000 0	111000
1	000 1	111000

in questo modo 6/7 degli stati coincidono tra le due seq.



8 stati, 3 flip-flop

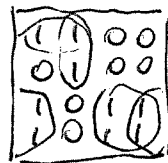
Codifica



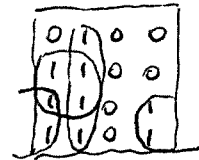
	Q_2	Q_1	Q_0
A	0	0	0
B	0	0	1
C	1	0	0
D	1	0	1
E	1	1	0
F	1	1	1
G	0	1	1
H	0	1	0

Q_2 IN	Q_1, Q_0	00	01	11	10
00		001	101	010	000
01		100	101	010	000
11		101	110	011	111
10		101	110	011	111

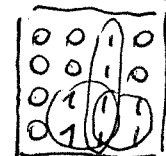
Sintesi RC1



$$D_2 = \bar{Q}_1 \bar{Q}_0 + \bar{Q}_1 IN + Q_2 \bar{Q}_0$$



$$D_1 = Q_2 \bar{Q}_0 + Q_2 Q_0 + Q_2 Q_1$$



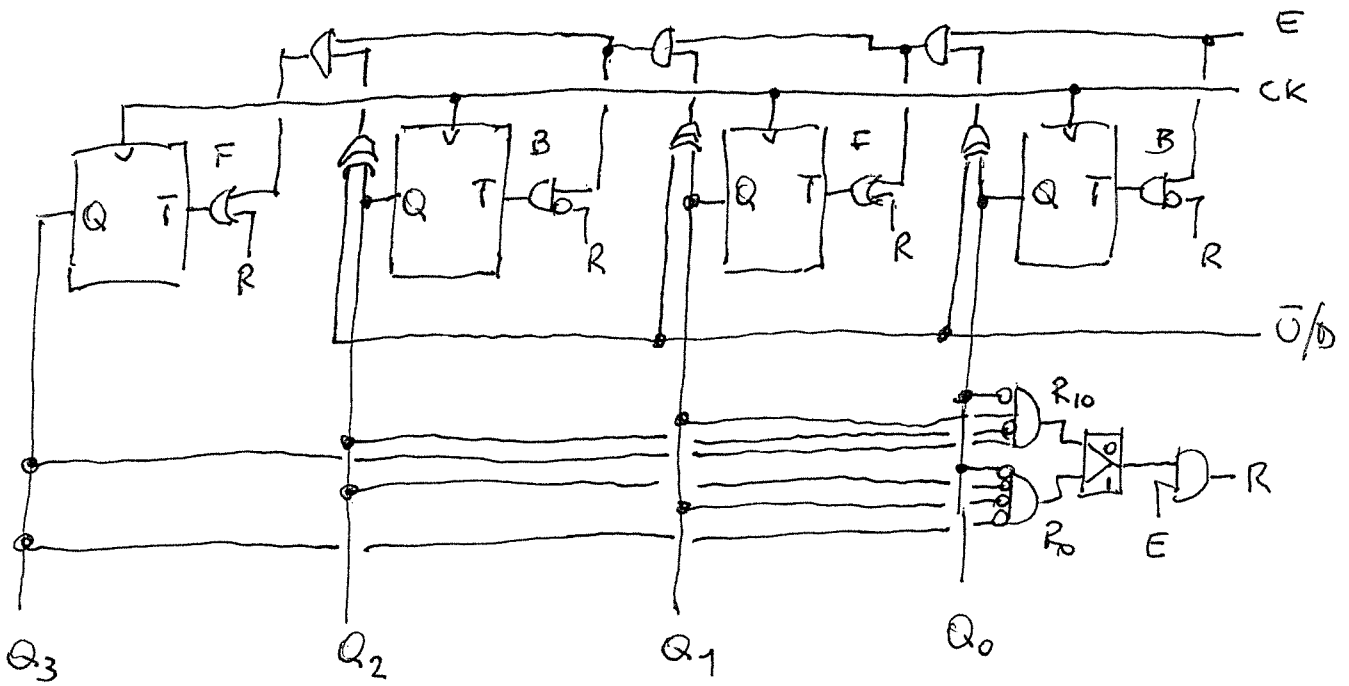
$$D_0 = \bar{Q}_2 \bar{Q}_1 Q_0 + \bar{Q}_1 \bar{Q}_2 IN + Q_2 \bar{Q}_0 + Q_2 Q_1$$

④ Vediamo un contatore up/down modulo 11

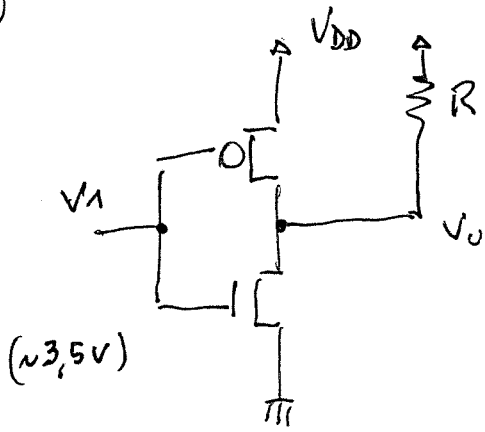
(Qui ci sono tutti i casi)

9	F B B B
10	F B B -
11	F B F B
12	F B - -
13	F F B B
14	F F B -
15	F F F B

Configurazione per tutti i casi possibili, valide sia per UP sia per DOWN



5



$$I_{DD} = 4 \text{ mA}$$

$$V_{DD} = 5 \text{ V}$$

$$K_M = -K_P = 2 \text{ mA/V}^2$$

$$V_1 \approx 3,5 \text{ V (da calcolare con 4 cifre sign)}$$

la max I_{DD} si ha con nMOS saturo

$$I_{DSM} = \frac{K_M}{2} (V_1 - V_{TM})^2$$

è sufficiente $V_1 > 3 \text{ V}$ perché
sia $I_{DSM} > I_{DD}$

• Quindi nMOS triodo -
Quando

$$V_1 - V_0 > V_{TM} ; V_0 < V_1 - V_{TM}$$

• Per il pMOS, $V_1 - V_{DD} < V_{TP}$ e $V_1 - V_0 > V_{TM} > V_{TP}$ saturo

si ha

$$I_{DD} = \frac{K_M}{2} V_0 (V_1 + V_1 - V_0 - 2V_{TM}) \quad \text{da cui } V_0$$

$$4 = x(2V_1 - x - 2)$$

$$x^2 - 2x(V_1 - 1) + 4 = 0$$

$$x = (V_1 - 1) - \sqrt{(V_1 - 1)^2 - 4}$$

l'altro soluz. non è
eccettabile, è troppo alta
per la np fetta

• Trovata V_0 , si trova I_R

$$I_R = I_{DD} - I_{SDP} = I_{DD} + \frac{K_P}{2} (V_1 - V_{DD} - V_{TP})^2$$

$$\text{e infine } R = \frac{V_{DD} - V_0}{I_R}$$