

Non è ammessa la consultazione degli appunti e dei compiti precedenti. Si possono consultare i data sheet, anche su PC. Per lo svolgimento dei calcoli è possibile usare, oltre alla solita calcolatrice, anche il PC con applicativi numerici (es.: Matlab, Excel, ...).

ESERCIZIO N°1

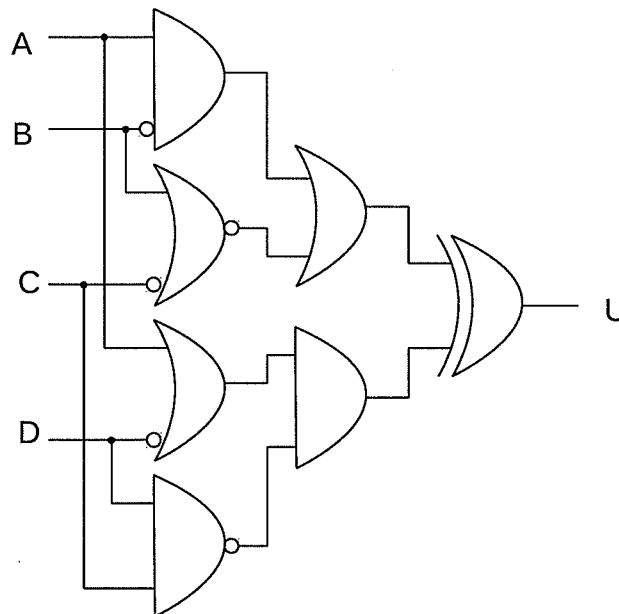
9 punti

Realizzare un programma per il microcontrollore AVR XMEGA256A3BU che gli permetta di emulare il comportamento di un encoder con priorità 8:3, comprensivo del segnale di uscita DV (dato valido). Le 8 linee di ingresso corrispondono rispettivamente ai bit della porta A, le uscite che indicano la linea attiva prioritaria (quella di peso maggiore) sono i tre bit meno significativi della porta B (B_2 , B_1 e B_0), l'uscita DV corrisponde al bit B_7 della medesima porta B. È disponibile la subroutine configure, che predispone correttamente i pin delle porte.

ESERCIZIO N°2

6 punti

Realizzare nella forma ottima indicata da $|M|_4$ la seguente rete combinatoria (0: SP, 1: PS; 2: NOR-NOR; 3: NAND-NAND). Indicare i sottocubi essenziali (con l'asterisco su un elemento che li rende tali).



ESERCIZIO N°3

6 punti

Disegnare una rete sequenziale sincrona secondo il modello di Moore con un ingresso *IN* in grado di riconoscere ponendo 1 in uscita per un ciclo di clock, un fronte in salita (matricole *M* pari) oppure in discesa (matricole *M* dispari).

ESERCIZIO N°4

5 punti

Disegnare lo schema a porte logiche di un *D*-latch con abilitazione e reset usando solo porte NOR.

ESERCIZIO N°5

7 punti

Individuare il valore della tensione degli ingressi (i due ingressi sono cortocircuitati) per cui una porta NOR CMOS a vuoto, i cui transistori *n*MOS, come pure i *p*MOS, sono uguali tra loro, assorbe dalla rete la massima corrente. Determinare quindi il valore di tale corrente. Esprimere i risultati usando almeno 4 cifre significative.

$(V_{DD} = 3,3 \text{ V}; V_{Tn} = |V_{Tp}| = 0,6 \text{ V}; k_n = |k_p| = (18M/550000) \text{ mA/V}^2)$

①

RCALL configure // pin simmet:
PORTA in VPORT0
PORTB in VPORT1

loop: IN R16, VPORT0_IN

TST R16

BREQ nonvalid

SER R17 // predisporre l'uscita con $B_7=1$ e $B_2, B_0=7$

e1: LSL R16

BRCS fine // ha trovato un 1 prioritario, che c'è
prima o poi

DEC R17

RJMP e1

OUT VPORTB_OUT, R17

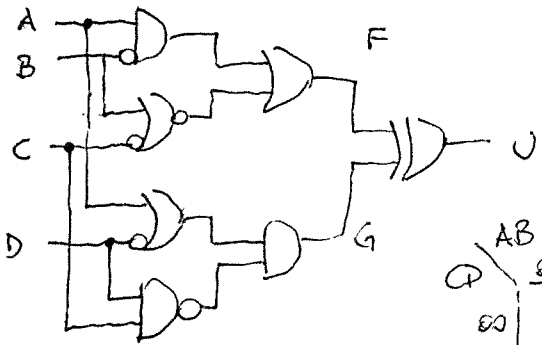
RJMP loop

non valid: CLR R17

OUT VPORTB_OUT, R17

RJMP loop

12) Rete combinatoria



$$F = A\bar{B} + \bar{B}C$$

$$G = (A+\bar{D})(\bar{C}+\bar{D})$$

CD \ AB	00	01	11	10
00	0	0	0	1
01	0	0	0	1
11	1	0	0	1
10	1	0	0	1

F

CD \ AB	00	01	11	10
00	1	1	1	1
01	0	0	1	1
11	0	0	0	0
10	1	1	1	1

G

Eseguendo la XOR termine a termine, si ha per U

CD \ AB	00	01	11	10
00	1*	1	1	0
01	0	0	1*	0
11	1*	0	0	1
10	0	1*	1	0

SP; NAND-NAND (tutti essenziali)

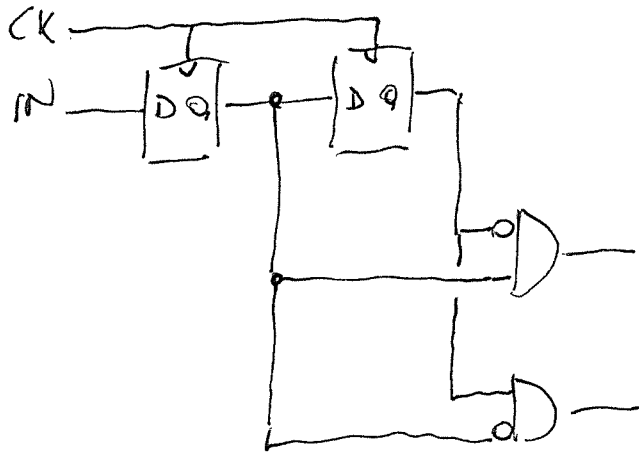
$$U = \bar{A}\bar{C}\bar{D} + ABC\bar{C} + \bar{B}CD + B\bar{D} = \overline{\bar{A}\bar{C}\bar{D} \cdot ABC\bar{C} \cdot \bar{B}CD \cdot B\bar{D}}$$

CD \ AB	00	01	11	10
00	1	1	1	0
01	0	0	1	0
11	1	0	0*	1
10	0*	1	1	0

PS; NOR-NOR (solo 2 essenziali)

$$U = (\bar{A} + B + C)(A + C + \bar{D})(\bar{B} + \bar{C} + \bar{D})(B + \bar{C} + D) = \overline{(\bar{A} + B + C) + (A + C + \bar{D}) + (\bar{B} + \bar{C} + \bar{D}) + (B + \bar{C} + D)}$$

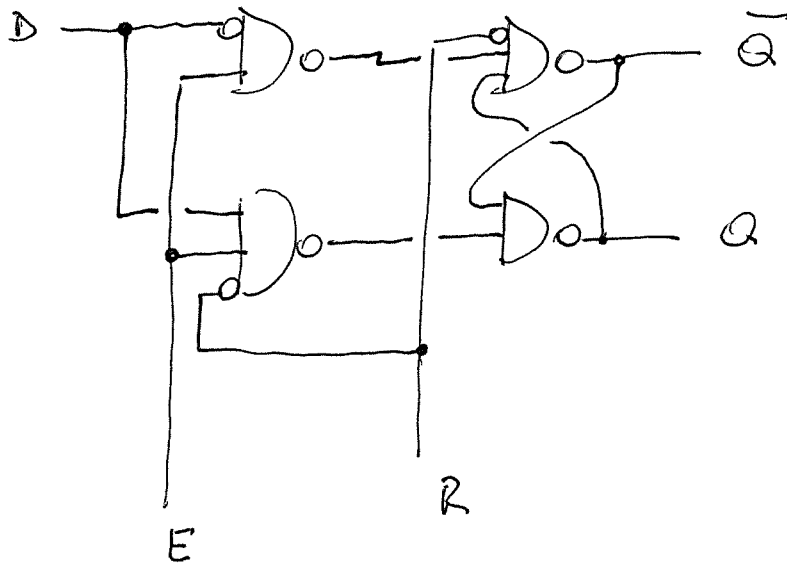
3



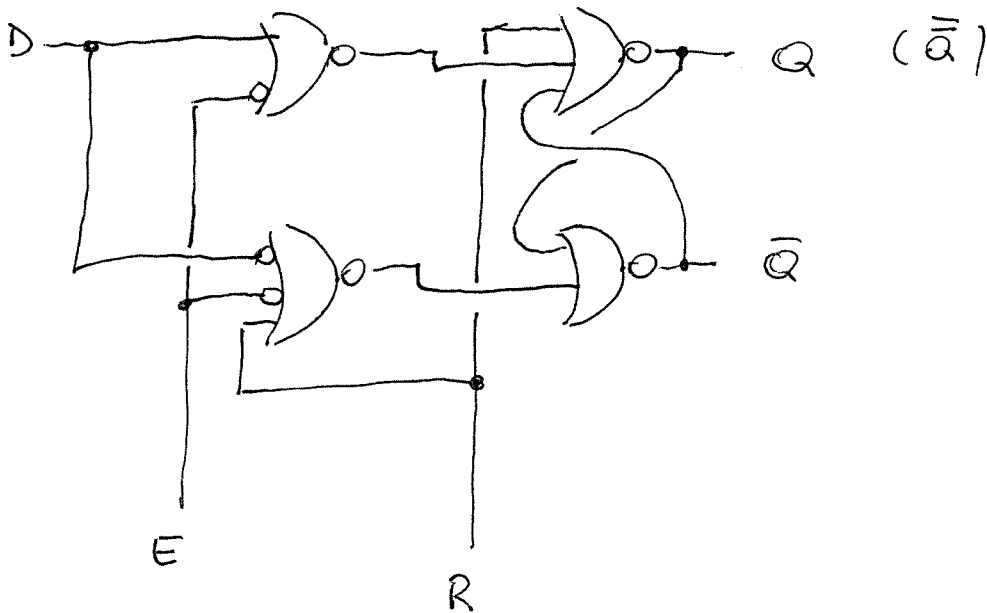
fronte in
salite

fronte in
discese

④ Partiamo dalla versione con porte NAND

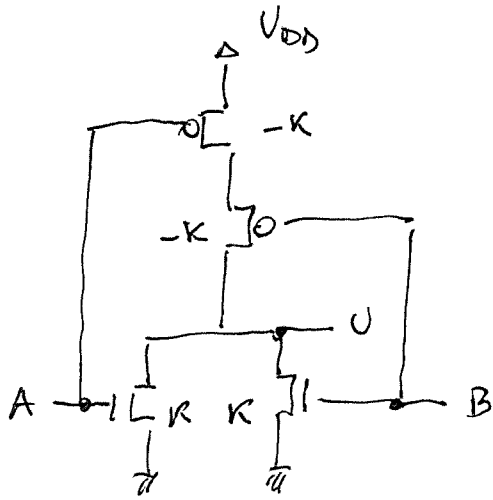


Trasformiamo le AND in OR, secondo il teorema di De Morgan $AB = \overline{\overline{A} + \overline{B}}$. Si ottiene

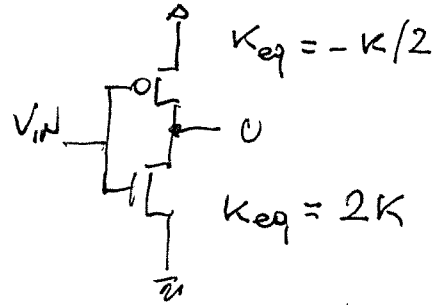


5

Porte NOR CMOS



nelle condizioni proprie



$I_{DD\ max}$ per p_{sat}/u_{SAT}

impulso uguaglianza delle correnti

$$K (V_{IN} - V_{TN})^2 = \frac{K}{4} (V_{IN} - V_{DD} - V_{TP})^2 \quad V_{IN} = x$$

$$2(x - 0,6) = \pm (x - 2,7)$$

$$3x = 3,9 ; \quad x = 1,3$$

$$x = -1,5 \quad \text{non acc}$$

si ha la massima corrente per $V_{IN} = 1,300 \text{ V}$

$$I_{DD} = K \cdot (1,3 - 0,6)^2 = 0,4900 K$$

$$\left[\frac{\text{mA}}{\text{V}^2} \right]$$

$$[\text{V}^2]$$

$$[\text{mA}]$$