

Il testo va riconsegnato

ESERCIZIO N°1

8 punti

Realizzare un sottoprogramma per il microcontrollore XMEGA256A3BU che valuta l'operazione di or esclusivo (XOR bit a bit) tra tutti i byte contenuti nel blocco di memoria della dimensione di 512 byte che inizia a partire dall'indirizzo contenuto in Z. Il risultato deve essere lasciato in R16. La subroutine deve, come al solito, lasciare inalterati tutti i registri.

ESERCIZIO N°2

6 punti

Realizzare una macchina sequenziale sincrona secondo il modello di Moore, con 1 ingresso e 1 uscita che viene posta a 1 (dopo il clock) ogni volta che in ingresso viene riconosciuta una delle 2 seguenti sequenze: 1010 e 0101, non interallacciate in alcun modo.

ESERCIZIO N°3

6 punti

Realizzare in forma NAND-NAND ottima la rete combinatoria a 5 ingressi, $X_4, X_3, X_2, X_1,$ e X_0 e 1 uscita Y , la cui tabella di verità è la seguente: $\{-, 0, 1, 0, 1, -, -, 1, 0, -, 0, 0, 0, 1, 0, 0, 0, 1, 1, 0, -, -, -, -, 0, 0, -, 1, -, 1, 1, 0\}$. Indicare gli implicanti essenziali, giustificando l'affermazione.

ESERCIZIO N°4

6 punti

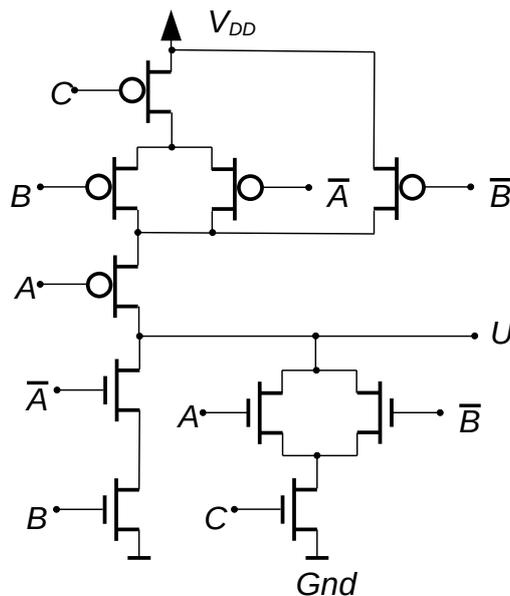
Disegnare lo schema logico di una rete combinatoria con 2 parole di 4 bit in ingresso e 1 bit di uscita, che vale 1 se e solo se gli ingressi sono uguali tra loro.

ESERCIZIO N°5

7 punti

Determinare la tabella di verità del seguente circuito logico CMOS facendo ricorso ai valori 0, 1, Z e X, con l'usuale significato. Valutare quindi per un caso a scelta in cui l'uscita è indeterminata (X) il valore della corrente assorbita dall'alimentazione.

$(V_{DD} = 5\text{ V}; V_{Tn} = |V_{Tp}| = 1\text{ V}; k_n = |k_p| = 12\text{ mA/V}^2)$.



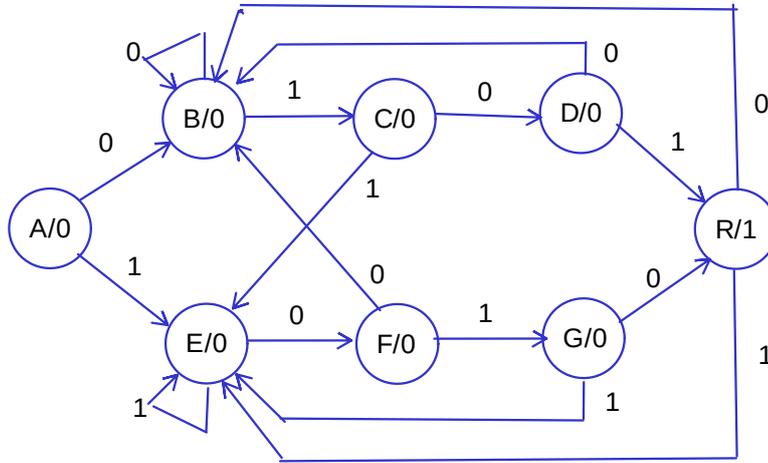
/*Realizzare un sottoprogramma per il microcontrollore XMEGA256A3BU che valuta l'operazione di or esclusivo (XOR bit a bit) tra tutti i byte contenuti nel blocco di memoria della dimensione di 512 byte che inizia a partire dall'indirizzo contenuto in Z. Il risultato deve essere lasciato in R16. La subroutine deve, come al solito, lasciare inalterati tutti i registri.*/

```
block_xor:
  push R17
  push R18
  push ZL
  push ZH
  clr R16                //valore iniziale da cui partire per le XOR
  clr R17                //per 256 cicli
loop:
  ld R18,Z+
  eor R16,R18           //prima XOR
  ld R18,Z+
  eor R16,R18           //2 XOR per 256 volte fanno 512 XOR
  dec R17               //decrementa il contatore
  brne loop
pop ZH
pop ZL
pop R18
pop R17
ret
```

2

Realizzare una macchina sequenziale sincrona secondo il modello di Moore, con 1 ingresso e 1 uscita che viene posta a 1 (dopo il clock) ogni volta che in ingresso viene riconosciuta una delle 2 seguenti sequenze: 1010 e 0101, non interallacciate.

Realizzo la rete usando il grafo che descrive la funzionalità richiesta (Moore).

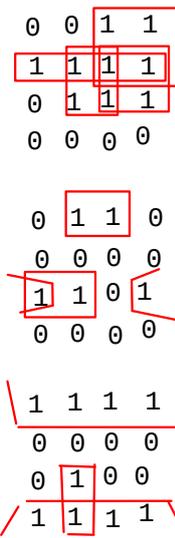


Codifica degli stati

- A 0 0 0 stato iniziale
- B 0 0 1
- C 0 1 0
- D 0 1 1
- E 1 0 0
- F 1 0 1
- G 1 1 0
- R 1 1 1 unico stato con U=1

$$U = Q_2Q_1Q_0$$

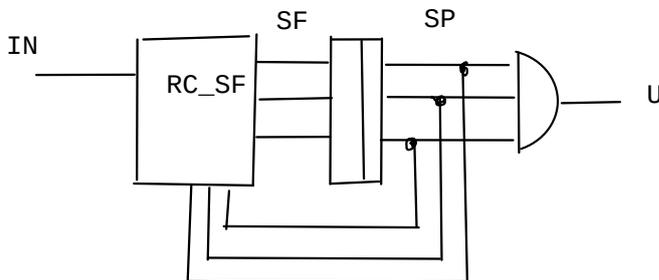
		Q_2Q_1			
		00	01	11	10
Q_0, IN	0	001	011	111	101
	1	100	100	100	100
	1	010	111	100	110
	0	001	001	001	001



$$D_2 = IN\overline{Q_0} + INQ_1 + Q_2\overline{Q_0} + INQ_2$$

$$D_1 = \overline{IN}\overline{Q_0}Q_1 + INQ_0\overline{Q_2} + INQ_0\overline{Q_1}$$

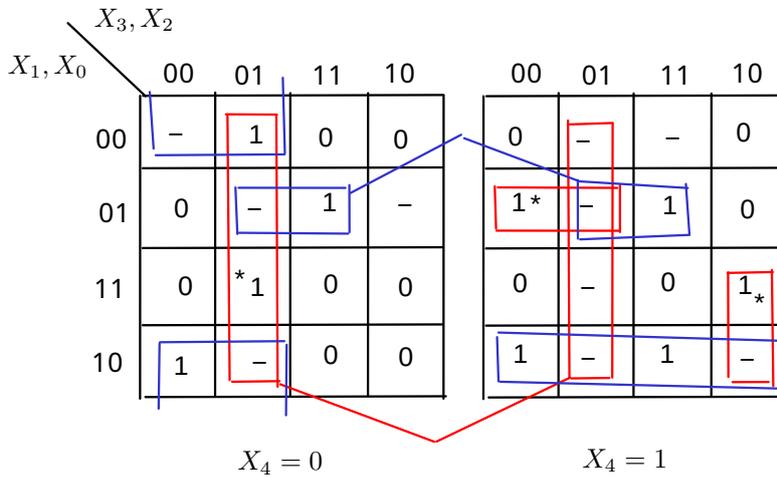
$$D_0 = \overline{IN} + Q_0\overline{Q_2}Q_1$$



3

Realizzare in forma NAND-NAND ottima la rete combinatoria a 5 ingressi e 1 uscita, la cui tabella di verità è la seguente:

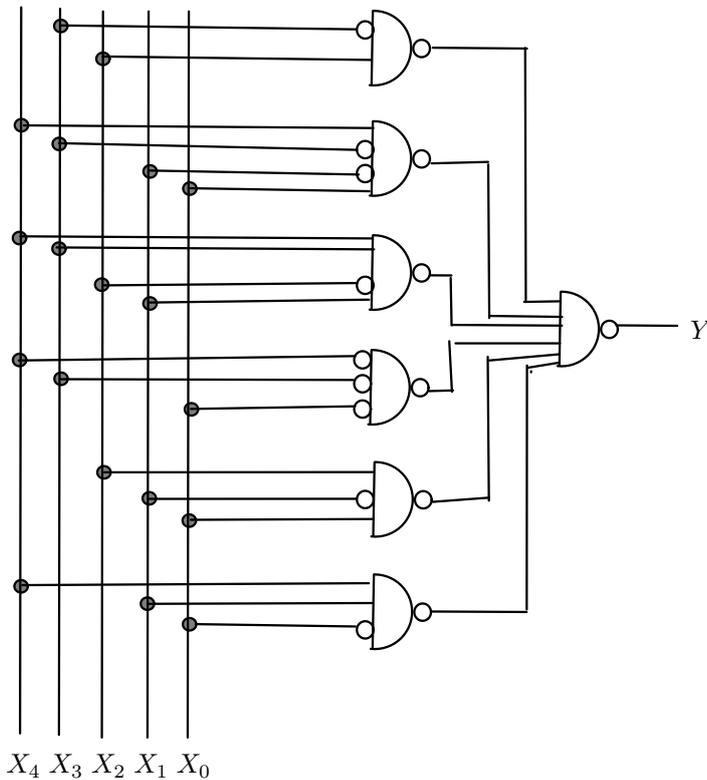
$\{-, 0, 1, 0, 1, -, -, 1, 0, -, 0, 0, 0, 1, 0, 0, 0, 1, 1, 0, -, -, -, -, 0, 0, -, 1, -, 1, 1, 0\}$.
Indicare gli implicanti essenziali, giustificando l'affermazione.



Forma SP ottima (non è l'unica) con 3 essenziali e 3 implicanti principali di ordine 2 non essenziali

$$Y = \overline{X_3}X_2 + X_4\overline{X_3}\overline{X_1}X_0 + X_4X_3\overline{X_2}X_1 + \overline{X_4}\overline{X_3}\overline{X_0} + X_2\overline{X_1}X_0 + X_4X_1\overline{X_0}$$

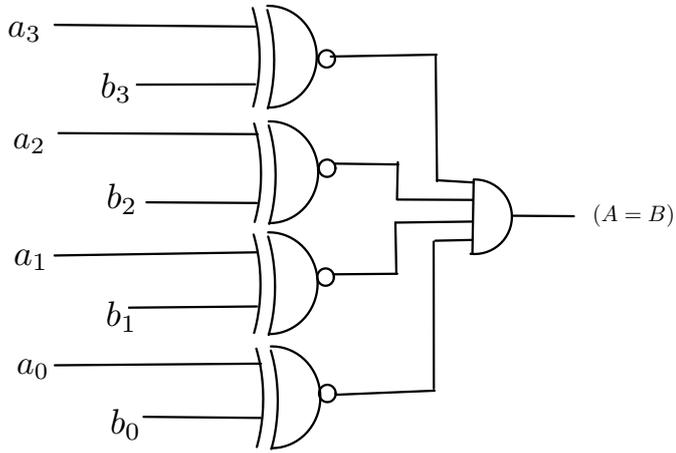
Schema NAND-NAND



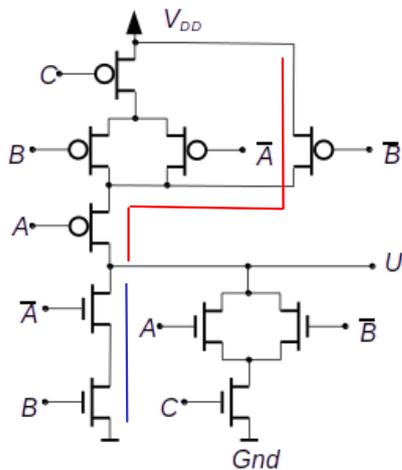
4

Disegnare lo schema logico di una rete combinatoria con 2 parole di 4 bit in ingresso (A e B) e 1 bit di uscita, che vale 1 se e solo se gli ingressi sono uguali tra loro.

Realizzo la rete con porte XNOR e AND finale



Determinare la tabella di verità del seguente circuito logico CMOS facendo ricorso ai valori 0, 1, Z e X, con l'usuale significato. Valutare quindi per un caso a scelta in cui l'uscita è indeterminata (X) il valore della corrente assorbita dall'alimentazione.



$$V_{DD} = 5 \text{ V}; V_{Tn} = -V_{Tp} = 1 \text{ V}; k_n = -k_p = 12 \text{ mA/V}^2$$

Tabella di verità

A	B	C	n	p	U
0	0	0	off	on	1
0	0	1	on	off	0
0	1	0	on	on	X
0	1	1	on	on	X
1	0	0	off	off	Z
1	0	1	on	off	0
1	1	0	off	off	Z
1	1	1	on	off	0

In entrambi i casi in cui l'uscita è X, il percorso della corrente è lo stesso e passa da 2 nMOS in serie e da 2 pMOS ugualmente in serie.

Ci si può ricondurre a transistori equivalenti con k metà di quello del singolo transistore.

Lo schema è qui a fianco, con entrambe le parti accese.

$$V_{DD} = 5 \text{ V}; V_{Tn} = -V_{Tp} = 1 \text{ V}; k_{neq} = -k_{peq} = 6 \text{ mA/V}^2$$

In queste condizioni, visto l'uguaglianza dei parametri e il pilotaggio (anti) simmetrico la tensione di uscita è metà di quella di alimentazione e i due MOS equivalenti sono entrambi in zona triodo.

Per la corrente si ha (considerando per esempio l'nMOS):

$$I_{DD} = \frac{k_{neq}}{2} \frac{V_{DD}}{2} \left(V_{DD} + \frac{V_{DD}}{2} - 2V_{Tn} \right)$$

E passando alla valutazione numerica:

$$I_{DD} = (3 \cdot 2,5 \cdot 5,5) \text{ mA} = 41,25 \text{ mA}$$

