

Il testo va riconsegnato

ESERCIZIO N°1

8 punti

Realizzare un sottoprogramma per il microcontrollore XMEGA256A3BU che sostituisce il blocco di memoria contenuto tra gli indirizzi 0x2100 e 0x22FF (compresi gli estremi) con un nuovo blocco in cui tutti i valori

{colonne dispari} sono complementari a quelli del blocco di partenza.

{colonne pari} sono troncati al valore pari subito minore o uguale a quello corrispondente.

La subroutine deve, come al solito, lasciare inalterati tutti i registri.

ESERCIZIO N°2

7 punti

Realizzare una macchina sequenziale sincrona secondo il modello di Moore, con 1 ingresso e 1 uscita che viene posta a 1 (dopo il clock) ogni volta che in ingresso viene riconosciuta una delle 2 seguenti sequenze: {colonne dispari} 0011 e 1100 {colonne pari} 0110 e 1001, non interallacciate in alcun modo.

ESERCIZIO N°3

6 punti

Realizzare in forma SP ottima la rete combinatoria a 5 ingressi, X_4 , X_3 , X_2 , X_1 , e X_0 e 1 uscita Y , la cui tabella di verità è la seguente:

{colonne dispari} {−, 1, 1, −, 1, −, −, 0, −, 1, −, 1, 1, 1, −, −, −, −, 0, 1, 1, 1, 1, 0, 1, −, 0, 0, 0, −, 1}.

{colonne pari} {−, 1, 1, −, 1, −, −, 0, −, −, −, 0, 1, 1, 1, 1, −, 1, −, 1, 1, 1, −, −, 0, 1, −, 0, 0, 0, −, 1}

Indicare gli implicanti essenziali, giustificando l'affermazione.

ESERCIZIO N°4

6 punti

Disegnare lo schema logico di un contatore modulo {colonne dispari} 8 {colonne pari} 16 con abilitazione e controllo della direzione $\overline{U}/D$.

ESERCIZIO N°5

6 punti

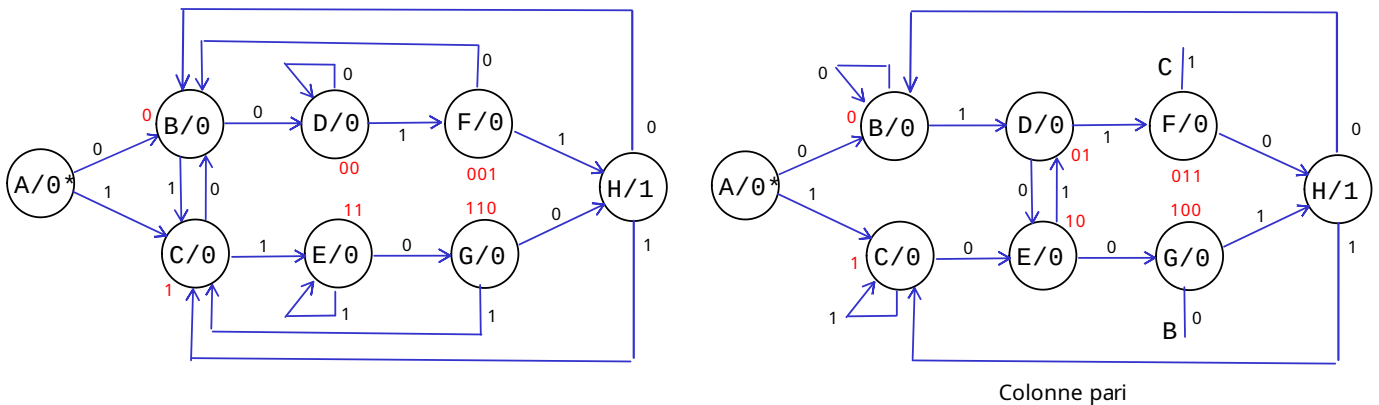
Determinare la caratteristica di trasferimento di una porta RTL base {colonne dispari} ($V_{CC} = 5\text{ V}$; $R_B = 20\text{ k}\Omega$; $R_C = 0,2\text{ k}\Omega$; $h_{FE} = 200$) {colonne pari} ($V_{CC} = 5\text{ V}$; $R_B = 10\text{ k}\Omega$; $R_C = 0,1\text{ k}\Omega$; $h_{FE} = 100$) e disegnarla in un grafico in scala.

/*Realizzare un sottoprogramma per il microcontrollore XMEGA256A3BU che sostituisce il blocco di memoria contenuto tra gli indirizzi 0x2100 e 0x22FF (compresi gli estremi) con un nuovo blocco costituito da valori complementari a quelli originali, oppure per colonne pari: troncati al valore pari subito minore o uguale. La subroutine deve, come al solito, lasciare inalterati tutti i registri.*/

```
block_modify:
    push R16
    push XL
    push XH
    ldi XL,low(0x2100)    //usa X come primo puntatore e lo inizializza a 0x2100
    ldi XH,high(0x2100)
loop:
    ld R16,X
    com R16              //per colonne pari: andi R16,0b11111110
    st X+,R16            //rimette a posto il valore cambiato
    cpi XL,low(0x22FF+1)
    brne loop
    cpi XH,high(0x22FF+1)
    brne loop
pop XH
pop XL
pop R16
ret
```

2

Realizzare una macchina sequenziale sincrona secondo il modello di Moore, con 1 ingresso e 1 uscita che viene posta a 1 (dopo il clock) ogni volta che in ingresso viene riconosciuta una delle 2 seguenti sequenze: 1100 e 0011 {0110 e 1001 per colonne pari}, non interallacciate in alcun modo.

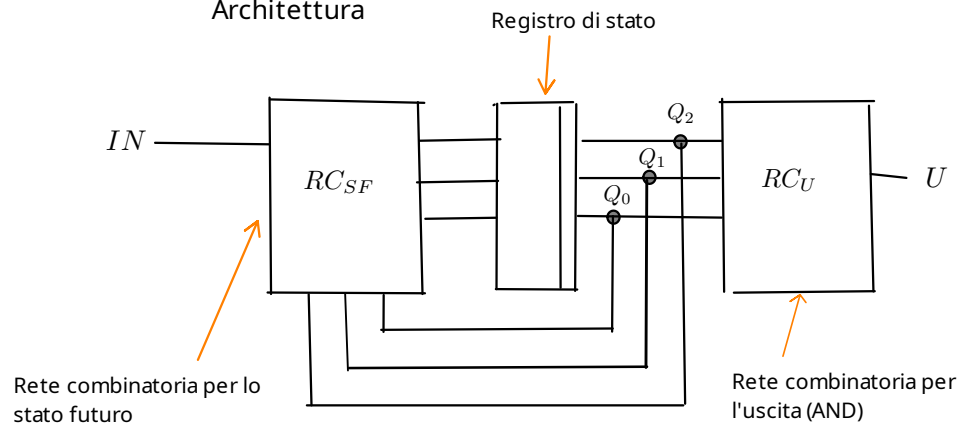


Codifica degli stati

A	000
B	001
C	010
D	011
E	100
F	101
G	110
H	111 (con uscita 1)

Sintesi

Architettura



$$U = Q_2 Q_1 Q_0$$

Q_2, IN	Q_1, Q_0			
	00	01	11	10
00	001	011	011	001
01	010	010	101	100
11	100	111	010	010
10	110	001	001	111

0	0	0	0
0	0	1	1
1	1	0	0
1	0	0	1

$$D_2 = IN \overline{Q_2} Q_1 + IN Q_2 \overline{Q_1} + \overline{IN} Q_2 \overline{Q_0}$$

0	1	1	0
1	1	0	0
0	1	1	1
1	0	0	1

$$D_1 = \overline{IN} \overline{Q_2} Q_0 + IN \overline{Q_2} \overline{Q_1} + IN Q_2 Q_0 + IN Q_2 Q_1 + \overline{IN} Q_2 \overline{Q_0}$$

1	1	1	1
0	0	1	0
0	1	0	0
0	1	1	1

$$D_0 = \overline{IN} \overline{Q_2} + \overline{Q_2} Q_1 Q_0 + Q_2 \overline{Q_1} Q_0 + \overline{IN} Q_1$$

Realizzare in forma SP ottima la rete combinatoria a 5 ingressi e 1 uscita, la cui tabella di verità è la seguente:

$\{-, 1, 1, -, 1, -, -, 0, -, 1, -, 1, 1, 1, -, -, -, -, -, 0, 1, 1, 1, 1, 0, 1, -, 0, 0, 0, -, 1\}$.

Per le colonne pari la funzione è la stessa, ma sono scambiate X_3 con X_4 .

Indicare gli implicanti essenziali, giustificando l'affermazione.

1

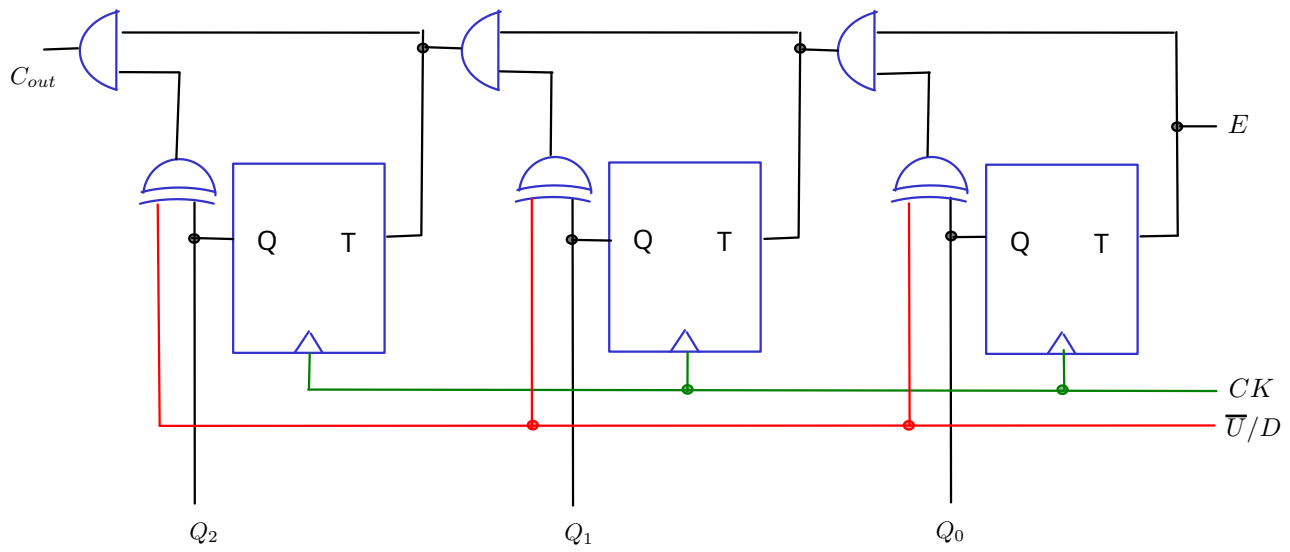
X_3, X_2 X_1, X_0		$X_4 = 0$				$X_4 = 1$			
		00	01	11	10	00	01	11	10
00		-	1	1	-	-	1	0	0
01		1	-	1	1	-	1	0	1*
11		-	0	-	1	0	1	1	0
10		1	-	-	-	-	1	-	-

$$Y = \overline{X_2} \overline{X_1} X_0 + \overline{X_3} \overline{X_1} + \overline{X_4} \overline{X_1} + \overline{X_4} \overline{X_2} + X_4 X_2 X_1$$

La funzione può essere espressa dalla somma di 5 implicant, di cui uno solo è essenziale (con *).
I letterali necessari sono 12 (e ci sono diverse altre soluzioni ottime).

4

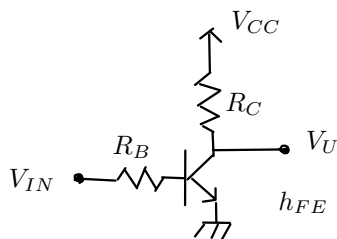
Disegnare lo schema logico di un contatore modulo 8 {16 per colonne pari} con abilitazione e controllo della direzione.



Il contatore modulo 16 ha semplicemente uno stadio in più.

Determinare la caratteristica di trasferimento di una porta RTL base
 ($V_{CC} = 5 \text{ V}$; $R_B = 20 \text{ k}\Omega$; $R_C = 0,2 \text{ k}\Omega$; $h_{FE} = 200$)
 ($V_{CC} = 5 \text{ V}$; $R_B = 10 \text{ k}\Omega$; $R_C = 0,1 \text{ k}\Omega$; $h_{FE} = 100$) per colonne pari
 e disegnarla in un grafico quotato.

Schema dell'invertitore



Parto dall'ipotesi che, quando la tensione di ingresso va da 0 a valori alti, il transistore passa dall'interdizione, poi passi in zona attiva diretta e infine arrivi in saturazione. Seguendo le ipotesi posso calcolare i valori della tensione di ingresso per cui si ha la transizione da interdizione a conduzione e poi quella da ZAD a saturazione. Se questi valori sono nella successione corretta, l'ipotesi è verificata.

$$V_{OH} = V_{CC} = 5 \text{ V}$$

$$V_{IL} = V_{BEon} = 0,7 \text{ V}$$

Questo è il valore per cui si ha il passaggio da interdizione a ZAD

$$V_{OL} = V_{CEsat} = 0,1 \text{ V}$$

$$V_{IH} = V_{BEsat} + R_B \frac{V_{CC} - V_{CEsat}}{h_{FE} R_C} = 3,25(5,7) \text{ V}$$

Questa è la tensione di confine tra ZAD e saturazione (e valgono le condizioni delle due zone contemporaneamente). Per le righe pari la logica non è coerente.

Posso ora disegnare la caratteristica di trasferimento (in verde le colonne pari)

