

Il testo va riconsegnato

ESERCIZIO N°1

8 punti

Realizzare una subroutine per il microcontrollore AVR XMEGA256A3BU che valuta in R16 il quoziente intero tra il valore senza segno in X e 512.

ESERCIZIO N°2

6 punti

Progettare una macchina di Moore con due ingressi (le cifre binarie di un numero x) e una uscita, che viene posta a 0 quando l'ingresso è 0 e viene posta a 1 (mantenendo poi tale valore fino alla condizione di azzeramento) se (e solo se) gli ingressi assumono immediatamente di seguito i valori 3, 1, 3, 1.

ESERCIZIO N°3

6 punti

Realizzare in forma NAND-NAND ottima la rete combinatoria a 5 ingressi, X_4, X_3, X_2, X_1 , e X_0 e 1 uscita Y , la cui tabella di verità è la seguente: $\{-, 1, 1, 0, 1, -, -, 1, 0, -, 0, 0, 1, 1, 1, 0, 0, 1, 1, 0, -, -, 1, -, 0, 1, -, 1, -, 1, 1, 0\}$. Indicare gli implicantti essenziali, giustificando l'affermazione.

ESERCIZIO N°4

6 punti

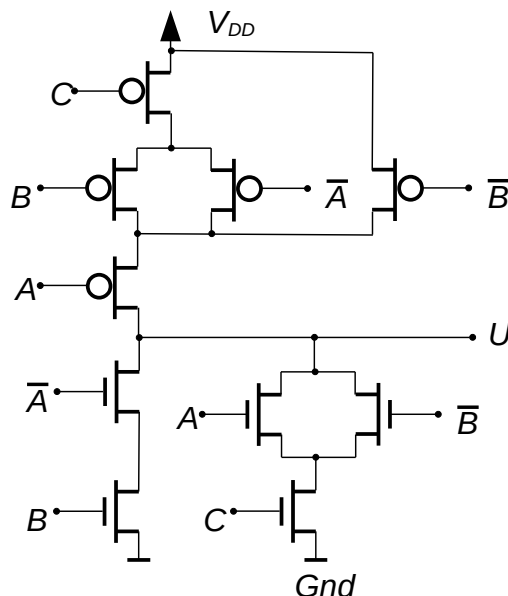
Progettare usando un multiplexer 8:1 e un invertitore, una rete combinatoria adatta a pilotare il segmento "c" di un display a 7 segmenti a partire da una cifra BCD. La visualizzazione di valori non validi come cifre BCD può essere qualsiasi.

ESERCIZIO N°5

7 punti

Determinare la tabella di verità del seguente circuito logico CMOS facendo ricorso ai valori 0, 1, Z e X, con l'usuale significato. Valutare quindi per un caso a scelta in cui l'uscita è indeterminata (X) il valore della corrente assorbita dall'alimentazione.

($V_{DD} = 5\text{ V}$; $V_{Tn} = |V_{Tp}| = 1\text{ V}$; $k_n = |k_p| = 18\text{ mA/V}^2$).

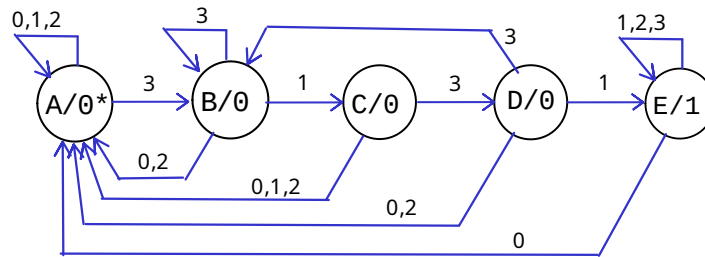


/*Realizzare una subroutine per il microcontrollore AVR XMEGA256A3BU che valuta in R16 il quoziente intero tra il valore senza segno in X e 512.*/

```
quot_512:
  mov R16,XH      //questo è X diviso 256
  lsr R16          //divide ulteriormente per 2
  ret
```

2

Progettare una macchina di Moore con due ingressi (le cifre binarie di un numero x) e una uscita, che viene posta a 0 quando l'ingresso è 0 e viene posta a 1 (mantenendo poi tale valore fino alla condizione di azzeramento) se (e solo se) gli ingressi assumono immediatamente di seguito i valori 3, 1, 3, 1.



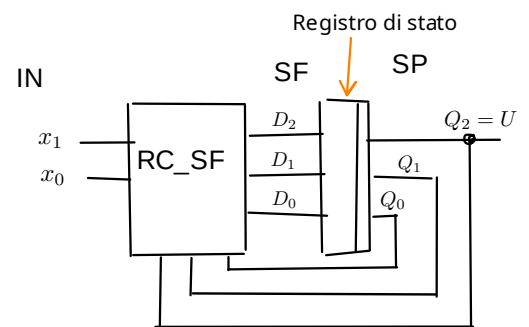
Codifica stati

	Q2	Q1	Q0
A	0	0	0
B	0	0	1
C	0	1	0
D	0	1	1
E	1	0	0

$$U = Q_2$$

Mappa di transizione

Q_1, Q_0		x_1, x_0			
		00	01	11	10
00	00	000	000	000	000
	01	000	010	111	000
	11	001	001	001	011
	10	000	000	000	000
		$Q_2 = 0$			
00	00	---	---	000	---
	01	---	---	111	---
	11	---	---	111	---
	10	---	---	111	---
		$Q_2 = 1$			



0	0	0	0
0	0	1	0
0	0	0	0
0	0	0	0

$$D_2 = \overline{x_1}x_0Q_1Q_0 + x_1Q_2$$

0	0	0	0
0	1	1	0
0	0	0	1
0	0	0	0

$$D_1 = \overline{x_1}x_0Q_0 + x_1Q_2 + x_1x_0Q_1\overline{Q_0}$$

0	0	0	0
0	0	1	0
1	1	1	1
0	0	0	0

$$D_0 = \overline{x_1}x_0Q_1Q_0 + x_1Q_2 + x_1x_0$$

Realizzare in forma NAND-NAND ottima la rete combinatoria a 5 ingressi e 1 uscita, la cui tabella di verità è la seguente:

$\{-, 1, 1, 0, 1, -, -, 1, 0, -, 0, 0, 1, 1, 1, 0, 0, 1, 1, 0, -, -, 1, -, 0, 1, -, 1, -, 1, 1, 0\}$.

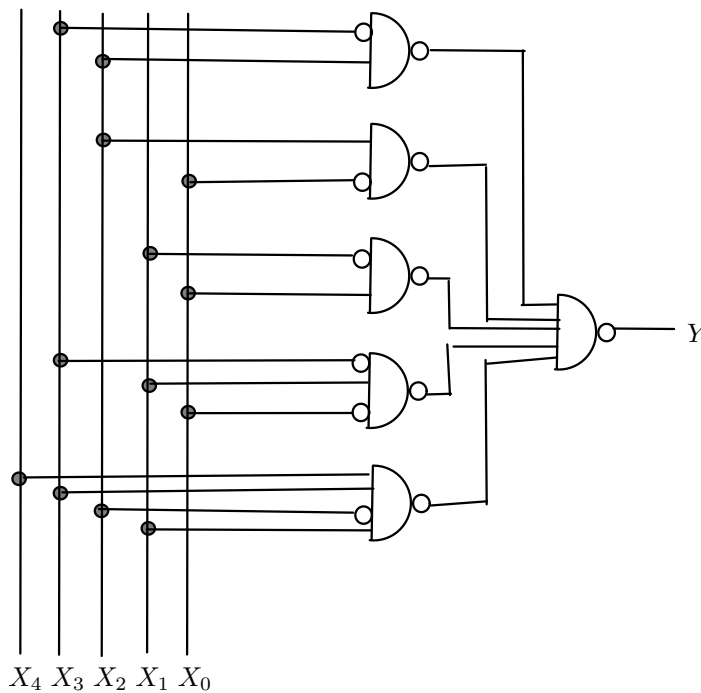
Indicare gli implicanti essenziali, giustificando l'affermazione.

X_3, X_2 X_1, X_0		$X_4 = 0$				$X_4 = 1$			
		00	01	11	10	00	01	11	10
00		-	1	1	0	0	-	-	0
01		1	-	1	-	1*	-	1	1
11		0	*1	0	0	0	-	0	1
10		1	-	1*	0	1	1	1	-

Forma SP ottima con 3 essenziali e 2 implicanti principali (di ordine 1 e 2) non essenziali

$$Y = \overline{X_3}X_2 + X_2\overline{X_0} + \overline{X_1}X_0 + \overline{X_3}X_1\overline{X_0} + X_4X_3\overline{X_2}X_1$$

Schema NAND-NAND



Progettare usando un multiplexer 1:8 e un invertitore, una rete combinatoria adatta a pilotare il segmento "c" di un display a 7 segmenti a partire da una cifra BCD. La visualizzazione di valori non validi come cifre BCD può essere qualsiasi.

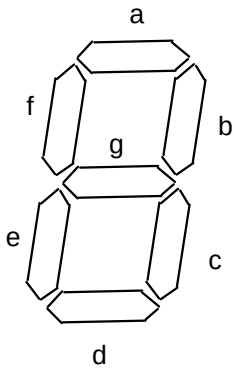
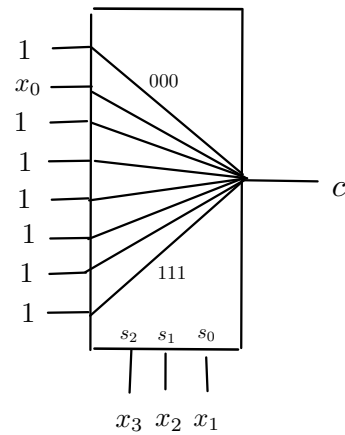
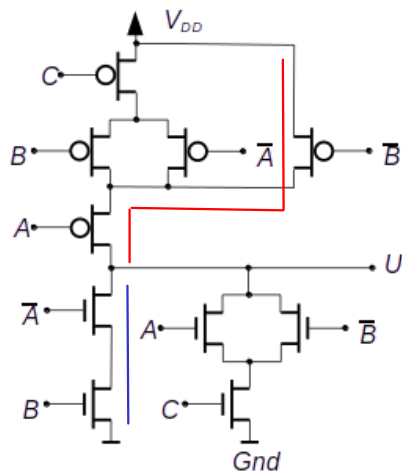


Tabella di verità

IN	c seg
0	1
1	1
2	0
3	1
4	1
5	1
6	1
7	1
8	1
9	1
A	-
B	-
C	-
D	-
E	-
F	-



Determinare la tabella di verità del seguente circuito logico CMOS facendo ricorso ai valori 0, 1, Z e X, con l'usuale significato. Valutare quindi per un caso a scelta in cui l'uscita è indeterminata (X) il valore della corrente assorbita dall'alimentazione.



$$V_{DD} = 5 \text{ V}; V_{Tn} = -V_{Tp} = 1 \text{ V}; k_n = -k_p = 18 \text{ mA/V}^2$$

Tabella di verità

A	B	C	n	p	U
0	0	0	off	on	1
0	0	1	on	off	0
0	1	0	on	on	X
0	1	1	on	on	X
1	0	0	off	off	Z
1	0	1	on	off	0
1	1	0	off	off	Z
1	1	1	on	off	0

In entrambi i casi in cui l'uscita è X, il percorso della corrente è lo stesso e passa da 2 nMOS in serie e da 2 pMOS ugualmente in serie.

Ci si può ricondurre a transistori equivalenti con k metà di quello del singolo transistor.

Lo schema è qui a fianco, con entrambe le parti accese.

$$V_{DD} = 5 \text{ V}; V_{Tn} = -V_{Tp} = 1 \text{ V}; k_{neq} = -k_{peq} = 9 \text{ mA/V}^2$$

In queste condizioni, visto l'uguaglianza dei parametri e il pilotaggio (anti) simmetrico la tensione di uscita è metà di quella di alimentazione e i due MOS equivalenti sono entrambi in zona triodo.

Per la corrente si ha (considerando per esempio l'nMOS):

$$I_{DD} = \frac{k_{neq}}{2} \frac{V_{DD}}{2} \left(V_{DD} + \frac{V_{DD}}{2} - 2V_{Tn} \right)$$

E passando alla valutazione numerica:

$$I_{DD} = (4,5 \cdot 2,5 \cdot 5,5) \text{ mA} = 61,875 \text{ mA}$$

