

Tecnologie per l'elettronica digitale

Parametri

Componenti elettronici

Porte a diodi

RTL, TTL

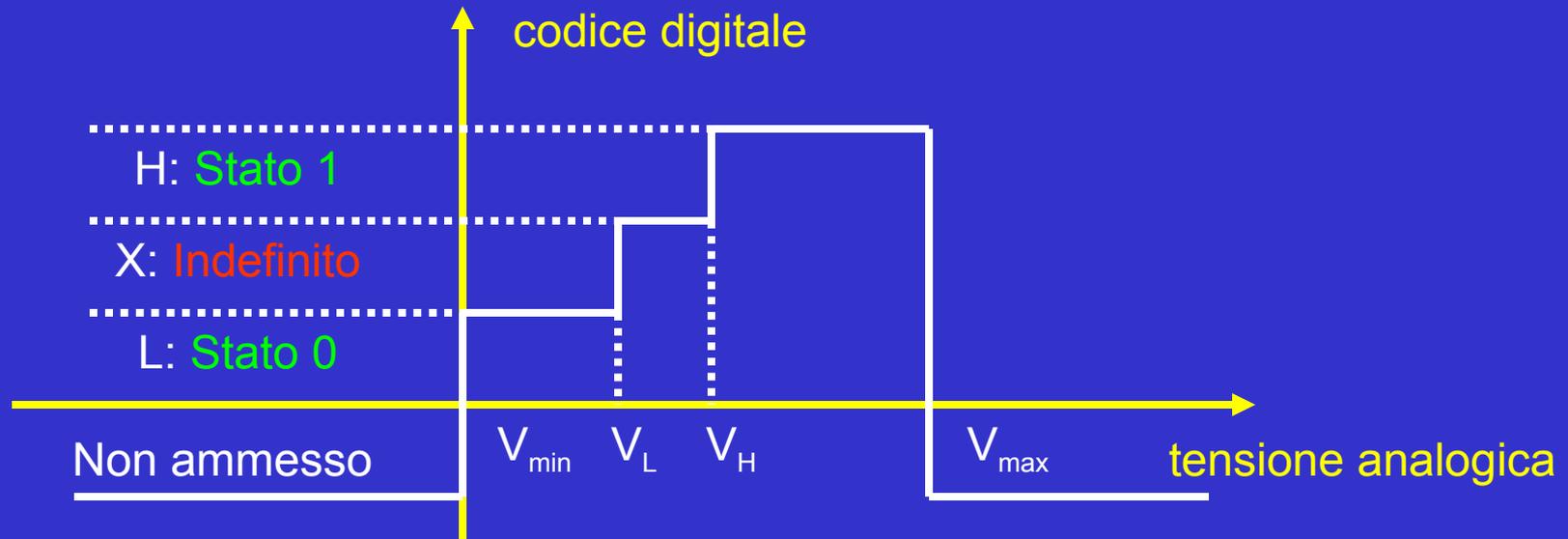
CMOS

Codifica digitale dell'informazione

- **Superare l'effetto del rumore**
 - **Non eliminabile dai circuiti analogici**
 - **Ogni elaborazione analogica degrada l'informazione**
- **Il concetto di quantizzazione**
 - **Associare informazione a un intervallo di tensioni**
 - **Gli intervalli sono adiacenti e coprono tutto il range del segnale**
 - **Tutti i valori di tensione che appartengono allo stesso intervallo portano la stessa informazione**
 - **Se il segnale è al centro dell'intervallo e gli intervalli sono sufficientemente larghi, l'effetto del rumore (errore di interpretazione) può essere reso piccolo a piacere**

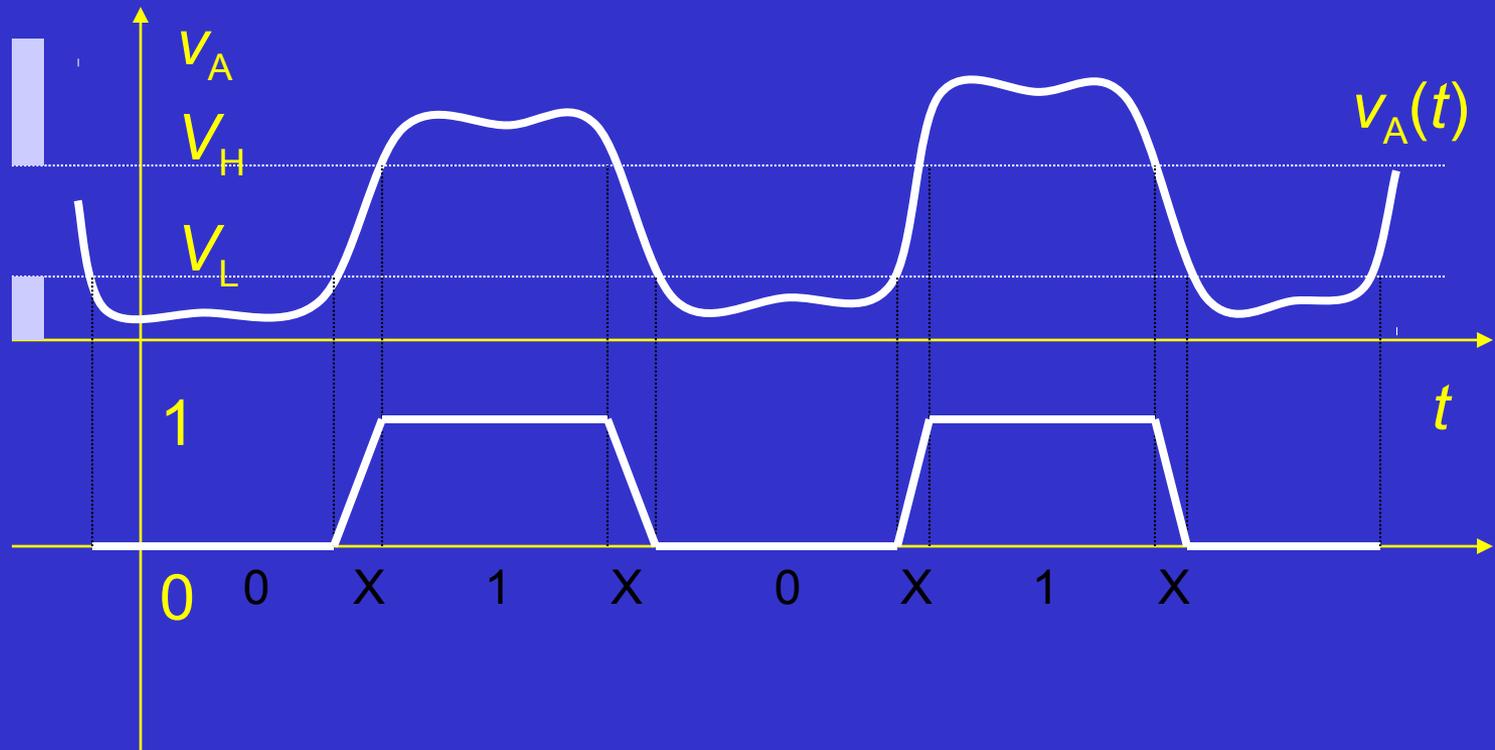
Quantizzazione binaria

- **Quantizzazione binaria dell'informazione**
 - **Si scelgono due intervalli, per i valori 0 e 1**
 - La scelta dipende dai sistemi elettronici che elaborano l'informazione
 - **I due intervalli sono separati da una terza regione, di **transizione**, a cui corrisponde uno stato indefinito**



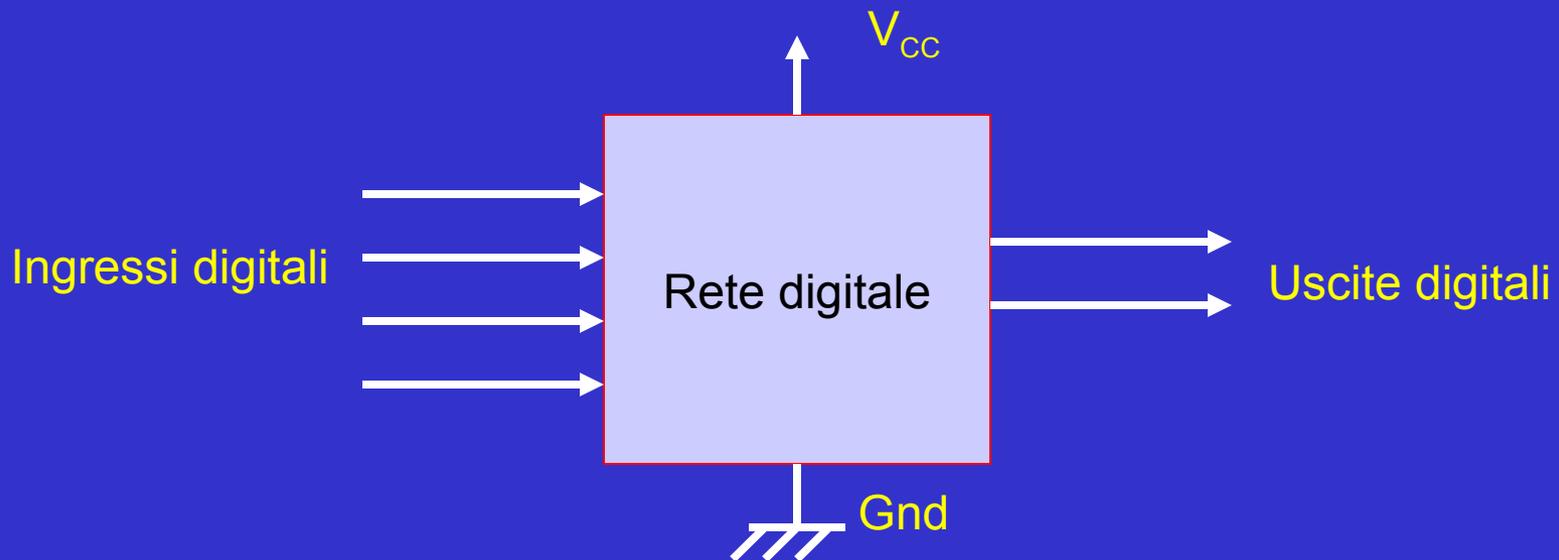
Segnale elettronico “digitale”

- L'informazione è associata al fatto che una grandezza fisica appartiene per un certo tempo a uno di due (o più) intervalli di valori ben definiti



Rete elettronica digitale

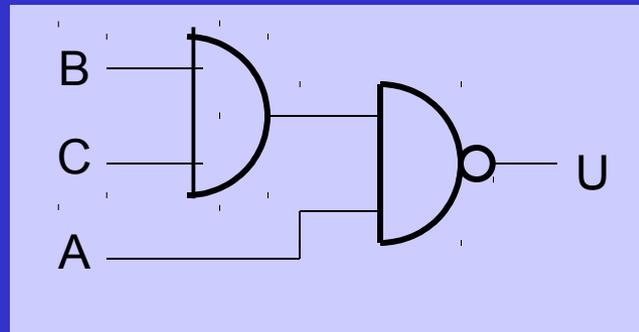
- **Elabora informazione codificata in forma digitale**
 - **Gli ingressi portano informazioni in forma digitale**
 - **Le uscite sono codificate allo stesso modo**
- **Il concetto di “tempo reale”**



Caratteristica logica

- Le uscite rappresentano la codifica di uno stato che dipende dal valore digitale degli ingressi (e da un eventuale stato interno)
 - Espressione logica o forme equivalenti
 - Tabelle, diagrammi o mappe
 - Combinazione di funzioni elementari NOT, AND e OR
 - Schema grafico a porte logiche interconnesse

A	B	C	U
0	0	0	1
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	0



$$U = \overline{A \cdot (B + C)}$$

Caratteristiche elettriche statiche (1)

➤ Coerenza

- Le uscite della porta sono interpretate con la stessa legge di quantizzazione degli ingressi

➤ Rigenerazione dei livelli

- La tensione di uscita corrispondente a ciascuno stato logico è più distante dalla soglia dell'intervallo relativo di quanto lo siano gli ingressi

➤ Unidirezionalità

- La corrente che scorre nei terminali di ingresso non dipende dallo stato dell'uscita

Caratteristiche elettriche statiche (2)

- **Capacità di pilotaggio**
 - Lo stato di uscita di una porta non dipende dal numero delle porte pilotate dalla porta stessa
- **Effetto caricante**
 - Gli ingressi di una porta non assorbono corrente dal circuito pilotante
- **Potenza**
 - La potenza elettrica dissipata dalla rete nei due stati è trascurabile

Caratteristiche elettriche dinamiche

➤ Ritardo

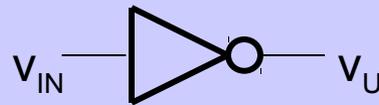
- La rete valuta istantaneamente l'effetto della variazione di un ingresso

➤ Tempi di salita e discesa

- La rete attraversa la regione di transizione in tempi infinitesimi

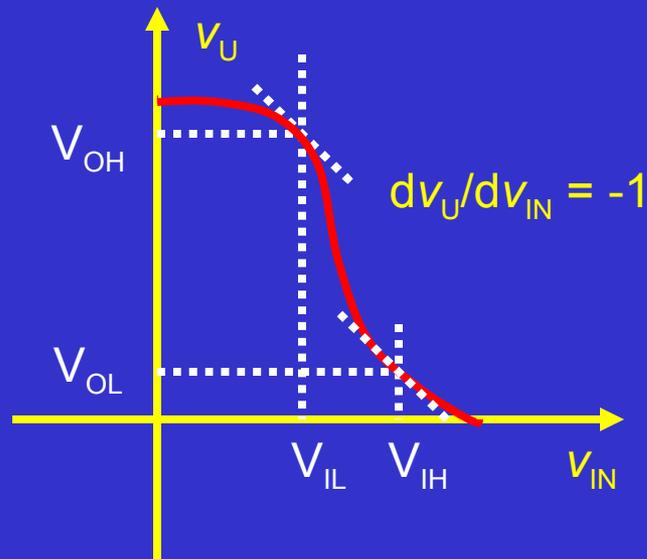
Il caso dell'invertitore

- È la porta più semplice
- Ha un solo ingresso
 - Lo stato di uscita è opposto a quello di ingresso
- Riassume le qualità di una intera “famiglia”
 - Tipicamente tutti gli ingressi e le uscite di una porta complessa hanno le stesse caratteristiche di quelle dell'inverter



Caratteristica di trasferimento

- Grafico della relazione tra tensioni ingresso-uscita
 - Si tratta di una caratteristica statica
 - Ottenuta in condizioni di alimentazione, temperatura e carico specificate



Definizioni sulle tensioni (1)

➤ Punti notevoli della caratteristica di trasferimento

➤ Coordinate dei punti a pendenza unitaria (negativa)

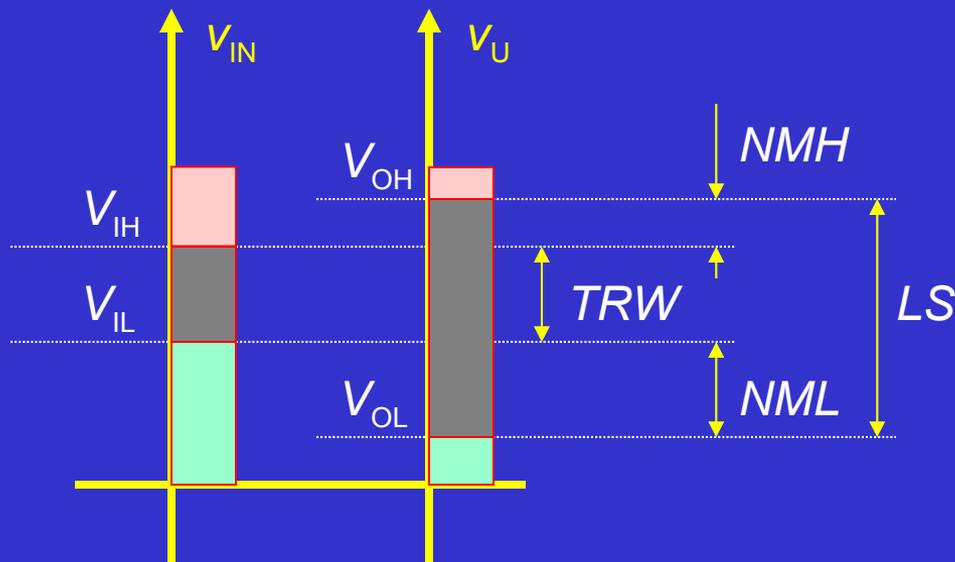
- La pendenza è l'amplificazione per piccoli segnali
- Il rumore in ingresso è attenuato negli intervalli esterni a V_{IL} , V_{IH}

➤ Definizioni

- V_{IL} , V_{IH} soglie delle regioni di transizione
- V_{OL} , V_{OH} valori delle uscite in corrispondenza delle soglie
- TRW ampiezza della regione di transizione
- LS escursione logica
- NML , NMH margini di rumore sui livelli 0 e 1

Definizioni sulle tensioni (2)

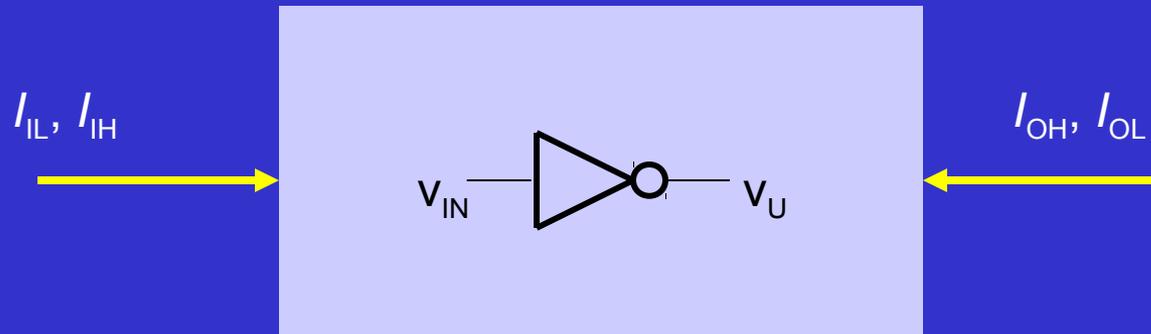
- Rappresentazione grafica e relazioni
 - A partire dalla caratteristica di trasferimento



$$\begin{aligned}LS &= V_{OH} - V_{OL} \\TRW &= V_{IH} - V_{IL} \\NML &= V_{IL} - V_{OL} \\NMH &= V_{OH} - V_{IH}\end{aligned}$$

Definizioni sulle correnti

- Si definiscono anche diverse grandezze relative alle correnti in ingresso e in uscita
 - Convenzione: segno positivo per correnti entranti nella porta
 - Tipicamente, I_{IL} e I_{OH} sono negative rispetto al verso convenzionale



Condizioni di interfacciamento

- Per collegare due o più porte occorre rispettare condizioni sulle tensioni e sulle correnti
 - Le condizioni devono essere vere per entrambi i livelli
 - Il parametro N (numero di porte collegate all'uscita) è definito fan-out della porta

Condizioni sulle tensioni

$$V_{OL\max} < V_{IL}$$

$$V_{OH\min} > V_{IH}$$

Condizioni sulle correnti

$$|I_{OH\max}| > N \cdot I_{IH}$$

$$I_{OL\max} > N \cdot |I_{IL}|$$

Calcolo del fan-out

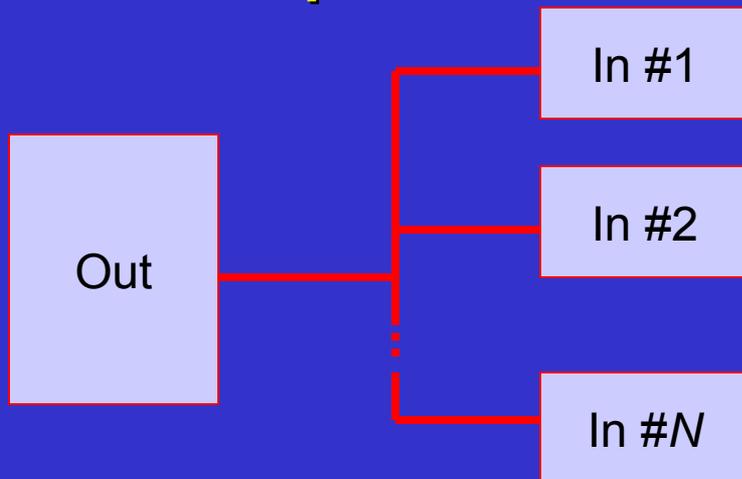
➤ Effetto dell'aumento di N

➤ All'aumentare del carico

➤ V_{OH} diminuisce e V_{OL} aumenta

➤ Si riducono i margini di rumore

➤ Se il costruttore ci dà le correnti massime per le quali sono garantiti i livelli di tensione, si possono usare le relazioni per le correnti



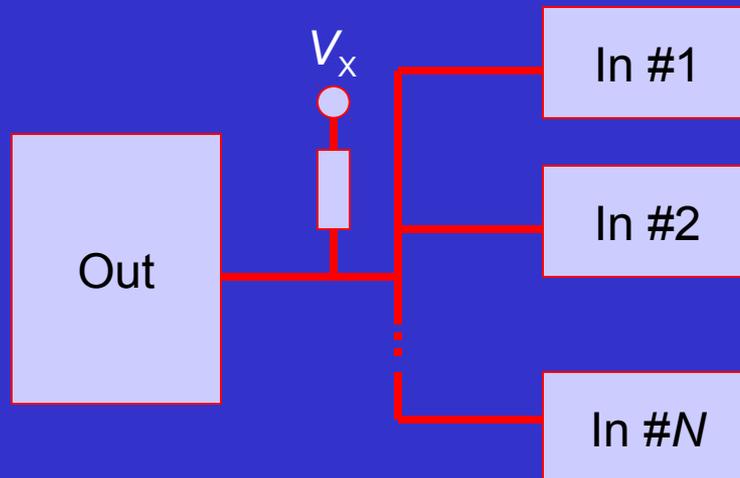
$$|I_{OH\max}| > N \cdot I_{IH}$$

$$I_{OL\max} > N \cdot |I_{IL}|$$

$$N < \min \left\{ \frac{|I_{OH\max}|}{I_{IH}}, \frac{I_{OL\max}}{|I_{IL}|} \right\}$$

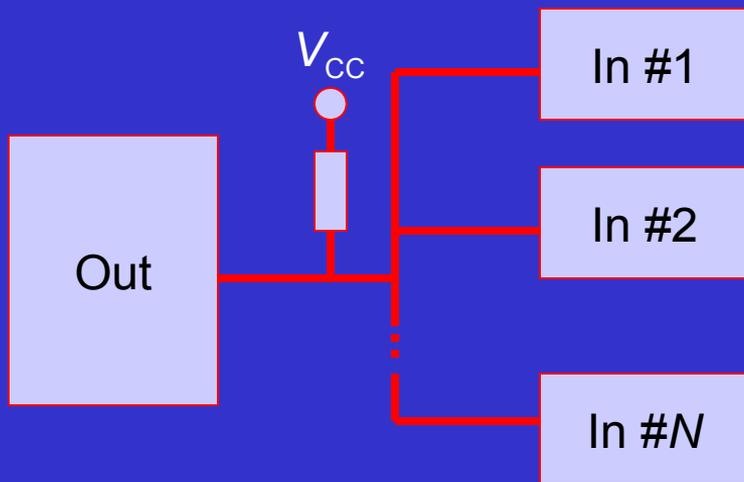
Logiche non compatibili

- Se una delle condizioni sulle tensioni non può essere rispettata, si può ricorrere a una resistenza
 - Pull-up o pull-down esterno ($V_x = \text{GND}$ oppure V_{CC})
 - Dimensionamento di compromesso
 - La resistenza aggiunta può compromettere il bilancio delle correnti



Caso del pull-up

- La tensione alta non è sufficiente
 - Aggiungo una R che “tira su” il potenziale di uscita
 - Nella condizione alta, lo stadio di uscita si può interdire
 - Solitamente, tutta la I_{OH} deve essere fornita da R
 - La soluzione non è garantita



$$V_{OH\min} < V_{IH}$$

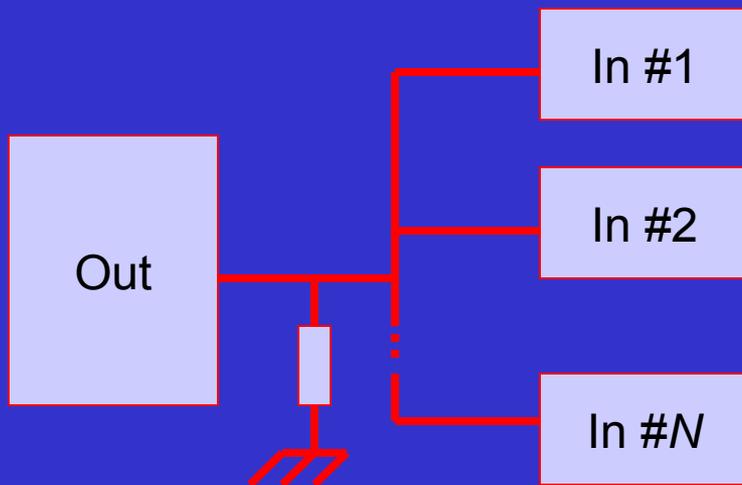
$$V_{CC} - R \cdot NI_{IH} > V_{IH}$$

$$I_{OL\max} > N \cdot |I_{IL}| + \frac{V_{CC} - V_{OL\min}}{R}$$

$$\frac{V_{CC} - V_{OL\min}}{I_{OL\max} - N \cdot |I_{IL}|} < R < \frac{V_{CC} - V_{IH}}{NI_{IH}}$$

Caso del pull-down

- La tensione bassa non è sufficientemente bassa
 - Aggiungo una R che “tira giù” il potenziale di uscita
 - Nella condizione bassa, lo stadio di uscita si può interdire
 - Solitamente, tutta la I_{OL} deve essere fornita da R
 - La soluzione non è garantita



$$V_{OL\max} > V_{IL}$$

$$R \cdot NI_{IL} < V_{IL}$$

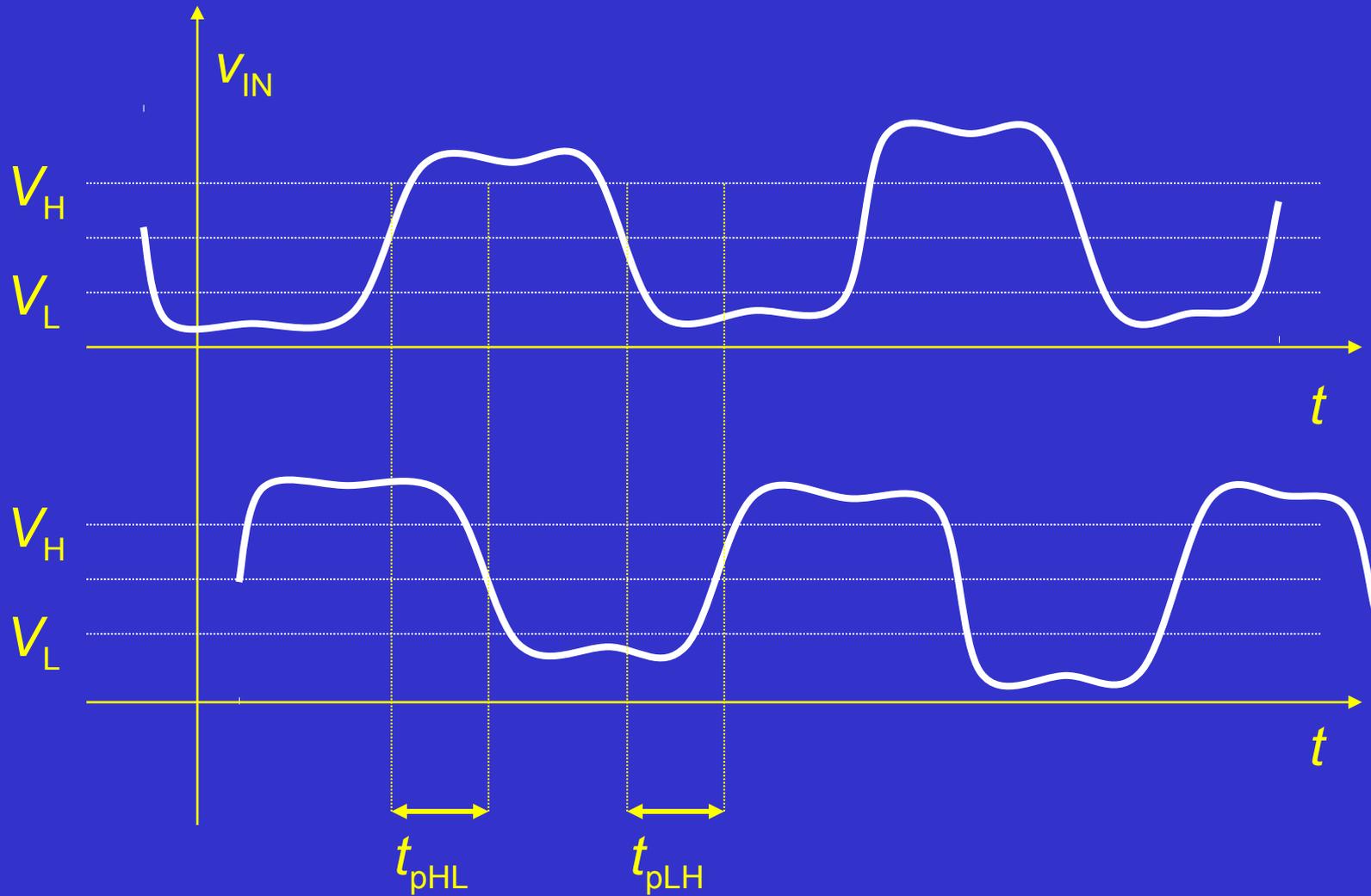
$$|I_{OH\max}| > N \cdot I_{IH} + \frac{V_{OH\min}}{R}$$

$$\frac{V_{OH\min}}{|I_{OH\max}| - N \cdot I_{IH}} < R < \frac{V_{IL}}{NI_{IL}}$$

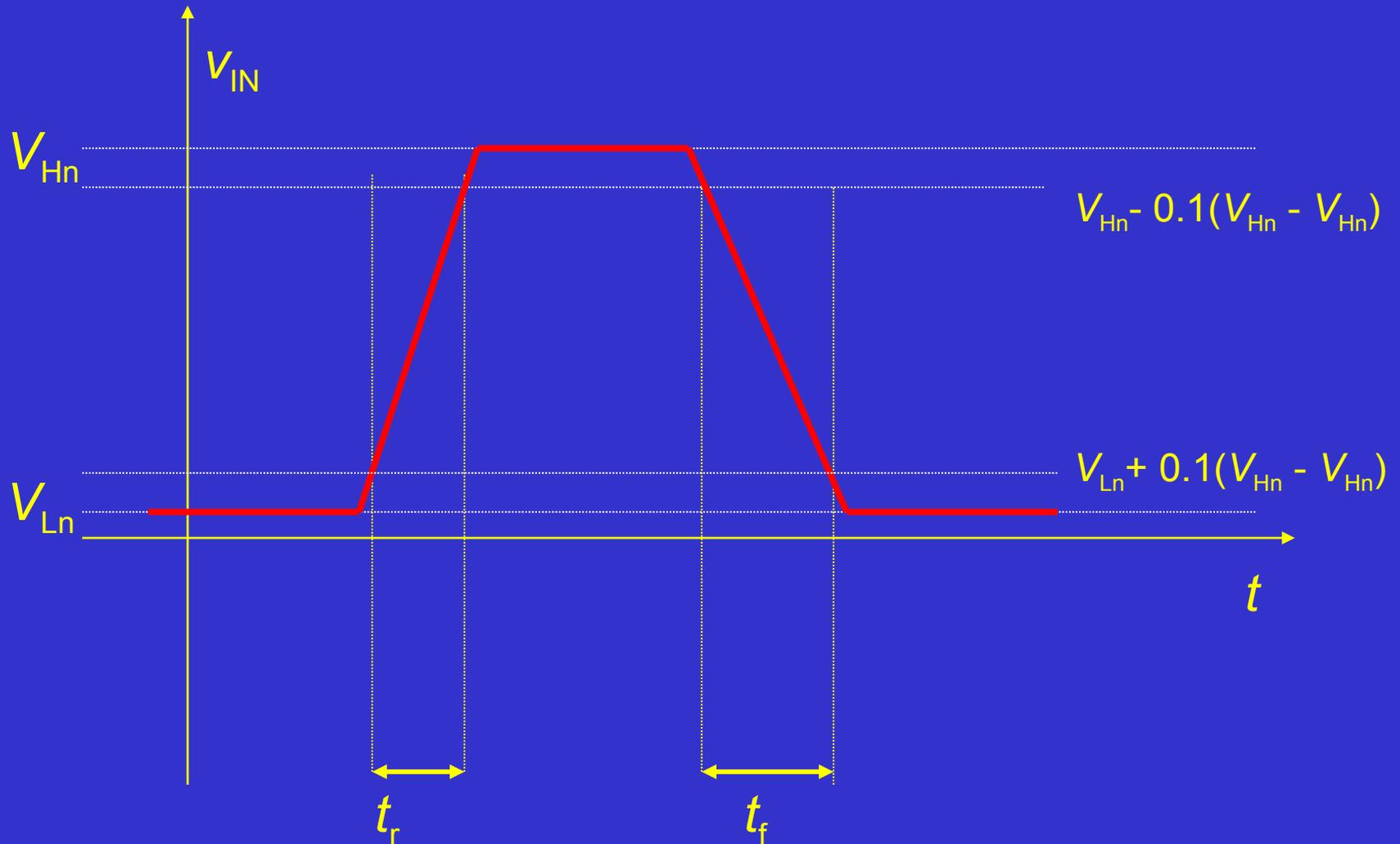
Comportamento dinamico

- **È relativo all'andamento delle tensioni nel tempo**
- **I parametri principali sono i ritardi**
 - **Tempi di propagazione, di accesso, di abilitazione, ecc.**
 - **Occorre fissare dei riferimenti temporali**
 - Si può scegliere l'istante in cui un segnale diventa valido
 - Attraversamento della soglia a metà dell'escursione logica (LS)
- **Si considerano anche i tempi di salita e discesa**
 - **Misurati dal 10% al 90% delle tensioni di regime**

Tempo di propagazione



Tempo di salita e discesa



Famiglie logiche

- **Insieme di circuiti in tecnologia omogenea**
 - **Esistono spesso sottofamiglie sulla base di varianti tecnologiche**
- **Ampia disponibilità di funzioni logiche**
 - **Possibilità di realizzare funzioni generiche**
- **Caratteristiche elettriche omogenee e coerenti**
 - **Stessa alimentazione**
 - **Due porte della stessa famiglia si possono interfacciare senza necessità di circuiti ausiliari**
 - **Caratteristiche dinamiche compatibili**

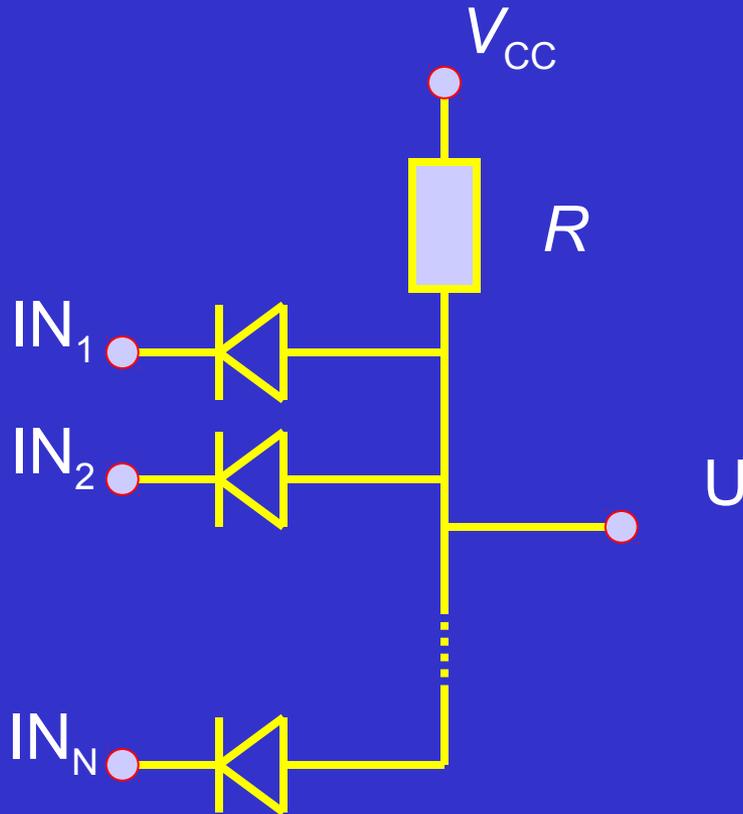
Componenti elettronici per reti logiche

- **Diodi**
- **Transistori**
 - **Bipolari**
 - **Mosfet**
- **Tecniche circuitali**

Porte a diodi

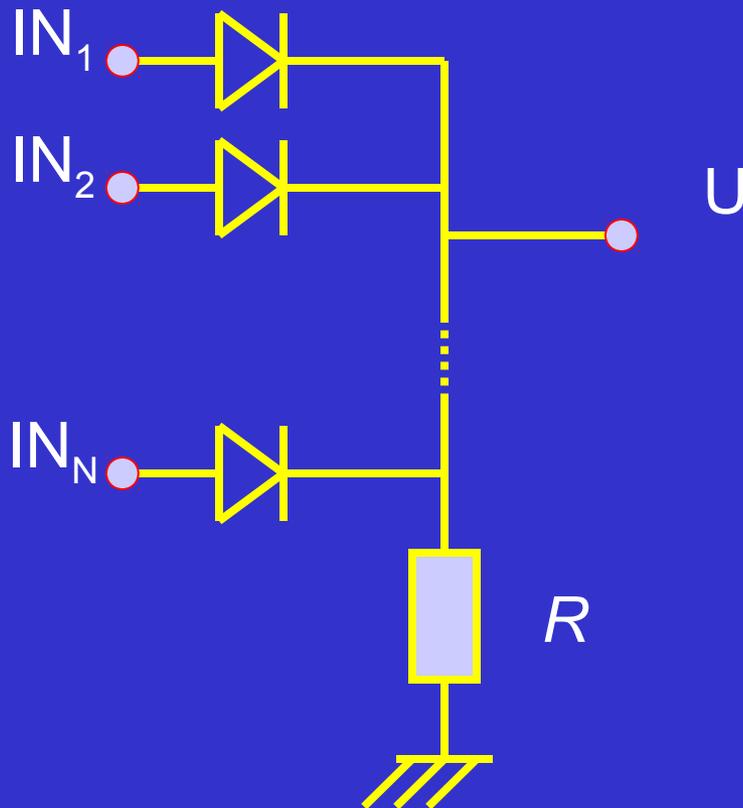
- **Si può sfruttare la caratteristica delle reti a diodo per realizzare funzioni logiche**
 - **Semplici e robuste**
 - **Compatibili con tensioni di alimentazione elevate**
- **Funzioni AND e OR**

AND a diodi



IN1	IN2	IN3	U
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	1

OR a diodi



IN1	IN2	IN3	U
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	1

Limiti delle porte a diodi

- **Non possono realizzare funzioni generiche**
 - Mancano le funzioni invertenti
- **Non hanno rigenerazione dei livelli**
 - Per rigenerare i livelli è necessario un componente amplificatore
- **Non sono unidirezionali**
 - Quando il diodo è in conduzione c'è connessione completa tra ingresso e uscita
- **Soluzione:** logiche a transistori

Logica RTL

➤ Resistor-Transistor Logic

➤ Logica elementare basata sulla configurazione a emettitore comune

➤ Composta da un BJT e due resistenze, R_B e R_C

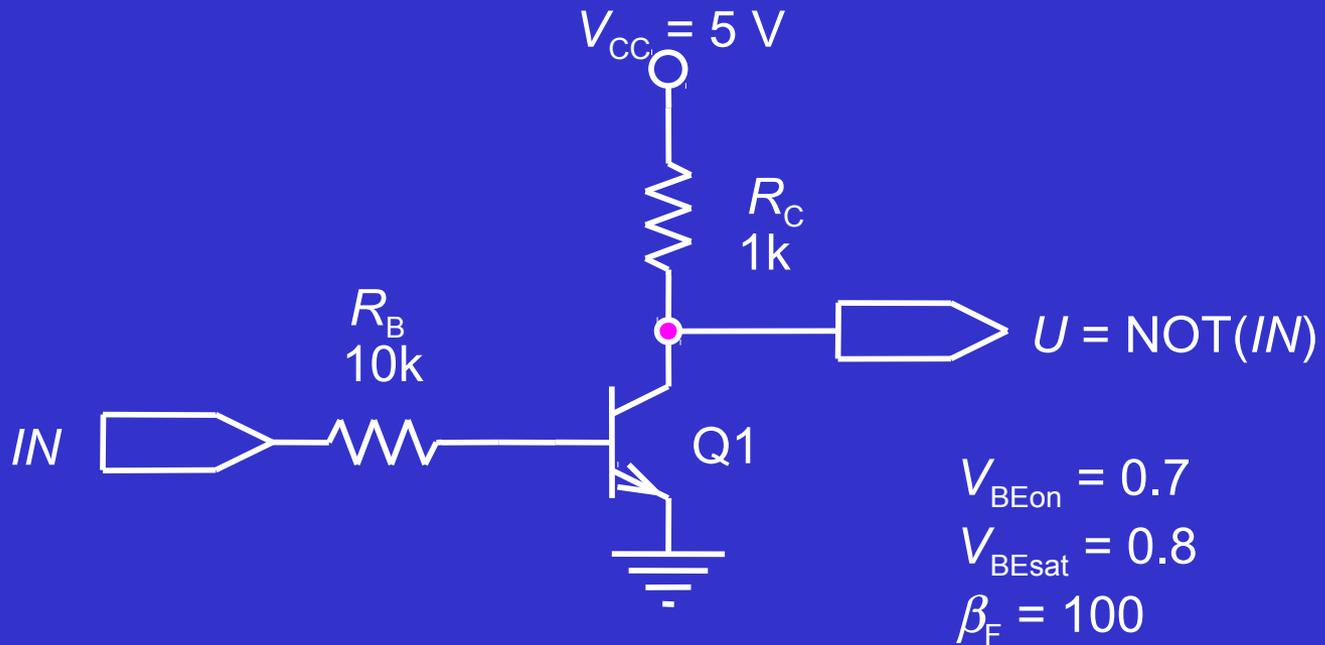
➤ Semplice e robusta

➤ Logiche complesse basate sulla NOR

➤ Usata in circuiti a componenti discreti

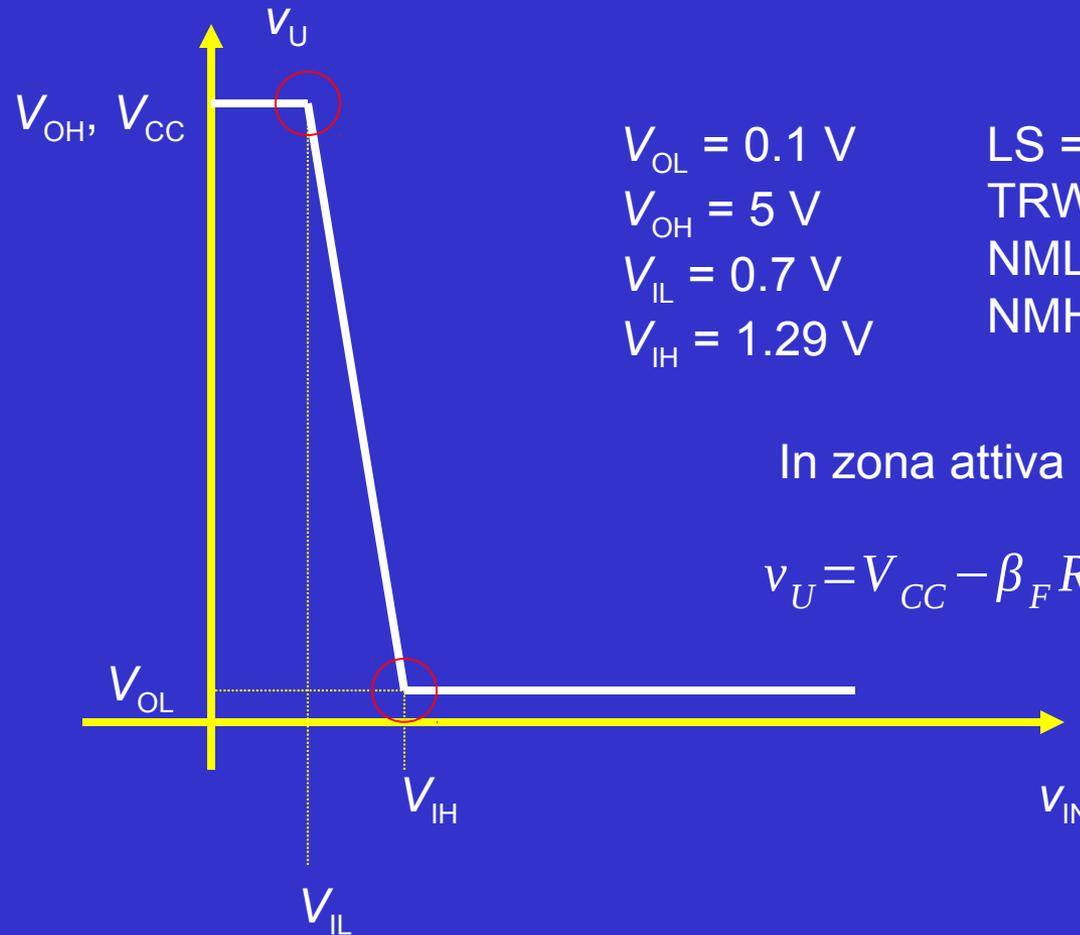
➤ Può essere progettata anche per tensioni di alimentazione elevate

Invertitore



Caratteristica di trasferimento

a vuoto



$$V_{OL} = 0.1 \text{ V}$$

$$V_{OH} = 5 \text{ V}$$

$$V_{IL} = 0.7 \text{ V}$$

$$V_{IH} = 1.29 \text{ V}$$

$$LS = 4.9 \text{ V}$$

$$TRW = 0.59 \text{ V}$$

$$NML = 0.6 \text{ V}$$

$$NMH = 3.71 \text{ V}$$

In zona attiva

$$v_U = V_{CC} - \beta_F R_C \cdot \frac{v_{IN} - V_{BEon}}{R_B}$$

Calcolo del fan-out (1)

- **Quante porte uguali a sé stessa può pilotare questo invertitore?**
- **Sul livello basso**
 - **Un numero molto alto, idealmente illimitato**
 - La porta, con il BJT interdetto, non assorbe corrente ($I_{IL} = 0$)
- **Sul livello alto**
 - **La presenza di un carico abbassa la tensione di uscita**
 - Occorre stabilire un criterio di progetto
 - Si può accettare una riduzione fino ad avere $NMH = NML$, cioè
$$V_{OH(min)} = 1.29 + 0.6 = 1.89$$

Calcolo del fan-out (2)

- Si modellano gli N ingressi pilotati da un livello alto con una resistenza R_B/N in serie a una giunzione in conduzione con tensione V_{BEsat}

- Si ha:
$$i_C = \frac{V_{CC} - V_{BEsat}}{R_C + \frac{R_B}{N}} = \frac{4.2 \text{ V}}{R_C + \frac{R_B}{N}}$$

- Deve essere:
$$v_U = V_{CC} - R_C \cdot i_C \geq 1.89 \text{ V}$$

- Da cui:
$$R_C \cdot i_C \leq 3.11 \text{ V}$$

Calcolo del fan-out (3)

➤ Sostituendo il valore di i_c nella disequazione si ottiene un vincolo per N

➤ In particolare:

$$4.2 \cdot R_C \leq 3.11 \cdot \left(R_C + \frac{R_B}{N} \right)$$

➤ Da cui:

$$N \leq \frac{R_B}{R_C \left(\frac{4.2}{3.11} - 1 \right)} = 28.53$$

➤ Per cui, in conclusione, N è al massimo 28

Prestazioni dinamiche

➤ Transizione 1-0

- Il transistor deve passare dalla condizione di interdizione alla zona attiva e quindi alla saturazione
- Il livello basso V_L è raggiunto rapidamente, ma l'accumulo di cariche in base prosegue anche dopo

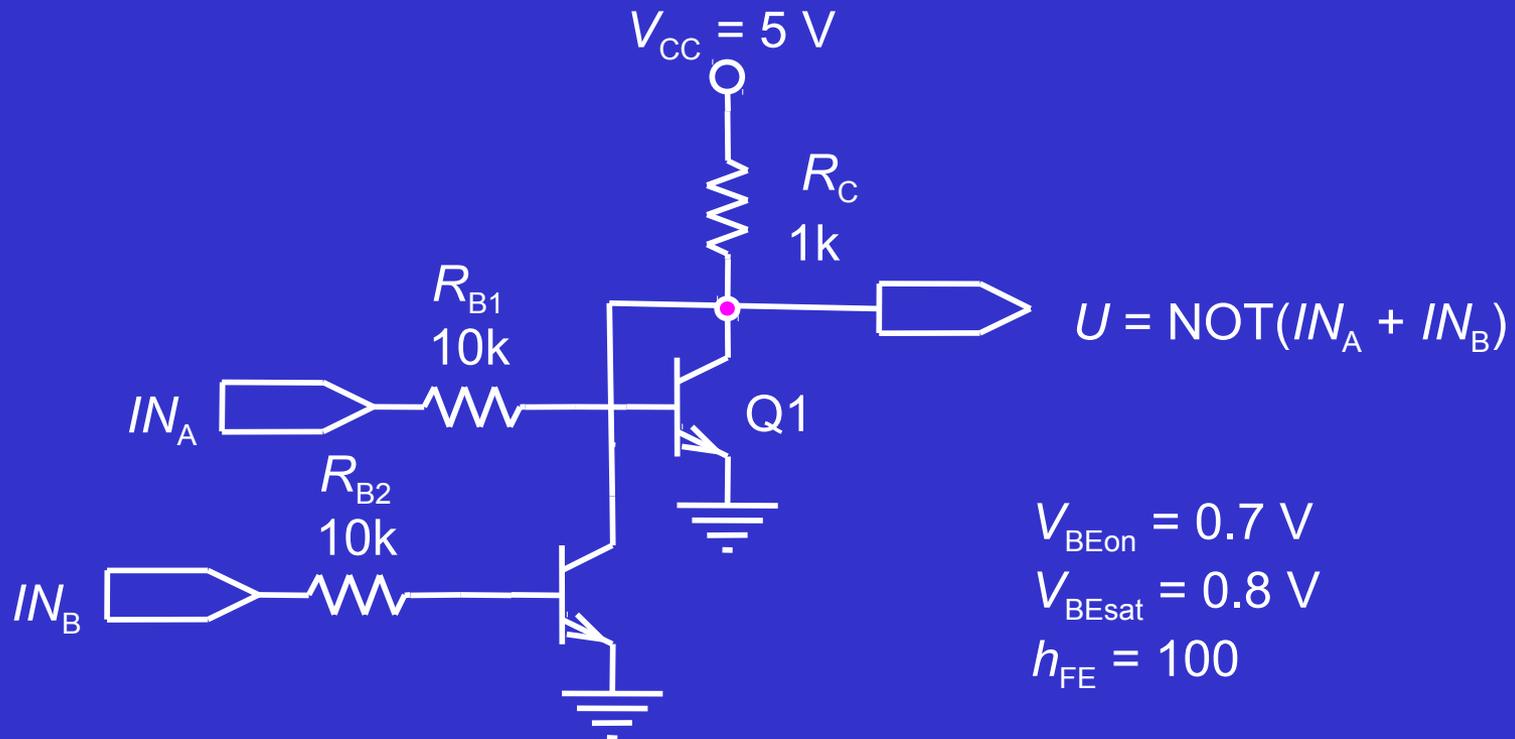
➤ Transizione 0-1

- Il BJT passa dalla saturazione all'interdizione, passando per la zona attiva
- Prima di cambiare v_{CE} , il transistor deve uscire dalla zona di saturazione

➤ Transizioni dissimmetriche: globalmente lenta

Logiche RTL complesse

- Per costituire una famiglia occorre la possibilità di realizzare funzioni logiche generiche
 - Facile realizzare la funzione NOR



Limiti della logica RTL

➤ Statici

- Margini di rumore non elevati
- Difficoltà a realizzare logiche complesse a NOR
- Considerevole dissipazione di potenza (con $U = 0$)

➤ Dinamici

- Lenta

Logica TTL

➤ Transistor-Transistor Logic

➤ Evoluzione della RTL

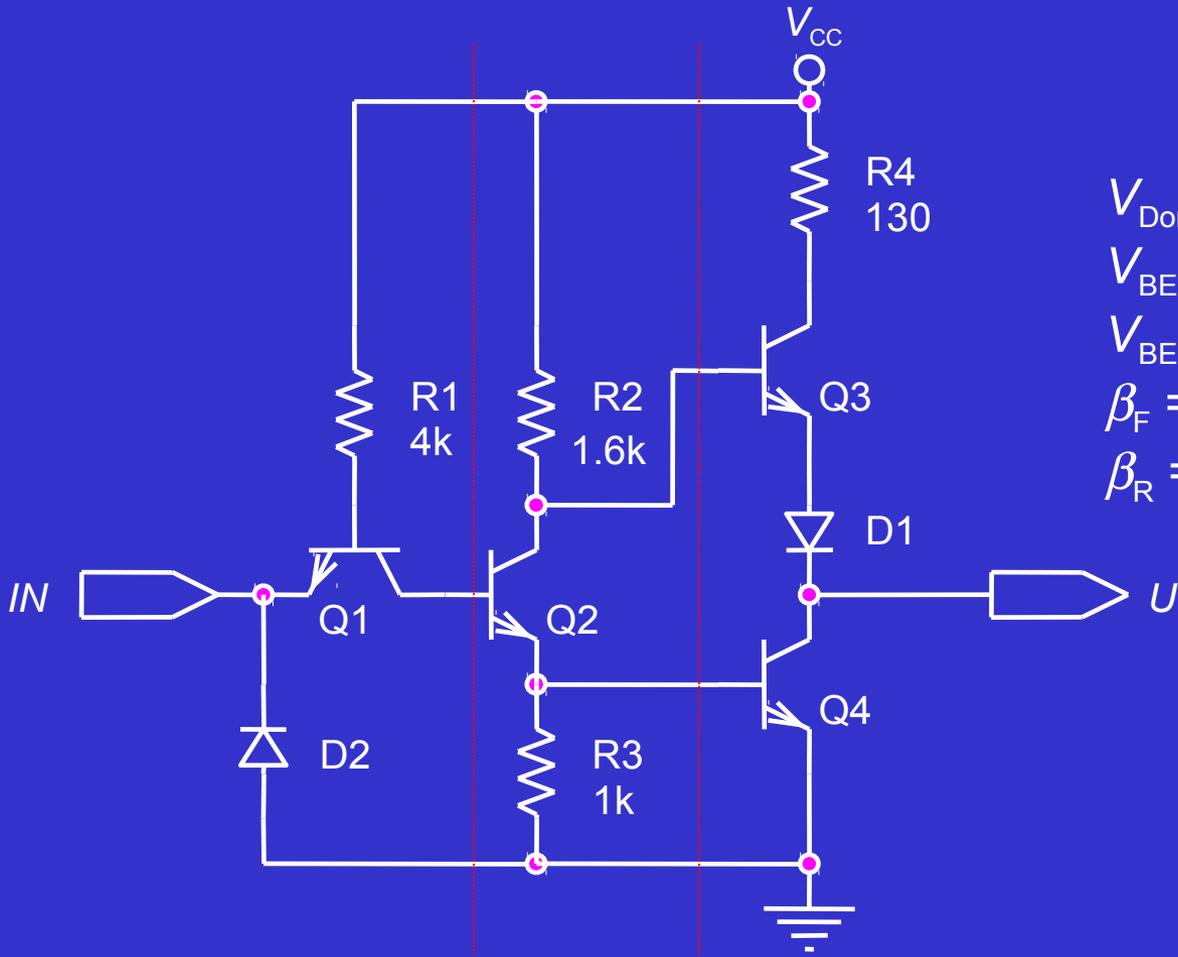
- Transistore in ingresso usato in modo particolare
- Saturazione con bassa corrente (0) o zona attiva inversa (1)
- Funziona con tensione di alimentazione 5 V
 - Esistono sottofamiglie a 3.3 V

➤ Logiche complesse basate su NAND e NOR

➤ Molto diffusa

- Usata in circuiti su scheda per logica sparsa
- Abbastanza veloce (10÷30 ns)

Invertitore



- $V_{Don} = 0.7 V$
- $V_{BEon} = 0.7 V$
- $V_{BEsat} = 0.8 V$
- $\beta_F = 100$
- $\beta_R = 0.1$

Connessione
TTL

Phase
splitter

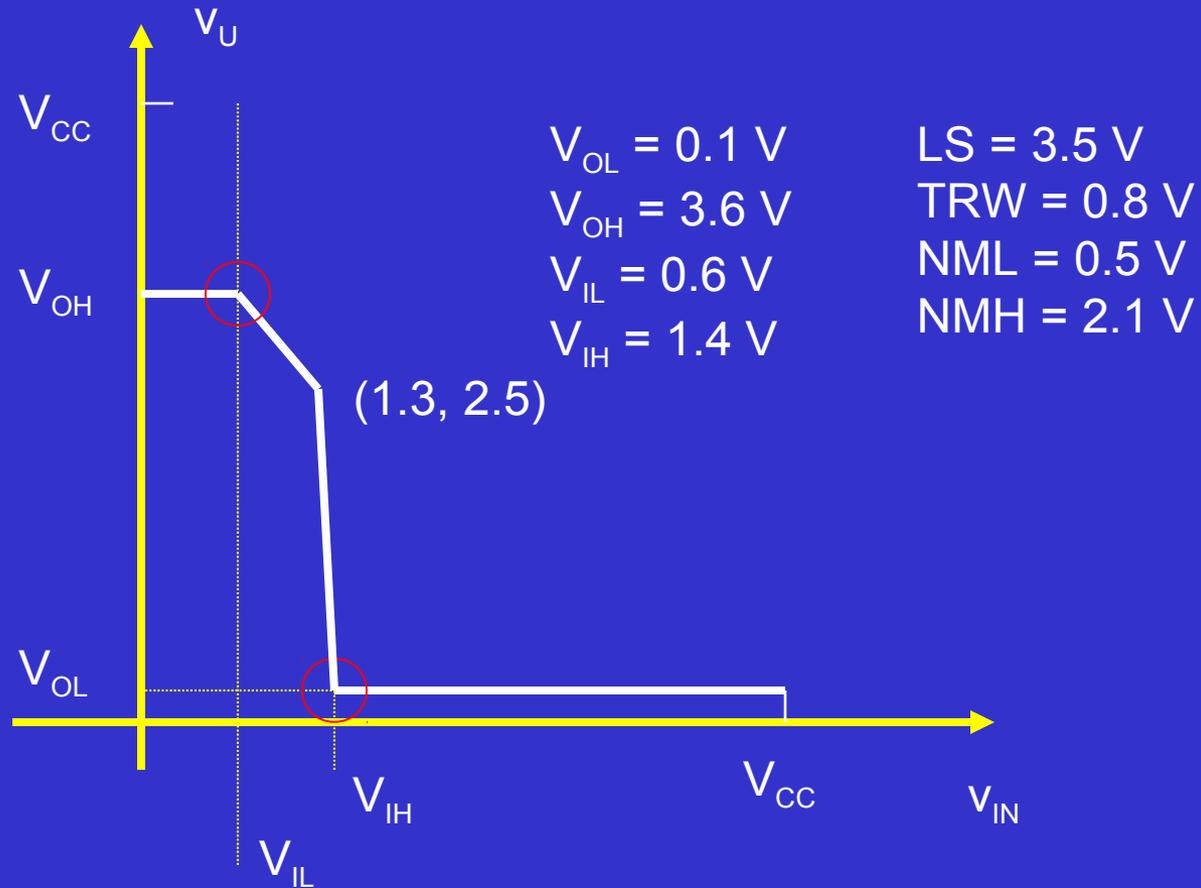
Totem
pole

Funzionamento

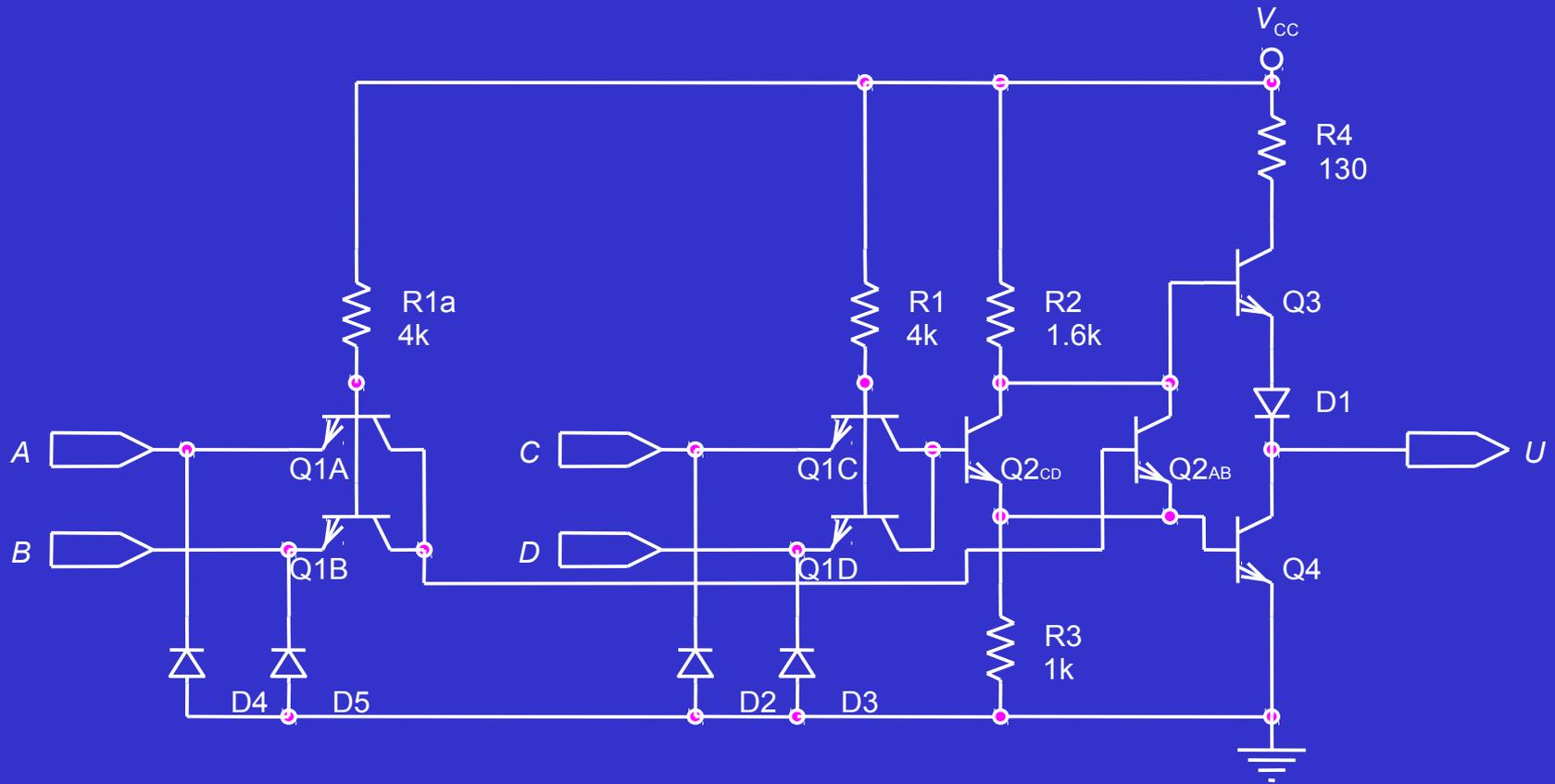
- **Si possono individuare regioni di funzionamento**
 - **Per v_{IN} tra 0 e 0.6 V**
 - Q1 saturo, Q2 e Q4 interdetti, Q3 e D1 attivi
 - **Per v_{IN} tra 0.6 e 1.3 V**
 - Q2 in zona attiva, l'uscita scende
 - **Per v_{IN} tra 1.3 e 1.4 V**
 - Q4 in zona attiva (a un certo punto Q3 satura)
 - **Per v_{IN} tra 1.4 e 1.5 V**
 - Q4 saturo (Q3 torna in zona attiva e poi Q3 e D1 interdicono)
 - **Per v_{IN} oltre 1.5 V**
 - Q2 saturo, Q3 e D1 interdetti, Q1 in zona attiva inversa

Caratteristica di trasferimento

a vuoto



Logiche TTL complesse



$$U = \overline{AB} + \overline{CD}$$

Sottofamiglie

- **La famiglia TTL ha avuto una notevole evoluzione**
 - **Sono nate sottofamiglie con caratteristiche particolari**
 - **Indicate nella sigla del componente (es: 74LS00)**
 - **Innovazioni circuitali**
 - Circuito squadratore
 - Stadio di uscita Darlington
 - **Innovazioni tecnologiche**
 - Uso del transistor Schottky per ridurre gli effetti della saturazione (famiglia S, LS, AS, ALS)
 - Uso di transistori CMOS (famiglia HCT, ACT)

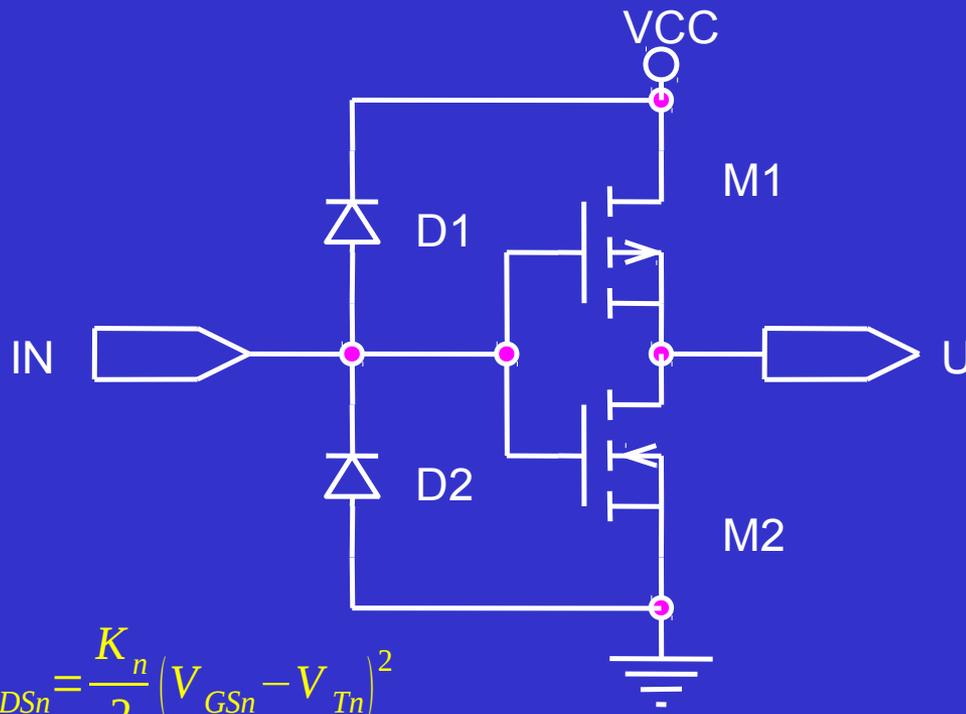
Limiti della logica TTL

- **Elevata dissipazione di potenza statica**
 - Dell'ordine dei milliwatt per porta
- **Ridotte possibilità di integrazione**
 - Si arriva fino al livello LSI ($\sim 10^4$ transistori)

Logica CMOS

- **Complementary MOS Logic**
 - **Uso di componenti a effetto di campo**
 - Transistori MOS sia di tipo n che di tipo p
 - Nessuna corrente di pilotaggio
 - Nessuna corrente statica durante il funzionamento
 - Diverse tensioni di alimentazione (secondo la tecnologia)
 - Circuiti da 15 V a meno di 2 V
 - **Logiche complesse basate su NAND e NOR**
 - **La più diffusa per realizzare sistemi complessi integrati**
 - Realizzati direttamente su un unico chip di silicio
 - Transistori di dimensioni nanometriche

Invertitore



$V_{CC} = 5 \text{ V}$
 $V_{Tn} = |V_{Tp}| = 1 \text{ V}$
 $K_n = K_p = 20 \mu\text{A/V}^2$

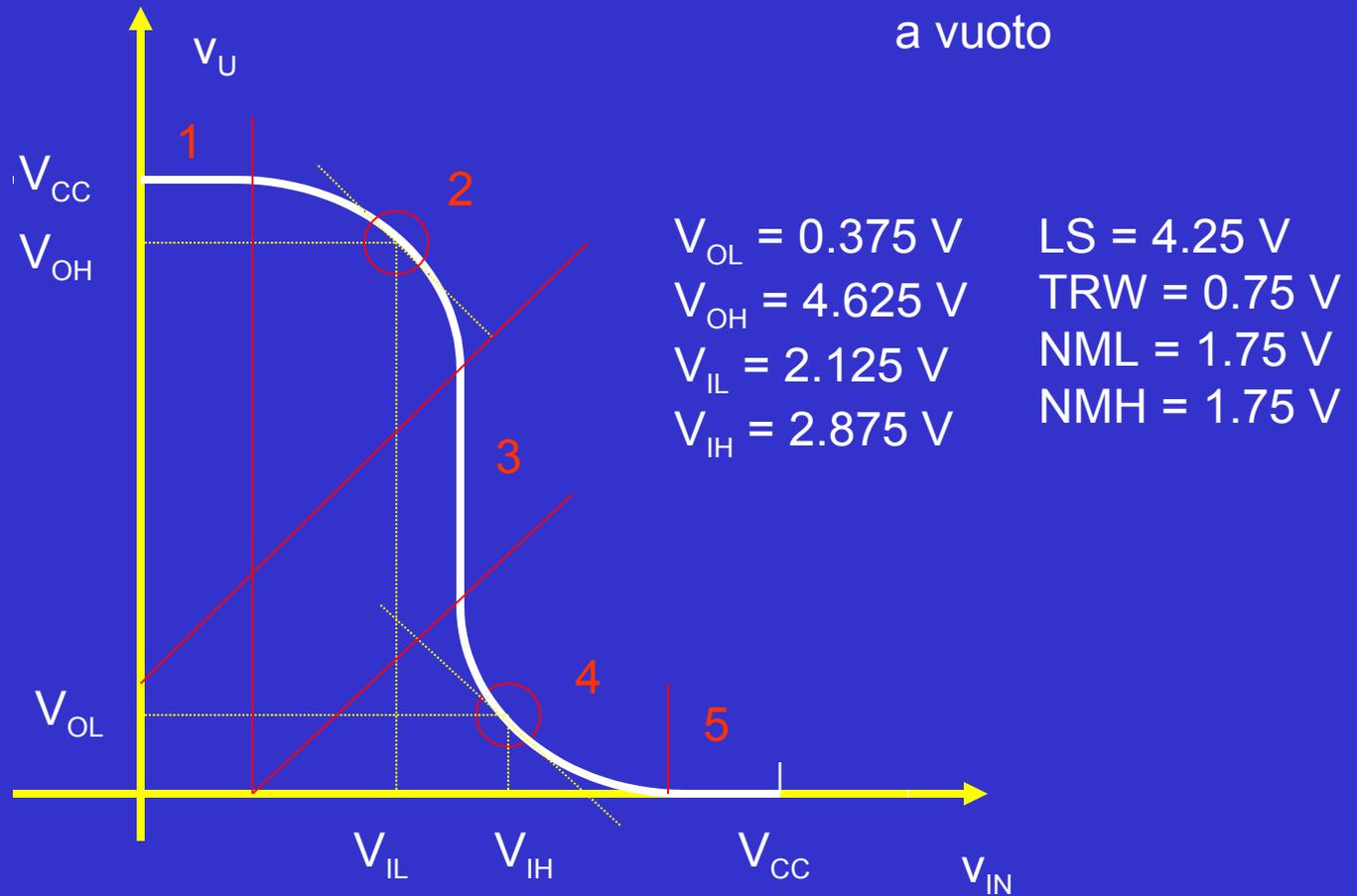
Saturazione $I_{DSn} = \frac{K_n}{2} (V_{GSn} - V_{Tn})^2$

Triodo $I_{DSn} = \frac{K_n}{2} V_{DSn} (2V_{GSn} - V_{DSn} - 2V_{Tn})^2$

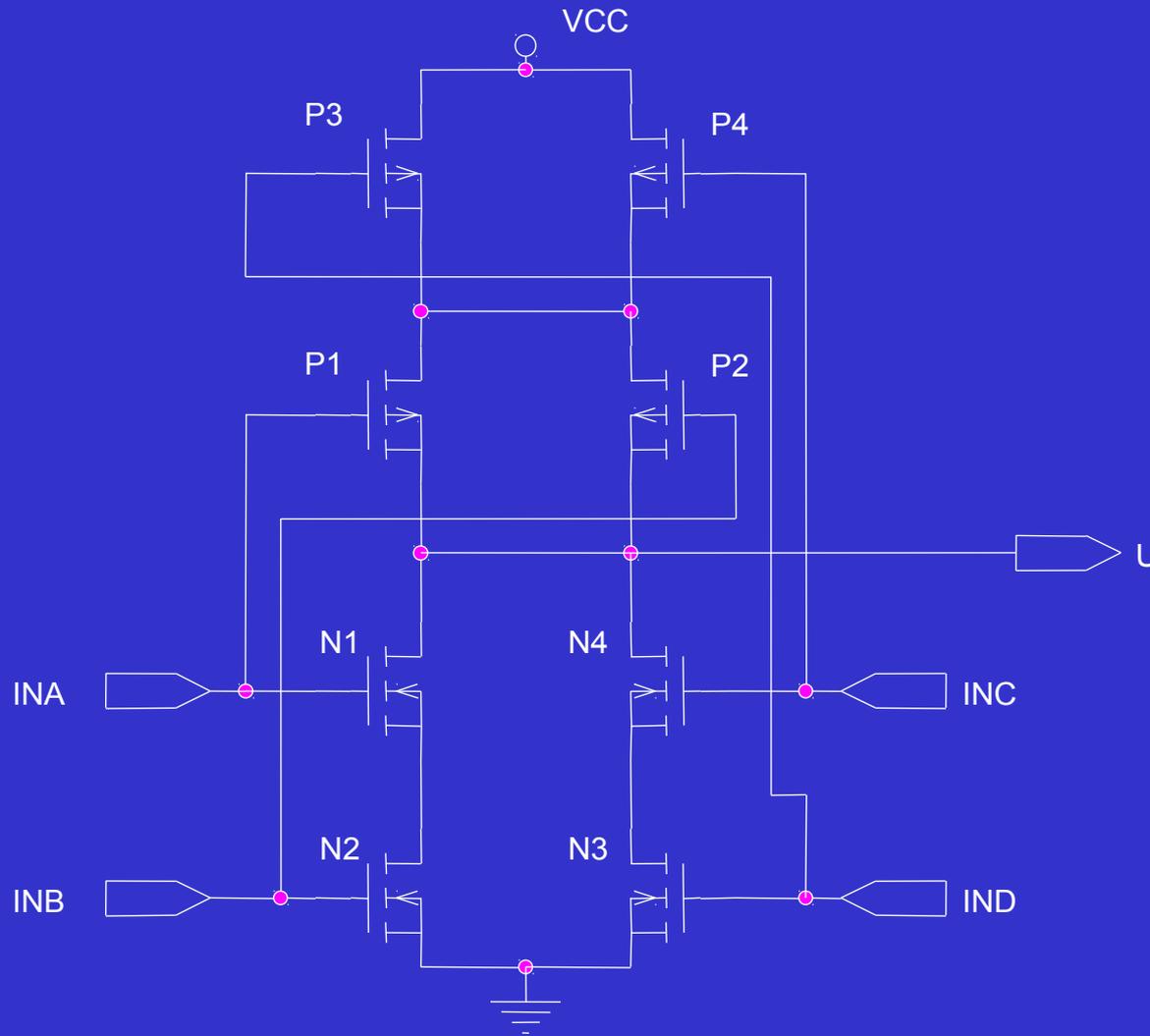
Funzionamento

- **Si possono individuare regioni di funzionamento**
 - **Per v_{IN} tra 0 e 1 V**
 - M1 in zona triodo, M2 interdetto
 - **Per v_{IN} tra 1 e 2.5 V**
 - M1 in zona triodo, M2 saturo
 - **Per v_{IN} pari a 2.5 V**
 - Entrambi saturi. La corrente in entrambi i MOS dipende solo da V_{GS}
 - Per simmetria $V_U = V_{DS2} = -V_{DS1} = 2.5 V$
 - **Per v_{IN} tra 2.5 e 5 V**
 - A causa della simmetria dei transistori M1 e M2, la caratteristica si può ricavare dalla relazione $V_U(v_{IN}) = 5 V - V_U(5 V - v_{IN})$

Caratteristica di trasferimento



Logique CMOS complexe



$$U = \overline{IN1 \cdot IN2 + IN3 \cdot IN4}$$

Prospettive della logica CMOS

- **Estrema miniaturizzazione**
 - Transistori da poche decine di nanometri
 - Miliardi di transistori su un singolo chip
- **Riduzione della potenza dissipata**
 - Riduzione della tensione di alimentazione
- **Aumento della velocità**
 - Tempi di propagazione dell'ordine delle decine di picosecondi
- **Una strada promettente**
 - Realizzazione di interi sistemi (sensore, front-end, logica) su un unico chip