

SCHEDA <b>ASE1502</b> (di allenamento)		Data: <b>31 Gennaio 2015</b>
Cognome	Nome	

### ESERCIZIO N°1

6 punti

a) Determinare la mappa di Karnaugh della funzione logica  $Y$  corrispondente alla seguente espressione booleana.

$$[(\overline{A+B})C] \oplus [\overline{AD} + B(A+\overline{C})] \oplus \overline{BD}$$

b) Realizzare con porte logiche elementari in forma PS a minimo numero di letterali la funzione del punto a).

c) Se porte logiche elementari (AND, OR, NOT) a  $K$  ingressi hanno  $T_{pd} = 0,5 \text{ ns} + 0,5 K \text{ ns}$  disegnare nel tempo la risposta  $Y$  della porta a un impulso rettangolare di 3 ns della variabile  $B$ , quando tutti gli altri ingressi mantengono un valore nullo. Si assuma per le ascisse una scala di 2 ns/quadretto.

### ESERCIZIO N°2

5 punti

a) Usando blocchi logici noti (porte logiche elementari, full-adder, mux e demux...) realizzare una rete in grado di sottrarre in virgola fissa a 8 bit un numero in traslazione da uno in modulo e segno, fornendo il risultato in complemento a 2.

b) Realizzare la rete che valuta l'overflow nella sottrazione precedente.

### ESERCIZIO N°3

5 punti

Dati i numeri  $A = 3,7$   $B = -22,4$  e  $C = -0,09$

a) Determinare le caratteristiche della loro rappresentazione su 8 bit in virgola fissa e in MS, che presenta il minimo errore assoluto; valutare in ogni caso l'errore relativo.

b) Determinare la rappresentazione di  $A$ ,  $B$  e  $C$  in virgola mobile in formato standard IEEE 754 singola precisione e valutare anche in questo caso l'errore di rappresentazione relativo.

## **ESERCIZIO N°4**

4 punti

Progettare un contatore sincrono (up/down con abilitazione) modulo 23 facendo uso di T-FF.

## **ESERCIZIO N°5**

4 punti

Progettare una macchina sequenziale sincrona, con il minimo numero di flip-flop, secondo il modello di Moore con un ingresso e una uscita in grado di generare ogni volta che l'ingresso viene rilevato a 1 una sequenza pari a 010011. Durante la generazione della sequenza, l'ingresso non viene preso in considerazione. In assenza del comando di generazione, l'uscita della macchina deve restare a 0.

## **ESERCIZIO N°6**

9 punti

Realizzare una subroutine per un microcontrollore della famiglia AVR che valuta il determinante di una matrice 3x3 contenuta in memoria, per righe, a partire dall'indirizzo contenuto in Z. Gli elementi della matrice sono singole cifre esadecimali e il risultato deve essere lasciato nella coppia di registri R1:R0. Esistono casi in cui il risultato non è rappresentabile?

① Usando l'espansione di Shannon si ottiene

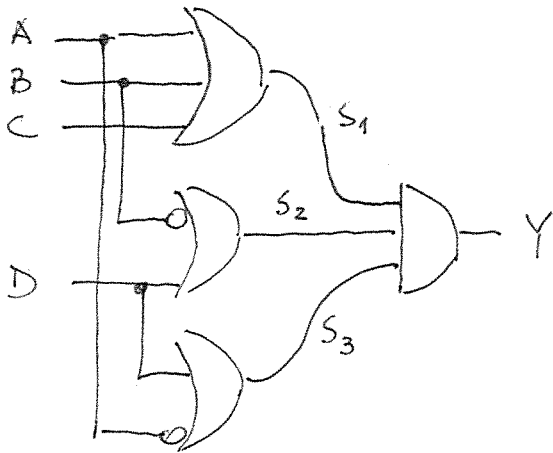
$$\begin{aligned}
 & [(\overline{A+B})C] \oplus [\overline{AD} + B(A+\overline{C})] \oplus \overline{BD} = \\
 & = B\{[\overline{AD} + A + \overline{C}] \oplus \overline{D}\} + \overline{B}\{\overline{AC} \oplus AD\} = \\
 & = BAD + \overline{B}\overline{A}\overline{D} + \overline{B}\overline{A}D + \overline{B}\overline{A}C = \overline{B}\overline{A}C + \overline{B}\overline{A}D + \overline{B}\overline{A}\overline{D}
 \end{aligned}$$

Mappe di Karnaugh

		AB			
		00	01	11	10
CD	00	0	0	0	0
	01	0	1	1	1
11	1	1	1	1	
10	1	0	0	0	

Sintesi ottima PS  
 si hanno 3 implicati essenziali

$$Y = (A+B+C)(\overline{B}+D)(\overline{A}+D)$$



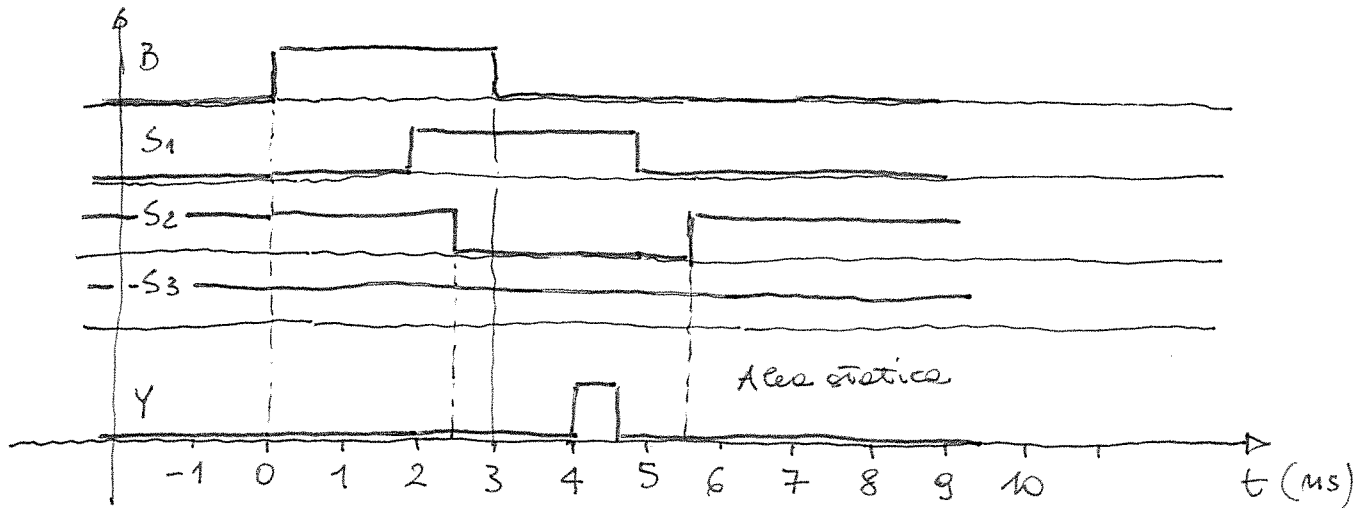
$\tau_{NOT} : 1\text{ms}$

$\tau_{OR3} : 2\text{ms}$

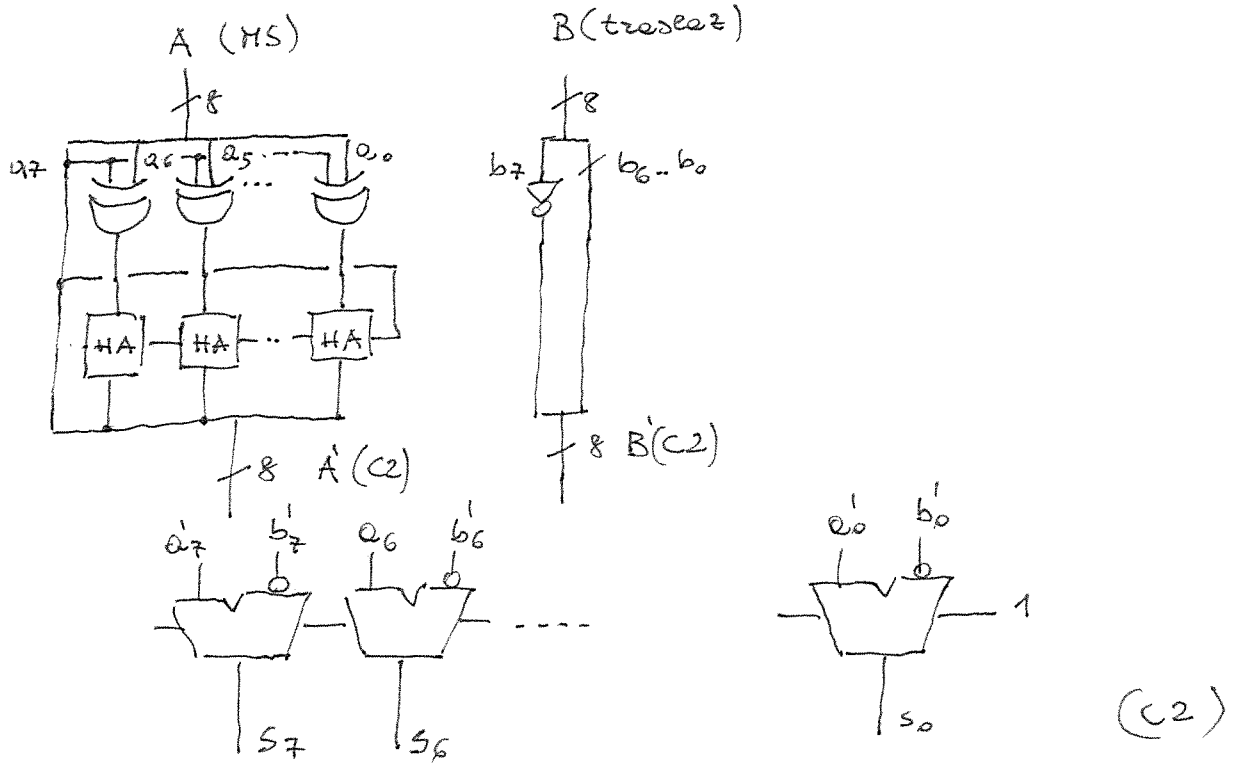
$\tau_{OR2} : 1,5\text{ms}$

$\tau_{AND3} : 2\text{ms}$

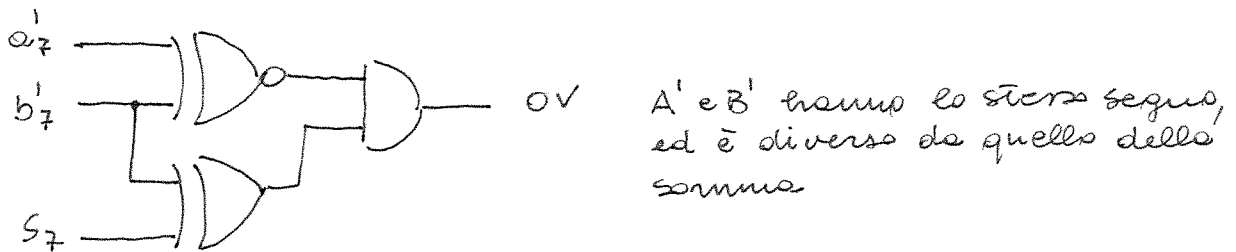
Simulazione



② Per realizzare la rete richiesta, si convertono entrambi i dati in complemento a 2 e si usa un normale sottrattore realizzato con full-adder



Rete per l'overflow



③

Per la parte intera con segno sono necessari 6 bit (-31..31)  
 Restano quindi 2 bit per la parte frazionaria.

Rappresentazione MS (arrotondamento)

$A = 3,7;$	000011.11	$\epsilon_A = 0,05$	$\epsilon_r = 1,35\%$
$B = -22,4;$	110110.10	$\epsilon_A = 0,1$	$\epsilon_r = 0,446\%$
$C = -0,09;$	100000.00	$\epsilon_A = 0,09$	$\epsilon_r = 100\%$

Si osserva l'inadeguatezza delle rappresentazioni in virgole fisse per rappresentare numeri con grande range dinamico (rapporto tra max e min modulo)

Si ricorda che  $\epsilon_A = |x - \hat{x}|$  e  $\epsilon_r = \frac{\epsilon_A}{|x|}$

In notazione IEEE 754 (binario 32) si ha

$$3,7 = (-1)^0 2^1 \cdot (1 + 0,85 \cdot 2^{-23} \cdot 2^{-23}) \quad \epsilon_r = 51,5 \cdot 10^{-9}$$

$s = 0$        $e = 128$        $B = 7130316$

$$[0 | 10000000 | 110.1100.1100.1100.1100.1100]$$

$$-22,4 = (-1)^1 2^4 \cdot (1 + 0,4 \cdot 2^{-23} \cdot 2^{-23}) \quad \epsilon_r = 17,03 \cdot 10^{-9}$$

$s = 1$        $e = 131$        $B = 3355443$

$$[1 | 10000011 | 011.0011.0011.0011.0011.0011]$$

$$-0,09 = (-1)^1 2^{-4} \cdot (1 + 0,44 \cdot 2^{-23} \cdot 2^{-23}) \quad \epsilon_r = 39,7 \cdot 10^{-9}$$

$s = 1$        $e = 123$        $B = 3690988$

$$[1 | 01111011 | 011.1000.0101.0001.1110.1100]$$

④ Partiamo come base da un contatore modulo 32 con abilitazione  
 Osserviamo le commutazioni

UP (da 22 a  $\phi$ )

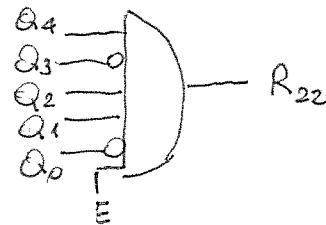
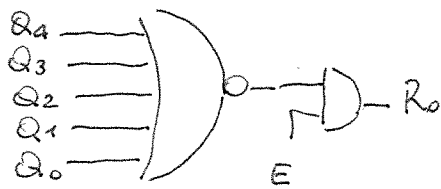
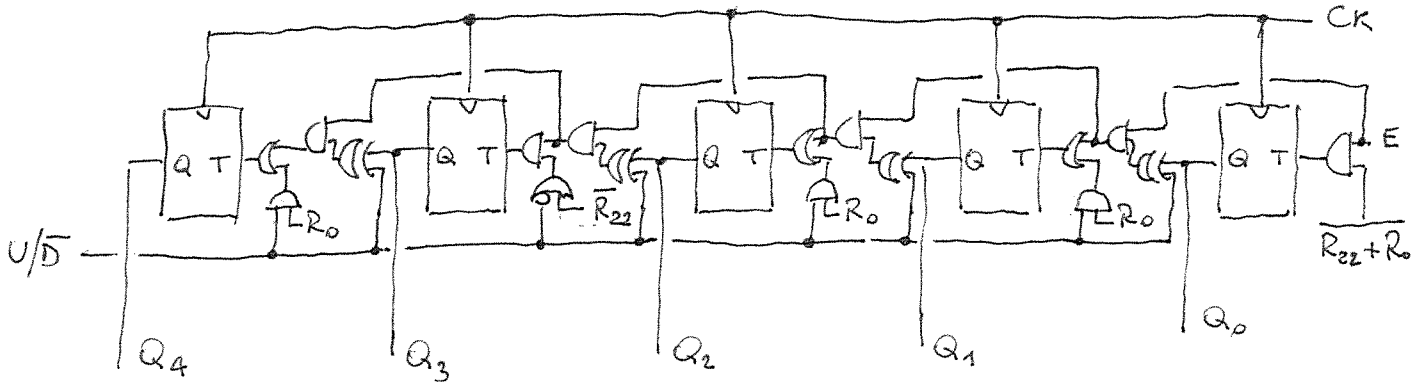
DOWN (da  $\phi$  a 22)

10110  
 -----  
 10111  
 -----  
 00000  
 F-FFB

00000  
 -----  
 11111  
 -----  
 10110  
 B B

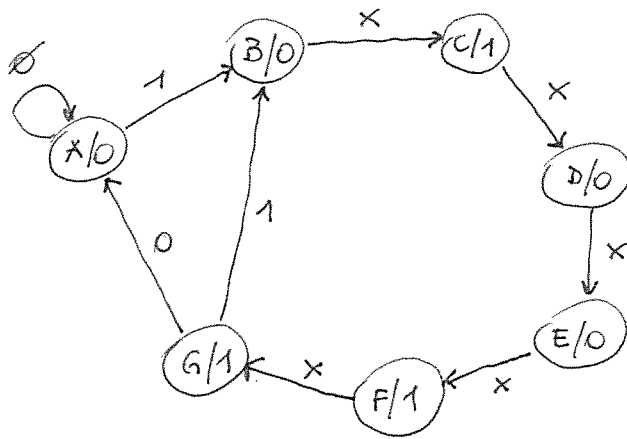
senza modifiche

richiesto



L'effetto di modifica è condizionato dal segnale  $U/D$

⑤ Grafo di flusso



Occorrono 3 FF e non ci sono stati equivalenti

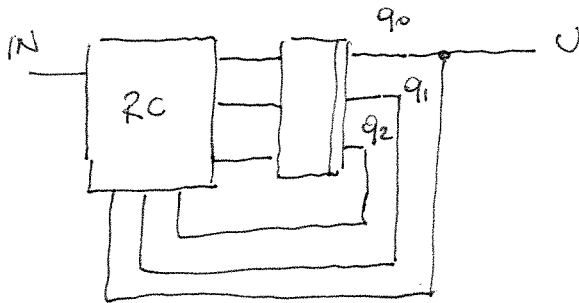
Codifica degli stati

A	000	(resti)
B	010	
C	011	
D	110	
E	100	
F	101	
G	111	
(H)	001	

Per la codifica degli stati, si è scelto di semplificare la rete per l'uscita ( $U = q_0$ )

$q_2 q_1 q_0$

Architettura



Rate per lo stato futuro

	$N q_2$	00	01	11	10
$q_1 q_0$	00	000	101	101	010
	01	-	111	111	-
	11	110	000	010	110
	10	011	100	100	011

$q_2'$ :

0	1	1	0
-	1	1	-
1	0	0	1
0	1	1	0

$$\bar{q}_0 = q_2 \bar{q}_1 + q_2 \bar{q}_0 + \bar{q}_2 q_0$$

$q_1'$ :

0	0	0	1
-	1	1	-
1	0	1	1
1	0	0	1

$$q_1' = \bar{q}_2 q_1 + 1N \bar{q}_2 + 1N q_0 + \bar{q}_1 q_0$$

$q_0'$ :

0	1	1	0
-	1	1	-
0	0	0	0
1	0	0	1

$$q_0' = q_2 \bar{q}_1 + \bar{q}_2 q_1 \bar{q}_0$$

## 6

Realizzare una subroutine per un microcontrollore della famiglia AVR che valuta il determinante di una matrice 3x3 contenuta in memoria, per righe, a partire dall'indirizzo contenuto in Y. Gli elementi della matrice sono singole cifre esadecimali e il risultato deve essere lasciato nella coppia di registri R1:R0. Esistono casi in cui il risultato non è rappresentabile?

```
/* Non si hanno problemi di rappresentabilità in quanto il risultato (in modulo)
è sicuramente minore di  $2 \cdot 15^3 = 6750$  (15,15,0,0,15,15,15,0,15).
*/
```

```
det3x3:
push R2 //salva i registri usati
push R3
push R16
push R17
.push R18

ldd R16,Z+0 //a11
ldd R17,Z+4 //a22
ldd R18,Z+8 //a33
mul R16,R17
mul R0,R18 //il primo prodotto al massimo dà 225
movw R3:R2,R1:R0

ldd R16,Z+1 //a12
ldd R17,Z+5 //a23
ldd R18,Z+6 //a31
mul R16,R17
mul R0,R18
add R2,R0
adc R3,R1

ldd R16,Z+2 //a13
ldd R17,Z+3 //a21
ldd R18,Z+7 //a32
mul R16,R17
mul R0,R18
add R2,R0
adc R3,R1

ldd R16,Z+2 //a13
ldd R17,Z+4 //a22
ldd R18,Z+6 //a31
mul R16,R17
mul R0,R18
sub R2,R0
sbc R3,R1

ldd R16,Z+0 //a11
ldd R17,Z+5 //a23
ldd R18,Z+7 //a32
mul R16,R17
mul R0,R18
sub R2,R0
sbc R3,R1
```



```
ldd R16,Z+1 //a12
ldd R17,Z+3 //a21
ldd R18,Z+8 //a33
mul R16,R17
mul R0,R18
sub R2,R0
sbc R3,R1
movw R1:R0,R3:R2

pop R18 //rispristina i registri
pop R17
pop R16
pop R3
pop R2
ret
```