

SCHEDA ASE1507		Data: 11 Settembre 2015
Cognome	Nome	

ESERCIZIO N°1

7 punti

Realizzare una subroutine per il microcontrollore AVR XMEGA256A3BU, che valuta il determinante di una matrice 2x2, i cui elementi sono interi (con segno) da 1 byte, posti in memoria in ordine, riga per riga, a partire dall'indirizzo contenuto in Z. Il risultato deve essere lasciato nella coppia di registri R1:R0. Si può avere overflow?

ESERCIZIO N°2

5 punti

Realizzare una macchina sequenziale sincrona secondo il modello di Mealy sincronizzata con 3 ingressi X_2, X_1, X_0 che sono le cifre binarie di un numero senza segno e una uscita U , in grado di individuare ponendo a 1 l'uscita tutti i casi in cui 3 ingressi consecutivi rappresentano numeri in sequenza crescente o decrescente. La macchina deve essere dotata di reset asincrono, che la riporta in uno stato di partenza. Non è richiesta ottimizzazione.

ESERCIZIO N°3

5 punti

Disegnare lo schema logico di un registro universale a 8 bit, con un selettore costituito da 3 linee di controllo S_2, S_1, S_0 , 8 uscite Q_i ($i = 0..7$), una uscita (verso il carry) C_{out} , 8 ingressi D_i ($i = 0..7$), e un ingresso C_{in} (proveniente dal carry)

in grado di implementare le seguenti funzioni (analoghe a quelle svolte dai registri del microcontrollore XMEGA256A3BU) corrispondenti al valore del selettore S :

0 no change, 1 CLR, 2 LD (external parallel input), 3 ASR, 4 LSR, 5 ROR, 6 ROL, 7 COM

ESERCIZIO N°4

6 punti

- Determinare la mappa di Karnaugh di una funzione logica $Y_{err} = f(X_4, X_3, X_2, X_1, X_0)$ dove X_4, X_3, X_2, X_1 rappresentano due cifre consecutive in codifica GRAY, mentre X_0 è un bit di parità (logica parità: DISPARI).
 Y_{err} vale 1 se si verifica almeno una di queste condizioni: la codifica GRAY non è rispettata oppure la regola di parità non è corretta (Y_{err} vale 0 altrimenti).
- Realizzare con circuito a porte logiche AND, OR, NOT e 2 livelli di logica la funzione del punto a) scegliendo tra diverse possibili soluzioni quella che minimizza numero di porte logiche.
- Se porte logiche elementari (AND, OR, NOT) a K ingressi hanno $T_{pd} = 0,15 \text{ ns} + 0,2 K \text{ ns}$, quale è il T_{pd} massimo del circuito di cui al punto b)? Se ingressi e uscite del circuito combinatorio di cui al punto b) sono registrati con registri aventi $T_{co} = 0,5 \text{ ns}$, $T_{hold} = 0,5 \text{ ns}$ e $T_{setup} = 0,5 \text{ ns}$ quale è la massima frequenza di lavoro possibile?

ESERCIZIO N°5

4 punti

Un circuito elettronico per telecomunicazioni che connette 16 unità che trasmettono e 16 che ricevono, è composto dalla cascata di un multiplexer 16 to 1 e di un demultiplexer 1 to 16:

- a) Realizzare il circuito usando decoder e porte tri-state.
- b) Realizzare il circuito usando mux 2 to 1 e demux 1 to 2.

ESERCIZIO N°6

6 punti

Dati i 4 numeri $\{\pi, -\pi, e, -e\}$, ipotizzando che sia accettabile un errore minore o uguale a 10^{-1} sulla parte frazionaria:

- a) Determinare il numero minimo di bit per raggiungere la specifica e la loro rappresentazione in virgola fissa e MS, C2, C1 e Traslazione.
- b) Determinare la loro rappresentazione in virgola mobile in formato standard IEEE 754 singola precisione.
- c) Se si usa il microcontrollore AVR XMEGA256A3BU, quale errore si commette nel rappresentare in un singolo registro i numeri di cui sopra?

1

Realizzare una subroutine per il microcontrollore AVR XMEGA256A3BU, che valuta il determinante di una matrice 2x2, i cui elementi sono interi (con segno) da 1 byte, posti in memoria in ordine, riga per riga, a partire dall'indirizzo contenuto in Z. Il risultato deve essere lasciato nella coppia di registri R1:R0. Si può avere overflow?

```
/* Non si può avere overflow in quanto la differenza di due prodotti tra numeri  
con segno a 8 bit porta a un risultato compreso tra  $-(2^{15}-2^7) < R < +(2^{15}-2^7)$ ,  
rappresentabile in complemento a 2 su 16 bit.  
*/
```

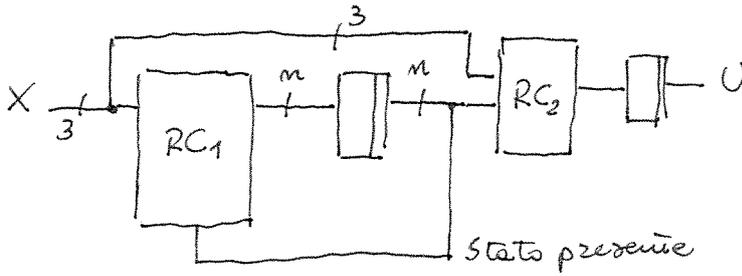
```
det2x2:  
  push R2 //salva i registri usati  
  push R3  
  push R16  
  push R17  

```

2

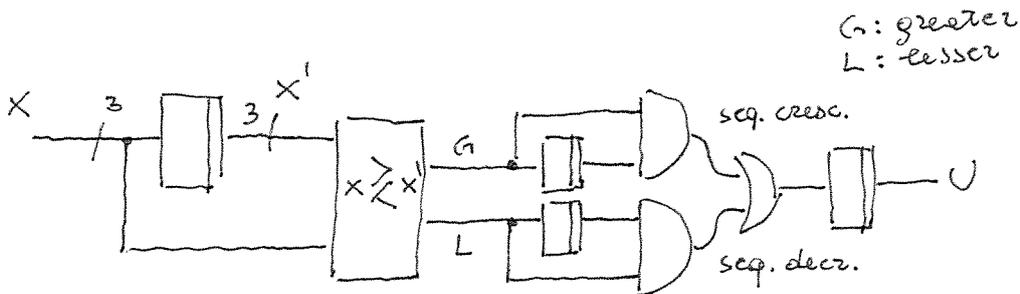
Si tratta di un riconoscitore di sequenze interallacciate.
Ovviamente per prima cosa confrontare un numero col precedente
e memorizzare il risultato in un SIPO.

Architettura di una macchina di Mealy sincronizzata



Registri con CLEAR
assincrono per riportare
la macchina allo
stato iniziale

Soluzione con comparatore e SIPO

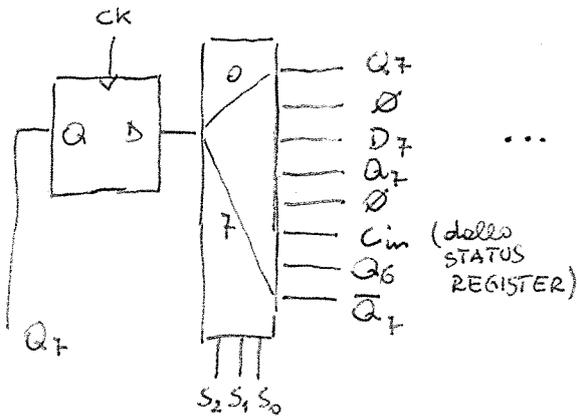


G: greater
L: lesser

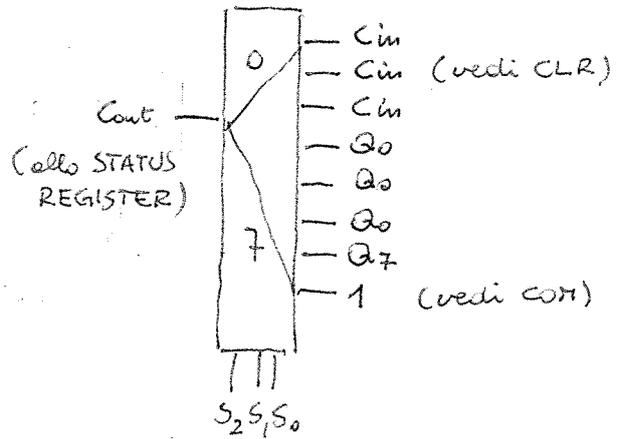
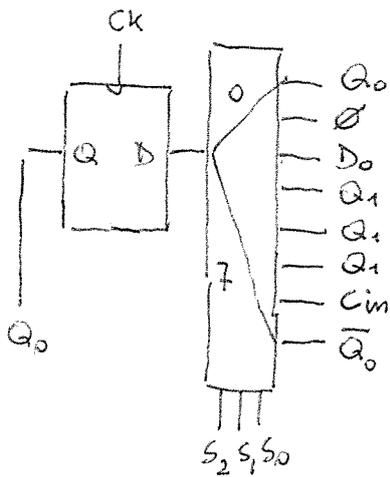
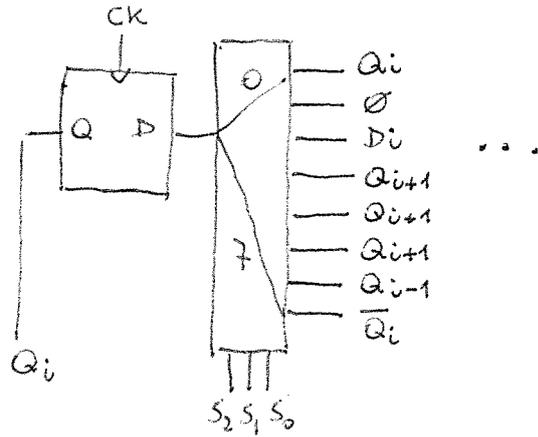
Nelle condizioni iniziali la macchina si comporta
dando agli ingressi precedenti il valore nullo

3

Registri universali



$i = 1..6$



- S:
- 0 conserva
 - 1 azzerare
 - 2 carica
 - 3 scorr DX aritmetico
 - 4 scorr DX logico
 - 5 rotaz. DX via carry
 - 6 rotaz. SX via carry
 - 7 complemento

④ Mappa a 5 variabili

	$x_4 x_3$			
$x_2 x_1$	00	01	11	10
00	1	0	1	0
01	0	1	0	1
11	1	0	1	0
10	0	1	0	1

$x_0 = 0$
(parità)

	$x_4 x_3$			
	00	01	11	10
00	1	1	1	1
01	1	1	1	1
11	1	1	1	1
10	1	1	1	1

$x_0 = 1$

NB: due cifre gray consecutive hanno tutti i bit uguali tranne uno: in totale hanno sempre un numero dispari di 1. (e quindi parità dispari nulla)

Si usano a due livelli di logica, (si osserva che metà mappa è a scacchiere)

SP: 8 AND a 4 ingressi
1 OR a 8 ingressi

PS: 8 OR a 5 ingressi
1 AND a 8 ingressi

Le due soluzioni si equivalgono come numero di porte. La SP è migliore come numero di letteroli

Seleziona nella pagina seguente.

Voluto il ritardo

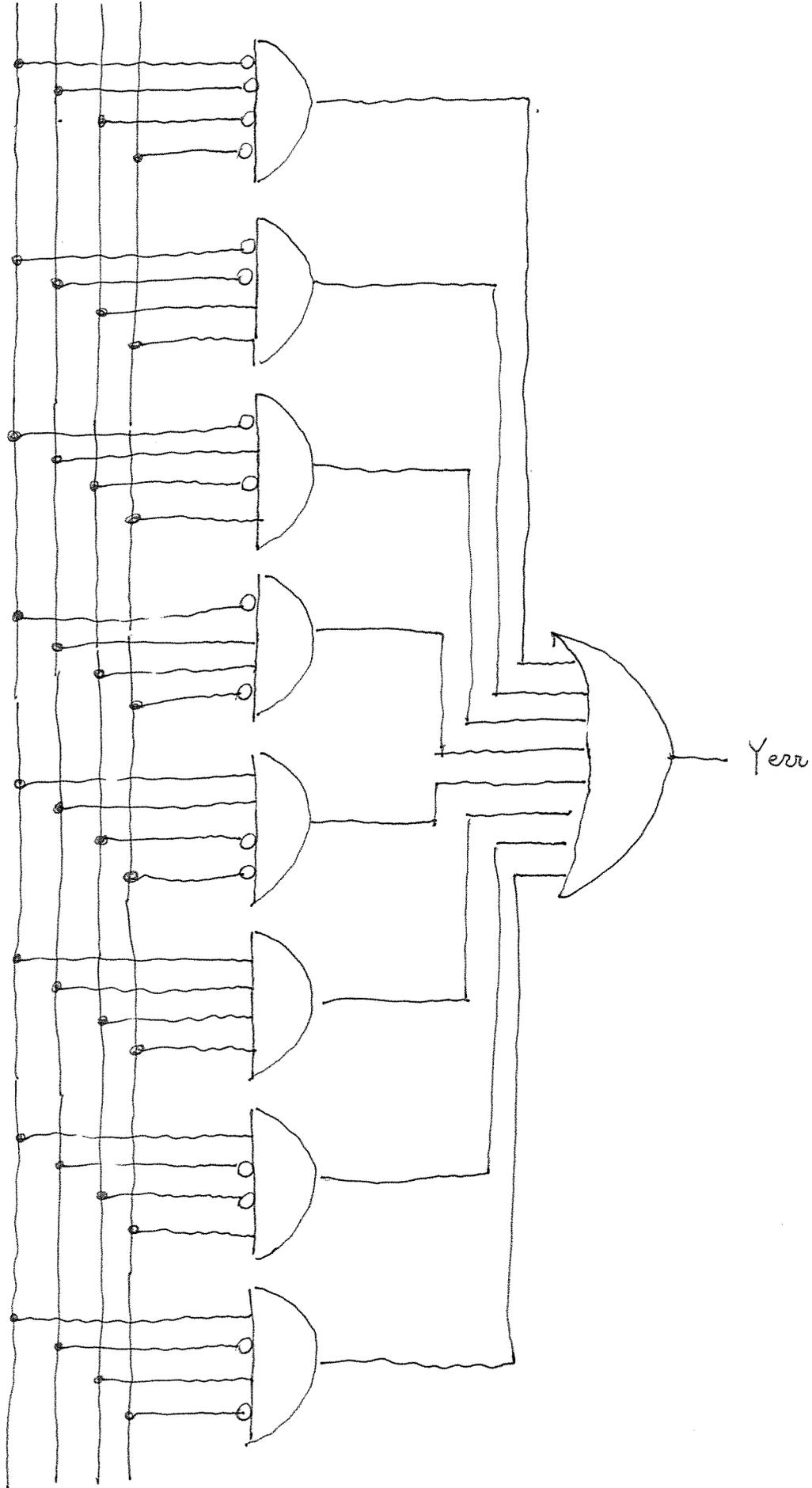
$$T_{pd} = T_{NOT} + T_{AND4} + T_{OR8} = 0,35 + 0,95 + 1,75 \text{ (ms)} = 3,05 \text{ ms}$$

In una macchina a stati

$$f_{MAX} = \frac{1}{T_{pd} + T_{su} + T_{co}} = \frac{1}{3,05 + 0,5 + 0,5} \text{ GHz} = 247 \text{ MHz}$$

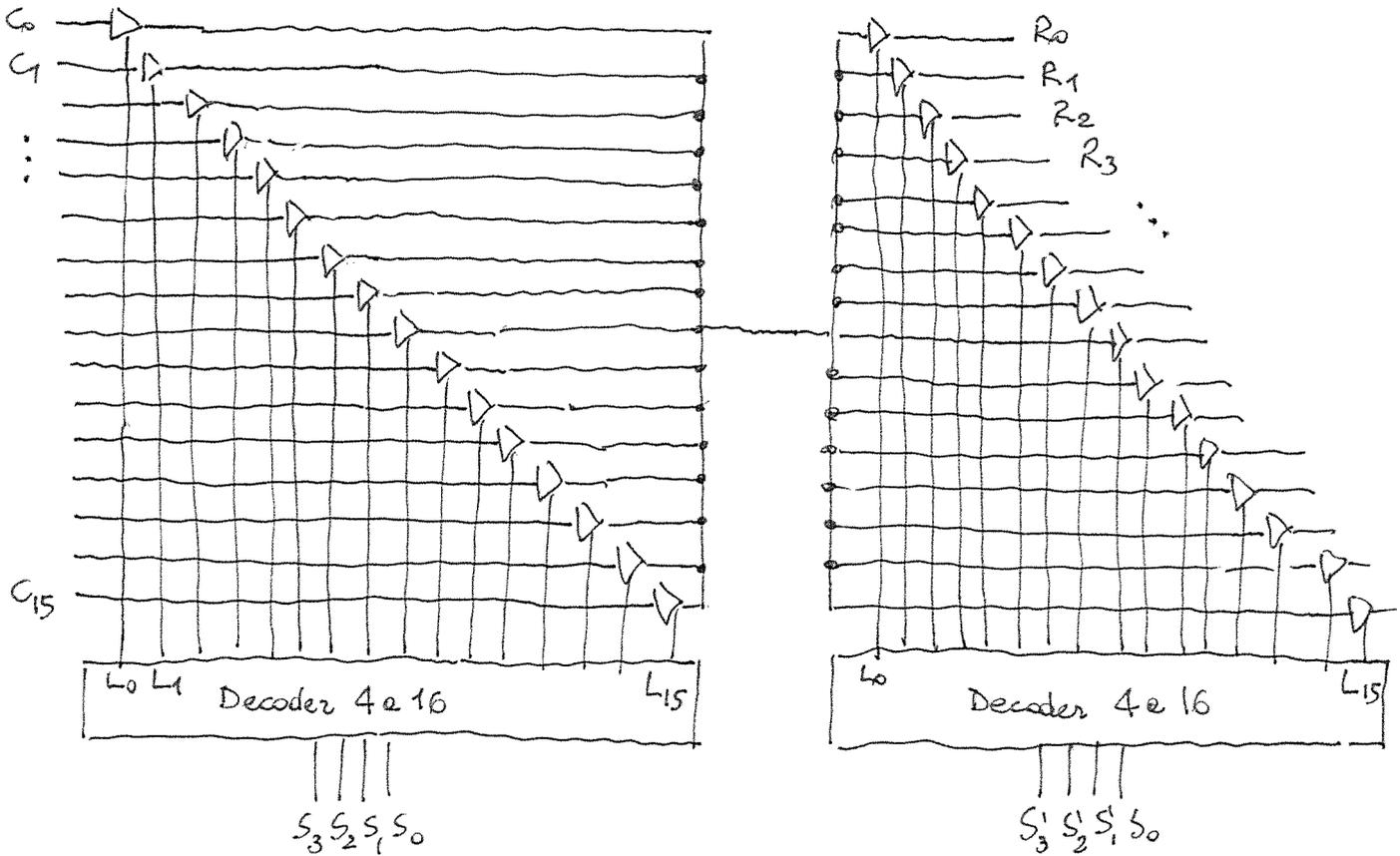
Scheme Logics

$x_4 x_3 x_2 x_1$

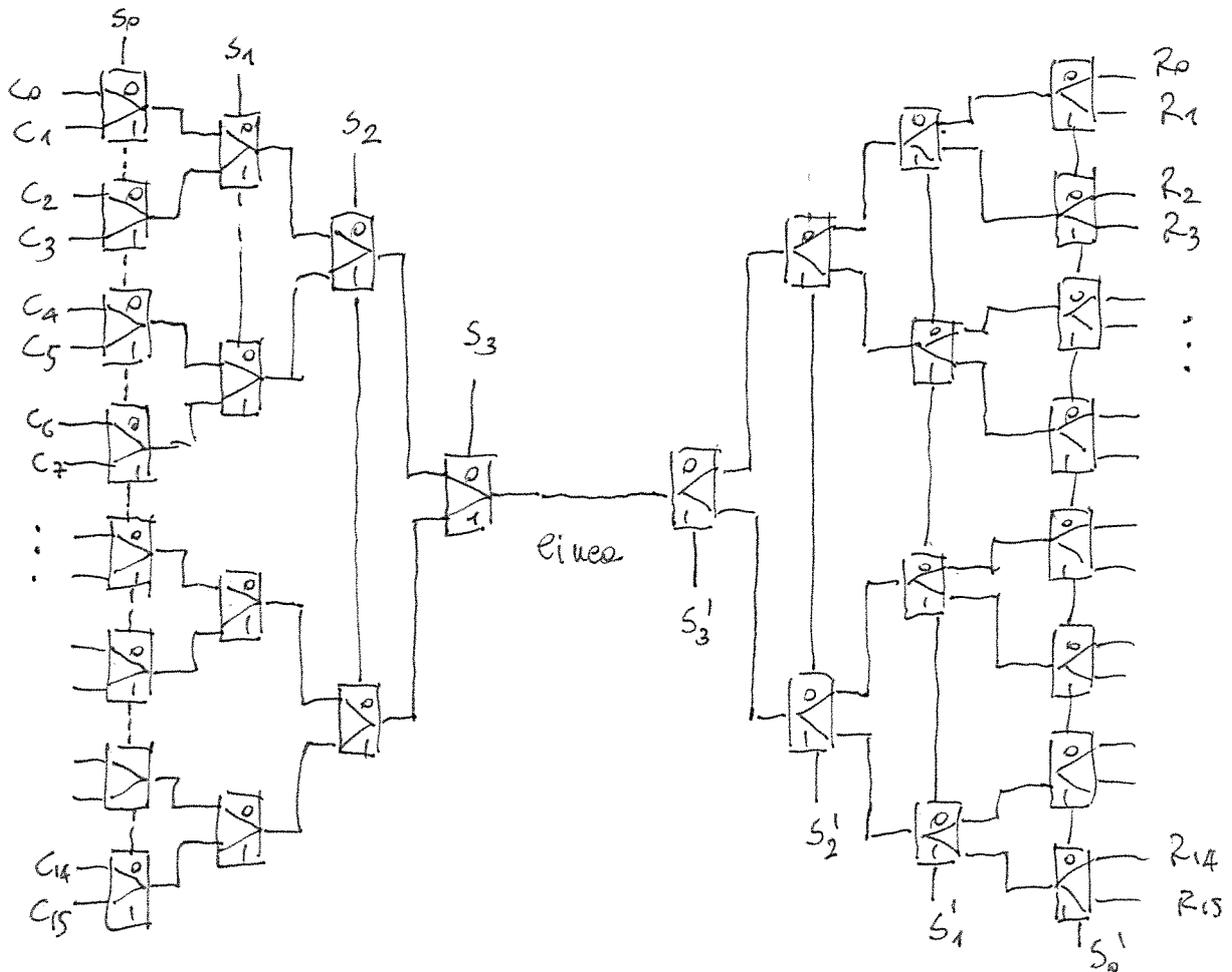


5) sistema MUX-DEMUX

con Tri State e decoder



con MUX 2:1 e DEMUX 1:2 con abic



6

In generale, per rappresentare un numero tra $\pm 3,5$ con errore assoluto inferiore a 0,1 occorrono in virgole fisse

3 cifre binarie per la parte intera con segno

3 cifre binarie per la parte frazionaria (con arrotondamento.)

$$\epsilon_A \leq 1/16$$

Nel caso particolare:

	MS	C1	C2	T	ϵ_A
$\hat{\pi}$:	011.001	011.001	011.001	111.001	0,017
$-\hat{\pi}$:	111.001	100.110	100.111	000.111	
e :	010.110	010.110	010.110	110.110	0,032
$-e$:	110.110	101.001	101.010	001.010	

Usando un bit in meno si sarebbe ottenuto

$$\hat{\pi}: 011.01 \quad \epsilon_A = 0,108 \quad (\text{non soddisfa i requisiti})$$

$$e: 010.11 \quad \epsilon_A = 0,032$$

Avendo a disposizione 8 bit, come nel μC AVR, si usa una notazione 3.5. Valutiamo l'errore (scegliamo MS)

$$\hat{\pi}: 011.00101 \quad \epsilon_A = 0,015$$

$$e: 010.10111 \quad \epsilon_A = 468 \cdot 10^{-6}$$

In notazione IEEE 754 (binary 32):

$$\hat{\pi} = (-1)^0 \cdot 2^1 \cdot \left[1 + \left(\frac{\hat{\pi} - 1}{2} \right) 2^{23} \cdot 2^{-23} \right]$$

$$s \quad e=128$$

$$B = 4788187$$

$$[0; 10000000; 100.1001.0000.1111.1110.1011]$$

$$e = (-1)^0 \cdot 2^1 \cdot \left[1 + \left(\frac{e}{2} - 1 \right) 2^{23} \cdot 2^{-23} \right]$$

$$s \quad e=128$$

$$B = 3012692$$

$$[0; 10000000; 010.1101.1111.1000.0101.0100]$$

nei corrispondenti valori negativi cambia solo $s=1$.