

Cognome

Nome

ESERCIZIO N°1

7 punti

Realizzare una subroutine per il microcontrollore AVR XMEGA256A3BU, il cui tempo di esecuzione in cicli di clock (escludendo l'istruzione di chiamata) sia esprimibile come $a + bN$, ove N è il valore contenuto in R16 e a , b sono costanti di cui è richiesto di specificare il valore. Indicare inoltre il massimo ritardo ottenibile.

ESERCIZIO N°2

6 punti

Realizzare una macchina sequenziale sincrona secondo il modello di Mealy sincronizzato con 4 ingressi, rappresentanti le cifre binarie di una cifra esadecimale, e 1 uscita, in grado di evidenziare la presenza in ingresso di una sequenza (interallacciata) di 3 valori maggiori di 5. Non è richiesta l'ottimizzazione della codifica degli stati.

ESERCIZIO N°3

4 punti

Disegnare lo schema logico di un contatore Johnson modulo 5 con reset, che generi cioè ciclicamente le uscite 00001, 00010, 00100, 01000 e 10000.

ESERCIZIO N°4

6 punti

- a) Determinare la mappa di Karnaugh di una funzione logica $Y = f(X_4, X_3, X_2, X_1, X_0)$ dove X_3, X_2, X_1 e X_0 rappresentano una cifra in codifica BCD, mentre X_4 è un bit di parità (logica parità **dispari**) Y vale 1 se la regola di parità è corretta e la cifra rispetta la codifica BCD (Y vale 0 altrimenti).
- b) Realizzare con circuito a porte logiche AND, OR, NOT e 2 livelli di logica la funzione del punto a) scegliendo tra diverse possibili soluzioni quella che minimizza numero di porte logiche.
- c) Quale è il T_{pd} massimo del circuito di cui al punto b)? Se ingressi e uscite del circuito combinatorio di cui al punto b) sono registrati con registri aventi $T_{co} = 0,3$ ns, $T_{hold} = 0,05$ ns e $T_{setup} = 0,3$ ns quale è la massima frequenza di lavoro possibile?

ESERCIZIO N°5

6 punti

- a) Disegnare lo schema circuitale a porte logiche di un full-adder e di un half-adder e determinarne il T_{pd} massimo.
- b) Usando i circuiti di cui al punto a) disegnare lo schema circuitale di un blocco sommatore/sottrattore che opera in C2 su 2 operandi a 1 byte e restituisce in uscita il risultato su 1 byte e un flag di overflow, e determinarne il T_{pd} massimo.
- c) Se ingressi e uscite del circuito combinatorio di cui al punto b) sono registrati con registri aventi $T_{co} = 0,3$ ns, $T_{hold} = 0,1$ ns e $T_{setup} = 0,3$ ns quale è la massima frequenza di lavoro possibile?

ESERCIZIO N°6

4 punti

Dati i numeri $A = -112,75$ $B = 10,125$ e $C = -5,625$

- a) Determinare la loro rappresentazione in virgola fissa e MS, C2, C1, Traslazione e il numero minimo di bit necessario per rappresentarli tutti correttamente.
- b) Se si usa una ALU a 8 bit che opera in C2 si commettono errori di rappresentazione per A , B , e C ? Se sì, di che entità sono gli errori in valore assoluto e percentuale?
- c) Determinare la rappresentazione di A , B e C in virgola mobile formato standard IEEE 754 singola precisione (binary 32). In questo caso, si commettono errori di rappresentazione? Di che entità sono gli eventuali errori in valore assoluto e percentuale?

NOTA per gli ESERCIZI 4 e 5

Si consideri per le porte logiche elementari a K ingressi e 1 uscita (AND, OR, NOT, NAND, XOR, XNOR, NOR) un ritardo di propagazione $T_{pd} = 0,2$ ns + $0,5 K$ ns

1

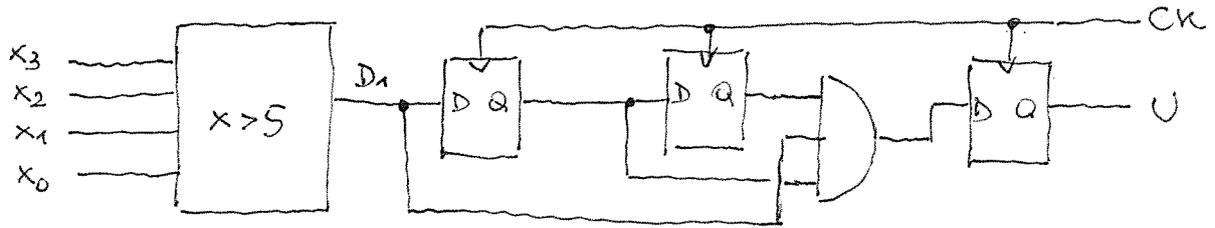
Realizzare una subroutine per il microcontrollore AVR XMEGA256A3BU, il cui tempo di esecuzione in cicli di clock (escludendo l'istruzione di chiamata) sia esprimibile come $a + bN$, ove N è il valore contenuto in R16 e a, b sono costanti di cui è richiesto di specificare il valore. Indicare inoltre il massimo ritardo ottenibile.

```
/*  
 * A posteriori si osserva che il tempo di esecuzione della subroutine proposta  
 * è pari a  $(10+3N)T_{clock}$ .  
 * Il massimo di ha per  $R16=0$ , che viene interpretato come  $N=256$   
 * e dà un ritardo di  $778 T_{clock}$ .  
 */
```

```
R_delay:  
  push R16 //salva il registro usato  
loop:  
  dec R16  
  brne loop  
  pop R16  
  ret
```

②

La rete può essere realizzata con un comparatore, uno shift e due bit, una porta AND che riconosce la condizione richiesta e un flip flop di sincronizzazione

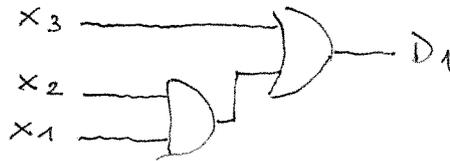


Rete per D_1 - tappa

$$D_1 = (x > 5)$$

$x_3 x_2$	$x_1 x_0$	00	01	11	10
00	0	0	1	1	
01	0	0	1	1	
11	0	1	1	1	
10	0	1	1	1	

$$D_1 = x_3 + x_1 x_2$$

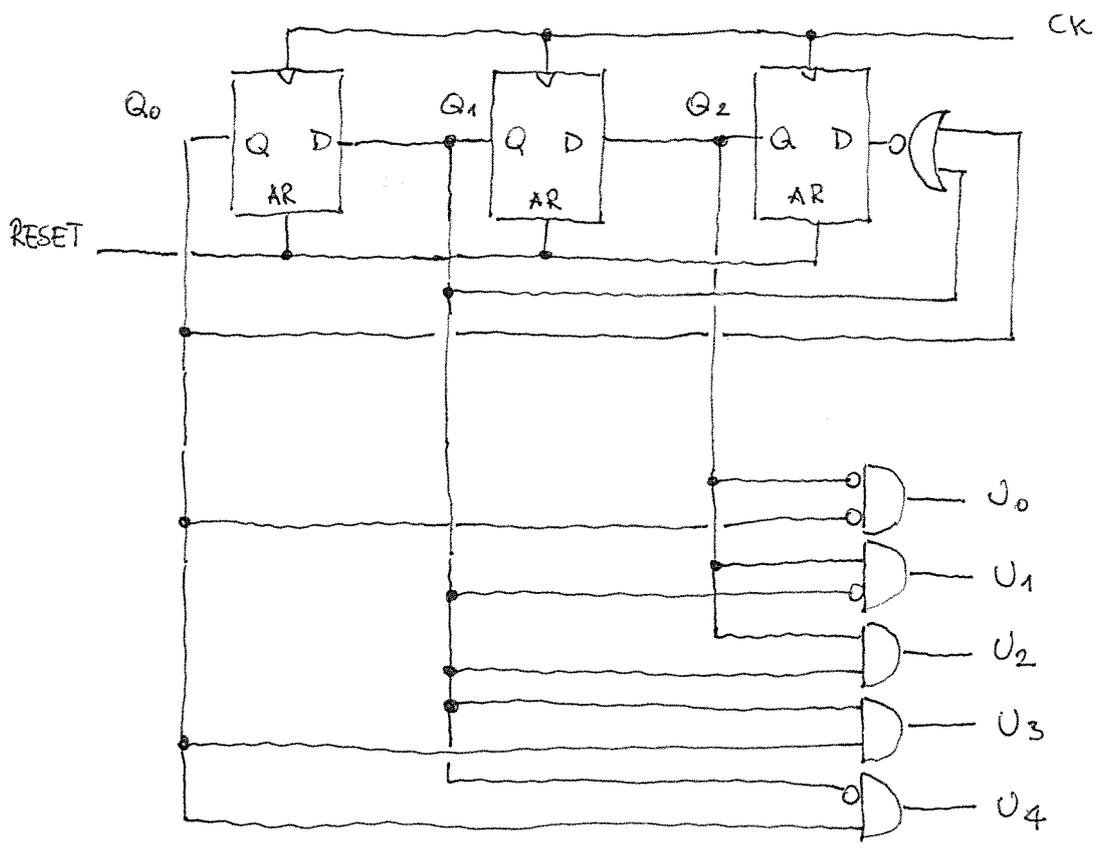


3

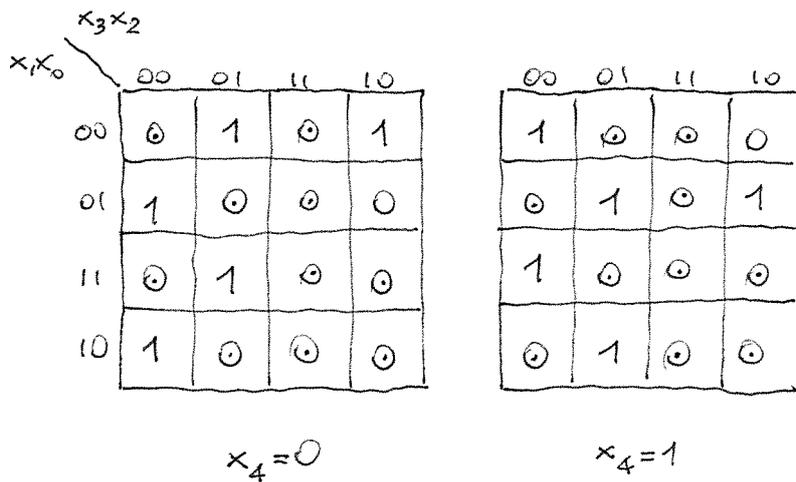
Per un Johnson a 5 stati sono sufficienti 3 D-F con reset asincrono
Sequenza (relazione con NOR: $Q_2 = \overline{Q_1 + Q_0}$)

Q_2	Q_1	Q_0		Uscite richieste
0	0	0	Stato di reset	$U_0 = \overline{Q_2} \overline{Q_0}$
1	0	0		$U_1 = Q_2 \overline{Q_1}$
1	1	0		$U_2 = Q_2 Q_1$
0	1	1		$U_3 = Q_1 Q_0$
0	0	1		$U_4 = \overline{Q_1} Q_0$
0	0	0	...	

Schemo logico



④ a) Mappa della funzione

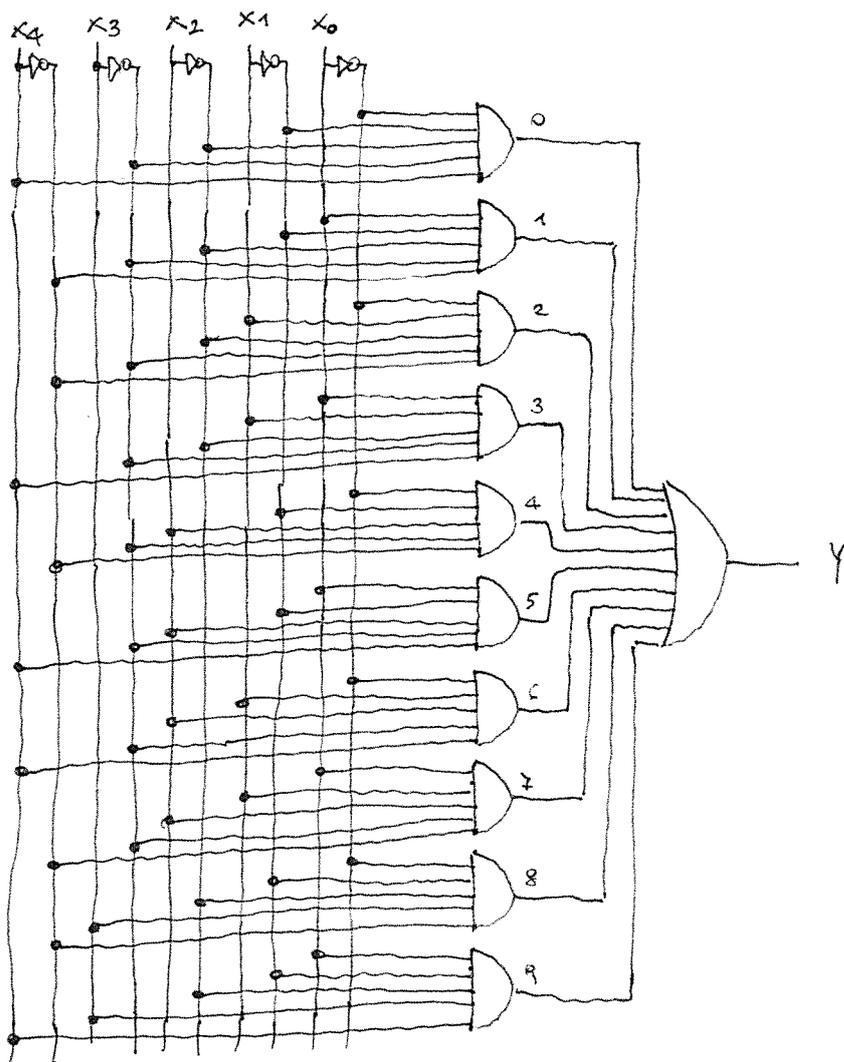


b)

Realizzazione SP: 10 mintermini sommati (11 porte, 50 letterali)

Realizzazione PS: 4 maxtermini
 4 implicati ord. 1
 2 implicati ord. 3
 2 implicati ord. 2 (13 porte, 46 letterali)

La sintesi PS ha MENO letterali, ma richiede PIU' porte.
 Scegli SP



c) Il percorso critico comprende NOT, AND5 e OR10
Si ha

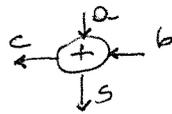
$$T_{\text{NOT}} = 0,7 \text{ ms} \quad T_{\text{AND5}} = 2,7 \text{ ms} \quad T_{\text{OR10}} = 5,2 \text{ ms}$$

$$\text{Quindi } T_{\text{pd}} = 8,6 \text{ ms}$$

Se questa rete viene registrata, si ha (T_{load} NON ha effetto)

$$f_{\text{MAX}} = \frac{1}{T_{\text{pd}} + T_{\text{co}} + T_{\text{su}}} = 108,7 \text{ MHz}$$

5) Half adder

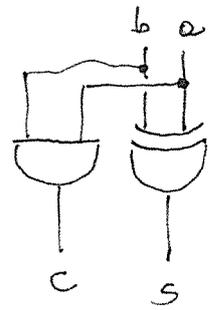


a	b	c	s
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0

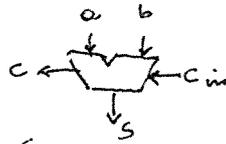
$$c = ab$$

$$s = a \oplus b$$

$$T_{pd} = 1,2 \text{ ms}$$



Full adder



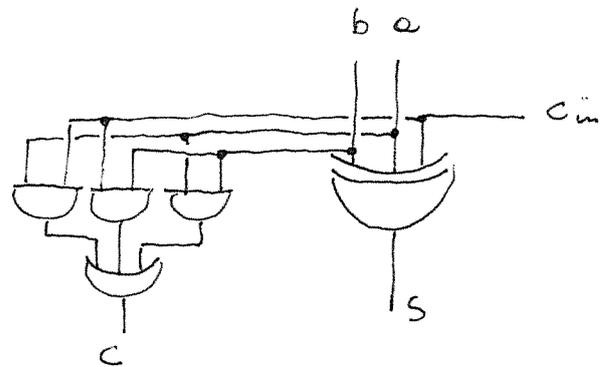
a	b	cin	c	s
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

$$c = ab + bc_{in} + c_{in}a$$

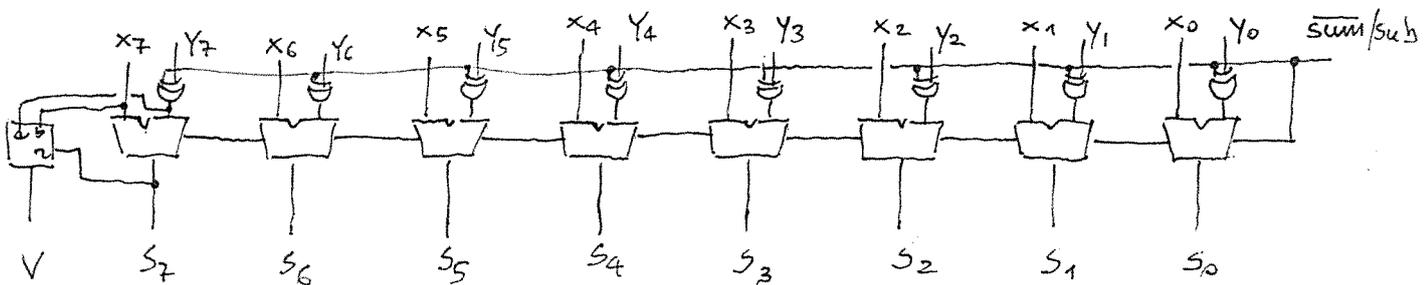
$$s = a \oplus b \oplus c_{in}$$

$$T_{pd}(s) = 1,7 \text{ ms}$$

$$T_{pd}(c) = 1,2 + 1,7 = 2,9 \text{ ms}$$



b)



$$v = ab\bar{r} + \bar{a}b\bar{r}$$

$$T_{pd}(v) = T_{NOT} + T_{AND3} + T_{OR2} = 3,6 \text{ ms}$$

Il percorso critico è quello di V: $T_{xor2} + 7 T_{pd}(c) + T_{pd}(s) + T_{pd}(v) =$

$$= 1,2 + 20,3 + 1,7 + 3,6 = 26,8 \text{ ms}$$

c)

Anche in questo caso

$$f_{max} = \frac{1}{T_{pd_{tot}} + T_{su} + T_{co}} = 36,5 \text{ MHz}$$

6) Numeri da rappresentare

$$A = -112,75 \quad B = 10,125 \quad C = -5,625$$

a) Le parti frazionarie possono essere rappresentate senza errore su 3 bit (6/8 ; 1/8 ; 5/8)

Le parti intere al segno richiedono 8 bit in tutte le rappresentazioni indicate. In totale occorrono 11 bit.

-112,75	MS	1 111 0000,110
	C1	1 000 1111,001
	C2	1 000 1111,010
	T	0 000 1111,010

10,125	MS	0 000 1010,001
	C1	0 000 1010,001
	C2	0 000 1010,001
	T	1 000 1010,001

-5,625	MS	1 000 0101,101
	C1	1 111 1010,010
	C2	1 111 1010,011
	T	0 111 1010,011

b) Usando solo 8 bit si commettono errori (eliminando i 3 meno significativi, troncando)

-112,75	1 000 1111	$\epsilon_A = 0,250$	$\epsilon_r = 0,222\%$
10,125	0 000 1010	$\epsilon_A = 0,125$	$\epsilon_r = 1,235\%$
-5,625	1 111 1010	$\epsilon_A = 0,375$	$\epsilon_r = 6,667\%$

c) La notazione IEEE 754, disponendo di un numero di cifre significative maggiore di 1^t , rappresenta senza errori i valori esposti

$$x = (-1)^s 2^{e-127} \left\{ 1 + \sum_{i=1}^{23} b_{23-i} 2^{-i} \right\}$$

$$-112,75 = (-1)^1 \cdot 2^6 (1 + 6389760 \cdot 2^{-23})$$

$$\begin{matrix} s & e=133 \\ [1 & | & 10000101 & | & 110000110000000000000000] \end{matrix}$$

$$10,125 = (-1)^0 2^3 (1 + 2228224 \cdot 2^{-23})$$

$$\begin{matrix} s & e=130 \\ [0 & | & 10000010 & | & 0100010000000000000000] \end{matrix}$$

$$-5,625 = (-1)^1 2^2 (1 + 3407872 \cdot 2^{-23})$$

$$\begin{matrix} s & e=129 \\ [1 & | & 10000001 & | & 0110100000000000000000] \end{matrix}$$