

SCHEDA ASE1606		Data: 25 Luglio 2016
Cognome	Nome	

ESERCIZIO N°1

8 punti

Realizzare un programma per il microcontrollore AVR XMEGA256A3BU, che

a) inizializza prima la periferica di I/O nel modo seguente: le porte virtuali 0 e 1 assumono rispettivamente il ruolo della porta C (con tutti i pin in ingresso con pull-up) e D (con tutti i pin in uscita totem-pole). Ai pin della porta C sono collegati esternamente pulsanti verso massa.

b) poi legge *continuamente* lo stato dei pulsanti e pone in uscita sulla porta virtuale 1 un numero binario pari al numero dei pulsanti premuti.

ESERCIZIO N°2

5 punti

Sintetizzare una rete sequenziale sincronizzata secondo il modello di Mealy sincronizzato, con in ingresso IN e una uscita U , in grado di generare le due sequenze periodiche con il periodo costituito dai valori 0101 quando l'ingresso è 1 e 1110 quando l'ingresso è 0. La macchina è sensibile al valore dell'ingresso solo all'accensione e dopo aver terminato correttamente un ciclo completo della sequenza.

ESERCIZIO N°3

4 punti

Disegnare lo schema logico di un registro universale in grado di eseguire, su controllo di un opportuno numero di linee, le istruzioni (con comportamento analogo a quello del microcontrollore) seguenti:

ROR Rd
ROL Rd
ASR Rd
LSR Rd
LSL Rd
LDI Rd, K
CLR Rd
COM Rd

Si includa nello schema anche un flip-flop per il flag C, che deve essere gestito in accordo alle istruzioni proposte.

ESERCIZIO N°4

6 punti

- a) Determinare la mappa di Karnaugh di una funzione logica $Y = f(X_4, X_3, X_2, X_1, X_0)$ dove X_4, X_3, X_2, X_1 rappresentano una cifra in codifica BCD, mentre X_0 è un bit di parità (logica parità **dispari**)
 Y (errore) vale 1 se la regola di parità non è corretta o la cifra non rispetta la codifica BCD (Y vale 0 altrimenti).
- b) Realizzare con circuito a porte logiche AND, OR, NOT e 2 livelli di logica la funzione del punto a) sia in forma SP sia in forma PS.
- c) Se porte logiche elementari (AND, OR, NOT) a K ingressi hanno $T_{pd} = 0,05 \text{ ns} + 0,15 K \text{ ns}$, quale è il T_{pd} massimo dei due circuiti di cui al punto b)? Se ingressi e uscite dei circuiti combinatori di cui al punto b) sono registrati con registri aventi $T_{co} = 0,15 \text{ ns}$, $T_{hold} = 0,05 \text{ ns}$ e $T_{setup} = 0,25 \text{ ns}$ quale è la massima frequenza di lavoro possibile?

ESERCIZIO N°5

4 punti

- a) Disegnare il circuito a porte logiche di un comparatore tra due numeri a 4 bit determinando il t_{pd} massimo nell'ipotesi che porte logiche elementari a K ingressi hanno $T_{pd} = 0,05 \text{ ns} + 0,15 K \text{ ns}$.
- b) Se ingressi e uscite del comparatore sono registrati con registri aventi $T_{co} = 0,5 \text{ ns}$, $T_{hold} = 0,05 \text{ ns}$ e $T_{setup} = 0,15 \text{ ns}$ quale è la massima frequenza di lavoro possibile?

ESERCIZIO N°6

6 punti

Dati i numeri $A = -28,75$, $B = -311,125$ e i risultati delle operazioni $C = A + B$ e $D = A - B$

- a) Determinare la loro rappresentazione in virgola fissa e MS, C2, C1, Traslazione e il numero minimo di bit necessario per rappresentarli tutti correttamente.
- b) Se si usa una ALU a 8 bit che opera in C2 si commettono errori di rappresentazione per A, B, C e D? Se sì di che entità sono gli errori in valore assoluto e percentuale?
- c) Determinare la rappresentazione di A, B, C e D in virgola mobile formato standard IEEE 754 singola precisione. Si commettono errori di rappresentazione? Di che entità sono gli eventuali errori in valore assoluto e percentuale?

ESERCIZIO N. 1

```
/*
 * ASE1606.asm
 *
 * Created: 25/07/2016 18.21.27
 * Author: Roberto Roncella
 * Compito del 25/07/2016
 * Realizzare un programma per il microcontrollore AVR XMEGA256A3BU, che
 * a) inizializza prima la periferica di I/O nel modo seguente:
 *     le porte virtuali 0 e 1 assumono rispettivamente il ruolo della porta C
 *     (con tutti i pin in ingresso con pull-up)
 *     e D (con tutti i pin in uscita totem-pole).
 *     Ai pin della porta C sono collegati esternamente pulsanti verso massa.
 * b) poi legge continuamente lo stato dei pulsanti e pone in uscita sulla porta virtuale
 *     un numero binario pari al numero dei pulsanti premuti.
 */
.EQU PORTC_PIN_value=0b01011000 //pin in logica inversa (b6=1) con pull-up (b5_3=011)
.EQU PORTD_PIN_value=0b00000000 //configurazione di uscita totem pole normale
.EQU PORTC_DIR_value=0x00 //tutti i pin in ingresso
.EQU PORTD_DIR_value=0xFF //tutti i pin in uscita
.EQU PINMASK_value=0xFF //tutti i pin configurati allo stesso modo
.EQU VPCTRLA_value=0x32 //valore per configurare le porte virtuali su C (VPORT0) e D (VPORT

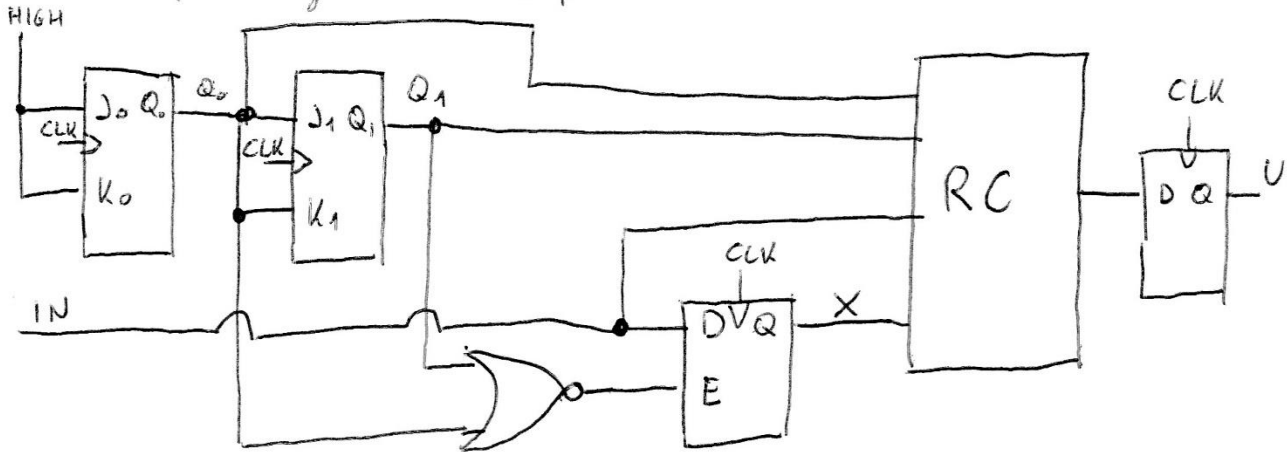
Configure:
ldi R16,PINMASK_value
ldi R17,PORTC_PIN_value
ldi R18,PORTD_PIN_value
sts PORTCFG_MPCMASK,R16 //predispone la maschera
sts PORTC_PINOCTRL,R17 //basta configurare un pin solo
sts PORTCFG_MPCMASK,R16
sts PORTD_PINOCTRL,R18
ldi R16,PORTC_DIR_value
ldi R17,PORTD_DIR_value
sts PORTC_DIR,R16
sts PORTD_DIR,R17
ldi R16,VPCTRLA_value
sts PORTCFG_VPCTRLA,R16 //configura le due porte virtuali

Init:
clr R18 //serve per accumulare i carry
loop:
in R16,VPORT0_IN //attenzione in debug: la lettura richiede almeno 2 cicli
clr R17 //azzerà accumulatore
ldi R19,8 //contatore
count:
lsr R16
adc R17,R18
dec R19
brne count
out VPORT1_OUT,R17
rjmp loop //ripeti per sempre
```

ESERCIZIO 2

La rete può essere realizzata con un contatore a 2bit, un flip flop D con abilitazione, una porta NOR e una rete combinatoria in uscita.

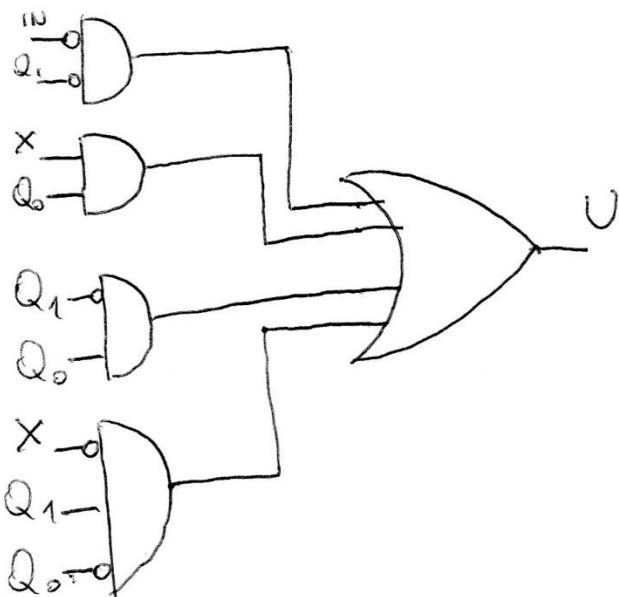
Possiamo aggiungere un ulteriore registro in uscita, per avere una rete di Mealy ritardata, se vogliamo rendere più stabile l'uscita.



Lo mappa di Karnaugh della rete RC è la seguente

IN X	Q ₁ Q ₀					
	00	01	11	10		
00	1	1	0	1		
01	1	1	1	0		
11	0	1	1	0		
10	0	1	0	1		

$$U = \overline{IN} \overline{Q_1} + X Q_0 + \overline{Q_1} Q_0 + \overline{X} Q_1 \overline{Q_0}$$



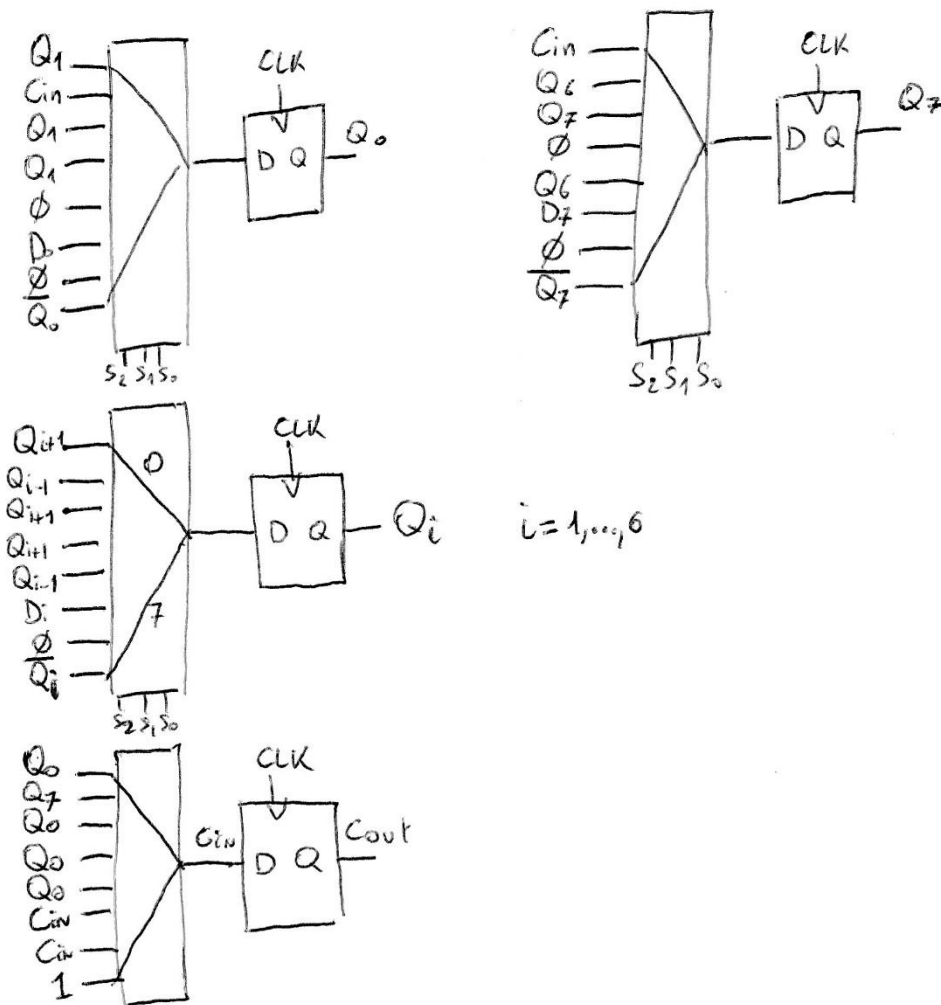
ESERCIZIO 3

Dovendo eseguire 8 istruzioni il selettore sarà costituito da 3 linee di controllo S_2, S_1, S_0

Le istruzioni verranno codificate

	S_2	S_1	S_0	
0	0	0	0	ROR
1	0	0	1	ROL
2	0	1	0	ASR
3	0	1	1	LSR
4	1	0	0	LSL
5	1	0	1	EDR
6	1	1	0	CLR
7	1	1	1	COM

Supponendo le istruzioni su 8 bit (il registro avrà 9 uscite (Q_0, \dots, Q_7, C_{out}) e 9 ingressi (D_0, \dots, D_7, C_{in}))



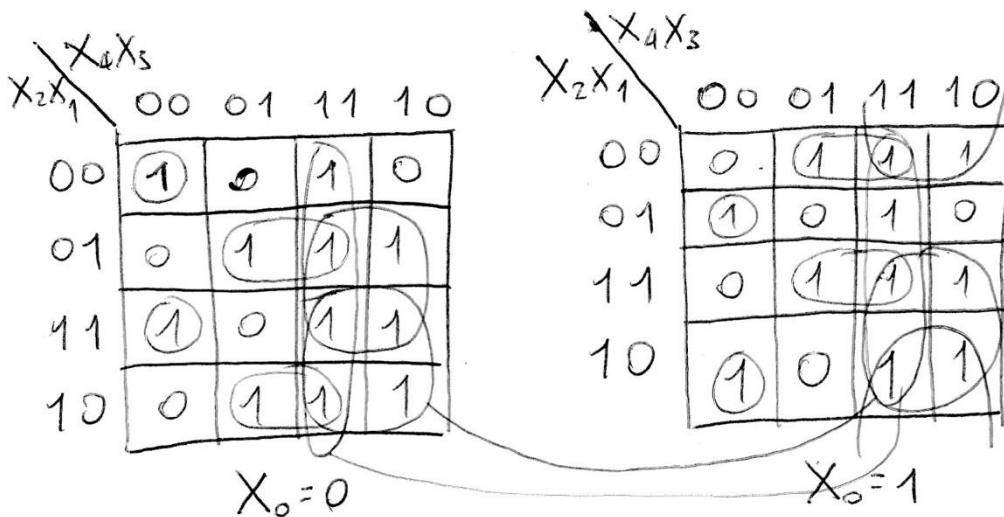
ESERCIZIO N.4

Y_{err} è un bit di errore che vale 0 se X_4, X_3, X_2, X_1 rispettano la codifica BCD e X_0 rispetta la logica di parità dispari

X_4	X_3	X_2	X_1	X_0
0	0	0	0	1
0	0	0	1	0
0	0	1	0	0
0	0	1	1	1
0	1	0	0	0
0	1	0	1	1
0	1	1	0	1
0	1	1	1	0
1	0	0	0	0
1	0	0	1	1

$\rightarrow Y=0$

Le mappe di Karnaugh della funzione sono:

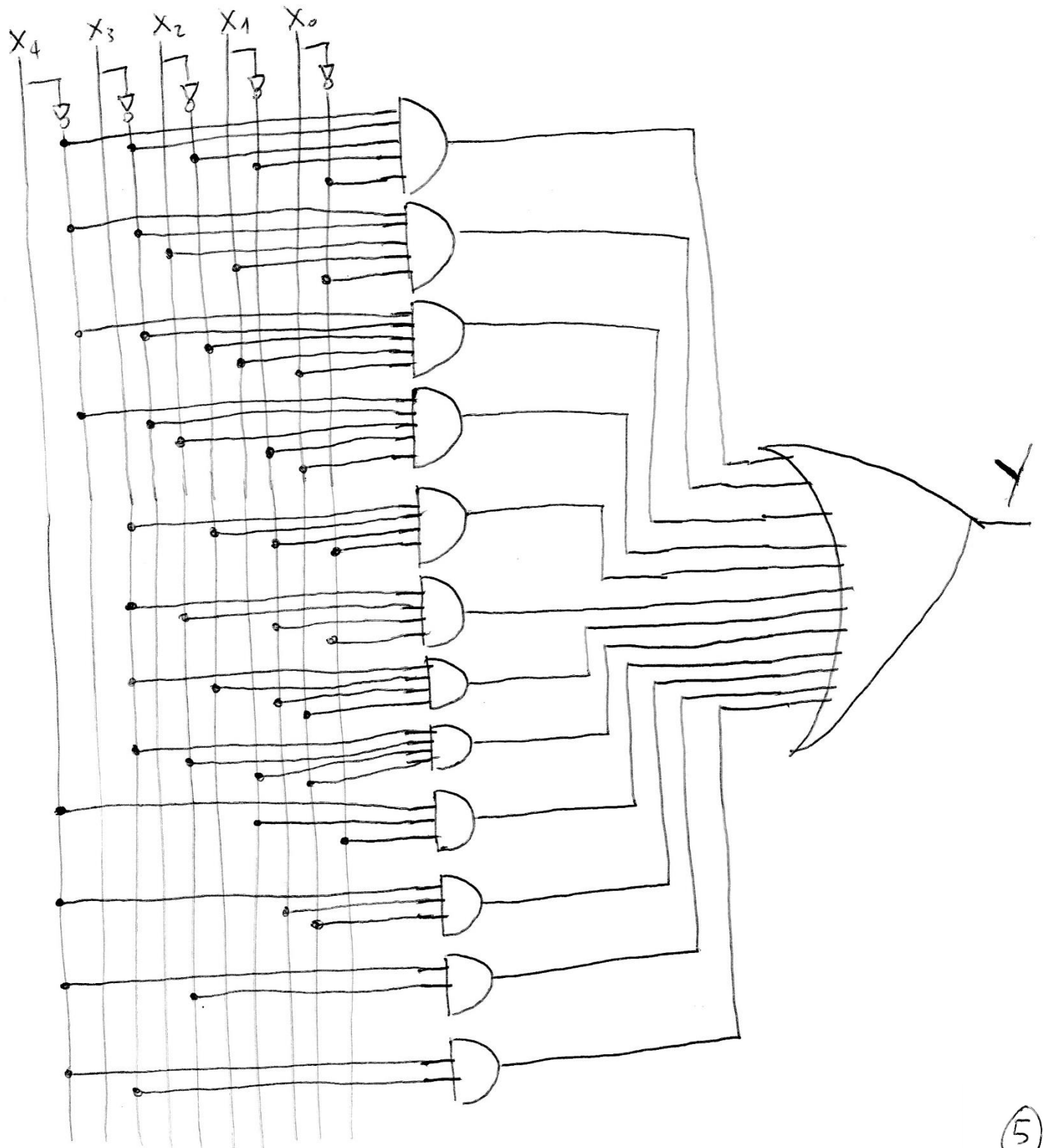


Logica SP: 4 mintermini (13 PORTE, 46 lettere)
 4 implicati ord. 1
 2 implicati ord. 2
 2 implicati ord. 3

Logica PS: 10 maxtermini (11 PORTE, 50 lettere)

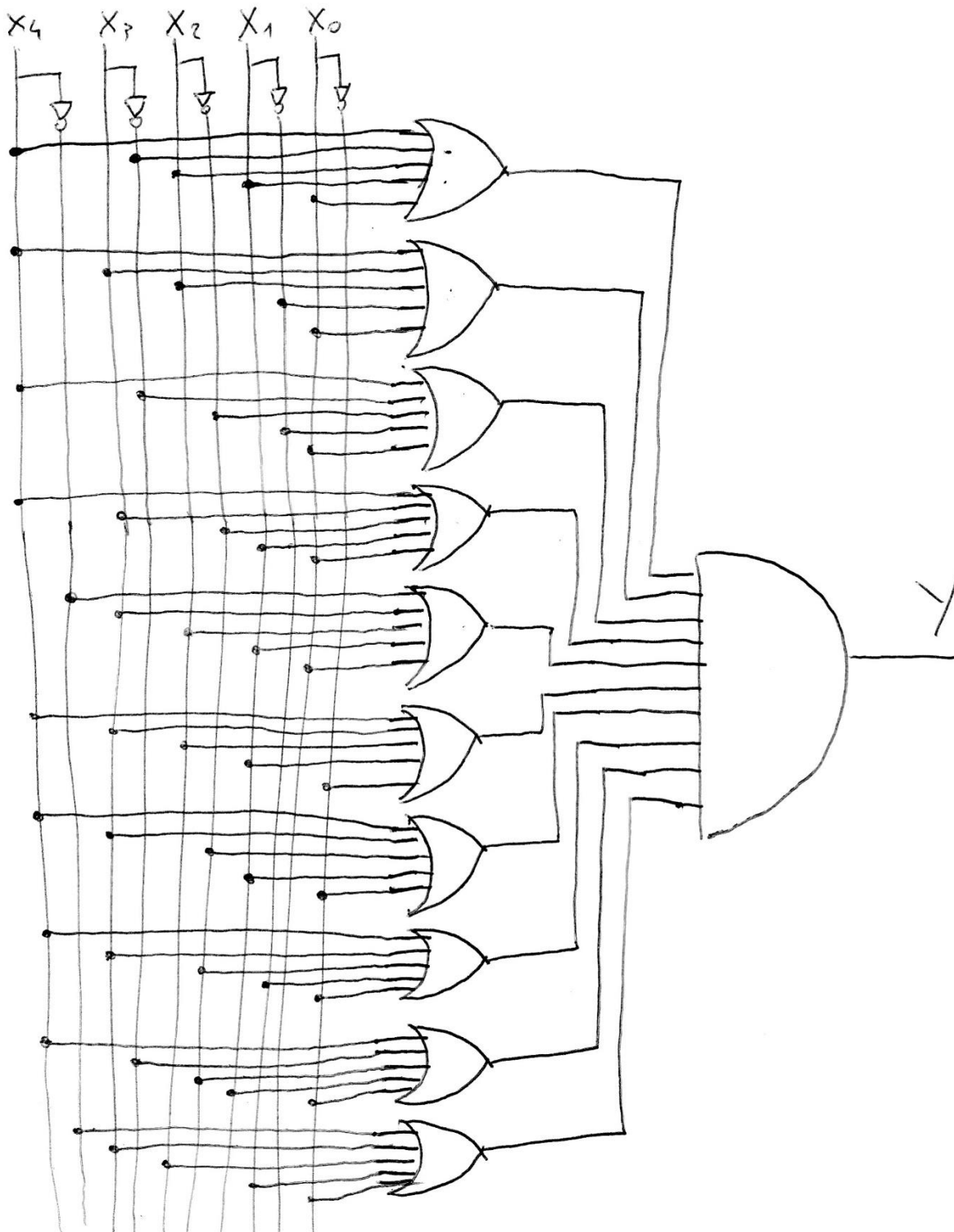
Logica SP

$$\begin{aligned}
 Y = & \bar{X}_4 \bar{X}_3 \bar{X}_2 \bar{X}_1 \bar{X}_0 + \bar{X}_4 \bar{X}_3 X_2 X_1 \bar{X}_0 + \bar{X}_4 \bar{X}_3 \bar{X}_2 X_1 \bar{X}_0 + \bar{X}_4 \bar{X}_3 X_2 \bar{X}_1 \bar{X}_0 + \\
 & + X_3 \bar{X}_2 X_1 \bar{X}_0 + X_3 X_2 \bar{X}_1 \bar{X}_0 + X_3 \bar{X}_2 \bar{X}_1 \bar{X}_0 + X_3 X_2 X_1 \bar{X}_0 + X_4 X_1 \bar{X}_0 + \\
 & X_4 \bar{X}_1 \bar{X}_0 + X_4 X_2 + X_4 X_3
 \end{aligned}$$



Logic 2 PS

$$\begin{aligned}
 Y = & (X_4 + \bar{X}_5 + X_2 + X_1 + X_0) \cdot (X_4 + X_3 + X_2 + \bar{X}_1 + X_0) \cdot (X_5 + \bar{X}_3 + \bar{X}_2 + \bar{X}_1 + X_0) \\
 & \cdot (X_4 + X_3 + \bar{X}_2 + X_1 + X_0) \cdot (\bar{X}_4 + X_3 + X_2 + X_1 + X_0) \cdot (X_4 + X_5 + X_2 + X_1 + \bar{X}_0) \\
 & \cdot (X_4 + \bar{X}_3 + X_2 + \bar{X}_1 + \bar{X}_0) \cdot (X_4 + X_3 + \bar{X}_2 + \bar{X}_1 + \bar{X}_0) \cdot (X_4 + \bar{X}_3 + \bar{X}_2 + X_1 + \bar{X}_0) \\
 & \cdot (\bar{X}_4 + X_3 + X_2 + \bar{X}_1 + \bar{X}_0)
 \end{aligned}$$



c)

Logica PS

$$t_{pd_NOT} = 0,20 \text{ ns}$$

$$t_{pd_PS} = 2,55 \text{ ns}$$

$$t_{pd_OR5} = 0,80 \text{ ns}$$

$$t_{pd_AND10} = 1,55 \text{ ns}$$

Logica SP

$$t_{pd_NOT} = 0,20 \text{ ns}$$

$$t_{pd_SP} = 2,85 \text{ ns}$$

$$t_{pd_AND5} = 0,80 \text{ ns}$$

$$t_{pd_OR12} = 1,85 \text{ ns}$$

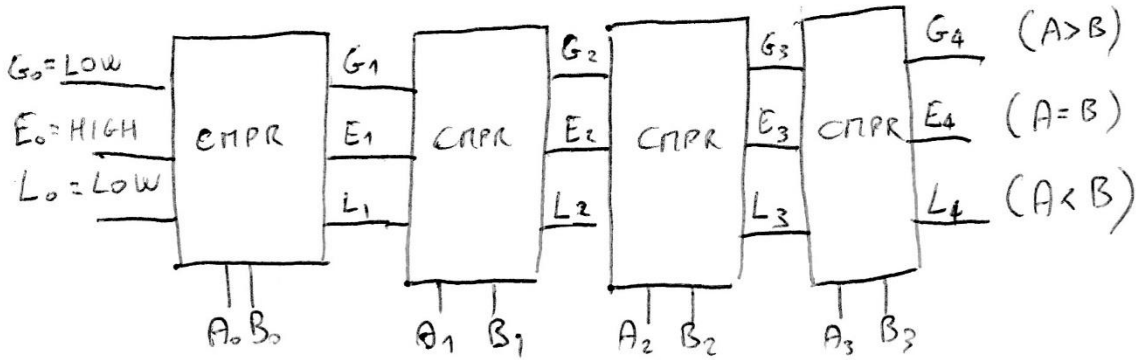
In architettura registrata si ha

$$\text{Logica PS: } f_{max_PS} = \frac{1}{t_{pd_PS} + t_{su} + t_{co}} = 358,98 \text{ MHz}$$

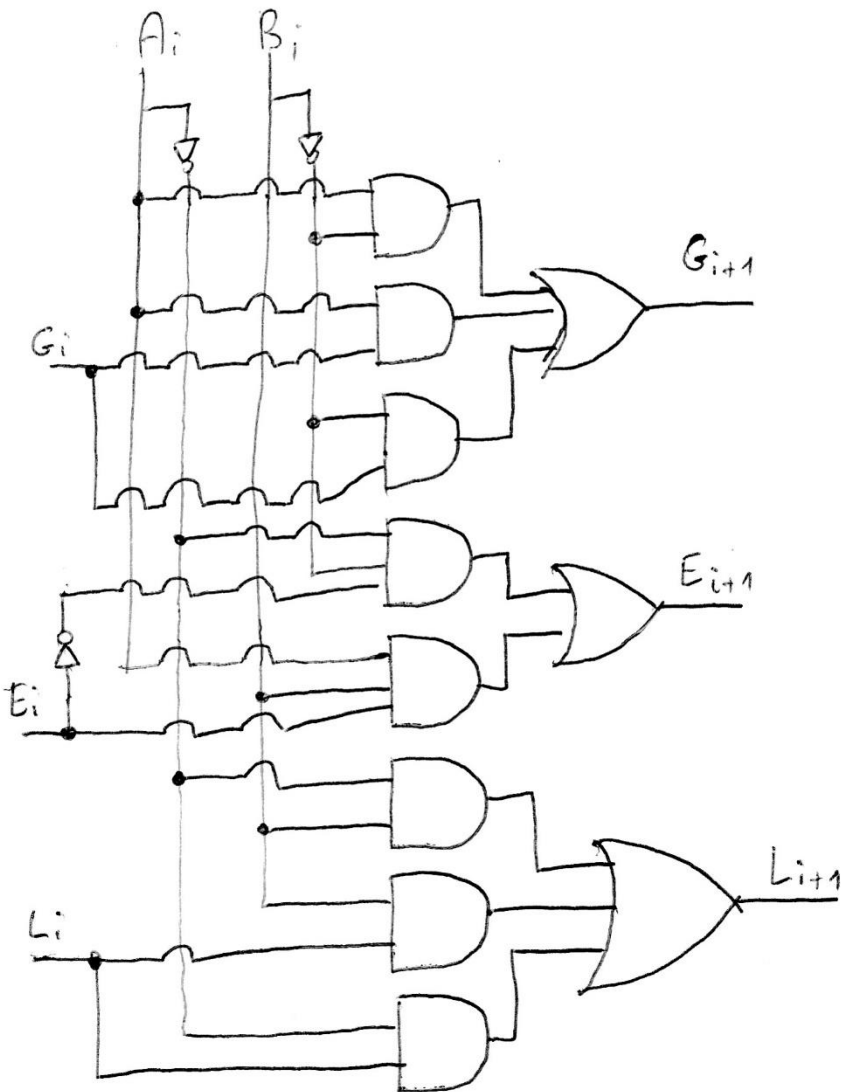
$$\text{Logica SP: } f_{max_SP} = \frac{1}{t_{pd_SP} + t_{su} + t_{co}} = 307,69 \text{ MHz}$$

ESERCIZIO N.5

Un comparatore parallelo a 4 bit che confronta i due numeri A e B può essere ottenuto utilizzando quattro elementi di confronto:



La logica del singolo elemento di confronto è la seguente:



$$t_{pd,NOT} = 0,20 \text{ ns}$$

$$t_{pd,AND_3} = 0,50 \text{ ns}$$

$$t_{pd,OR_3} = 0,50 \text{ ns}$$

$$t_{pd,TOT} = 4 \cdot (0,20 + 0,50 + 0,50) \text{ ns} = 4,8 \text{ ns}$$

b) In architettura registrata

$$f_{\max} = \frac{1}{t_{pdT01} + t_{co} + t_{setup}} = 183,5 \text{ MHz}$$

ESERCIZIO N°6

2) NUMERI DA RAPPRESENTARE:

$$A = -28,75 \quad B = -311,125 \quad C = A+B = -339,875 \quad D = A-B = +282,375$$

Le parti frazionarie possono essere rappresentate senza errore su 3 bit. Le parti intere richiedono 9 bit + 1 bit di segno.

In totale 13 bit

- 28,75	MS	1000011100,110
	C1	1111100011,001
	C2	1111100011,010
	T	0111100011,010

- 311,125	MS	1100110111,001
	C1	1011001000,110
	C2	1011001000,111
	T	0011001000,111

- 339,875	MS	1101010011,111
	C1	1010101100,000
	C2	1010101100,001
	T	0010101100,001

282,375	MS	0100011010,011
	C1	0100011010,011
	C2	0100011010,011
	T	1100011010,011

b) Dovendo rappresentare i numeri su 8 bit eliminando per troncamento i 5 bit meno significativi (2 della parte intera e 3 della parte frazionaria)

$$-28,75 \rightarrow [11111000] \cdot 2^2 = -32 \quad |E_A| = 3,25 \quad E_A\% \approx 11,3\%$$

$$-311,125 \rightarrow [10110010] \cdot 2^2 = -312 \quad |E_B| = 0,875 \quad E_B\% \approx 0,28\%$$

$$-339,875 \rightarrow [10101011] \cdot 2^2 = -340 \quad |E_C| = 0,125 \quad E_C\% \approx 0,037\%$$

$$282,375 \rightarrow [01000110] \cdot 2^2 = 280 \quad |E_D| = 2,375 \quad E_D\% \approx 0,84\%$$

c) La notazione IEEE 754, disponendo di un numero di cifre significative maggiore di 13, rappresenta senza errori i valori esatti

$$X = (-1)^{2^2-127} \left\{ 1 + \sum_{i=1}^{23} b_{23-i} \cdot 2^{-i} \right\}$$

$$-28,75 = (-1)^1 2^4 \left\{ 1 + 6684672 \cdot 2^{-23} \right\}$$

$$\left[\begin{array}{l} s: e=131 \\ 1: 10000011 \end{array} ; 110011000000000000000000 \right]$$

$$-311,125 = (-1)^1 2^8 \left\{ 1 + 1806336 \cdot 2^{-23} \right\}$$

$$\left[\begin{array}{l} s: e=135 \\ 1: 10000111 \end{array} ; 001101110010000000000000 \right]$$

$$-339,875 = (-1)^1 2^8 \left\{ 1 + 2748416 \cdot 2^{-23} \right\}$$

$$\left[\begin{array}{l} s: e=135 \\ 1: 10000111 \end{array} ; 010100111110000000000000 \right]$$

$$282,375 = (-1)^0 2^8 \left\{ 1 + 864256 \cdot 2^{-23} \right\}$$

$$\left[\begin{array}{l} s: e=135 \\ 0: 10000111 \end{array} ; 000110100110000000000000 \right]$$