

ESERCIZIO N°1

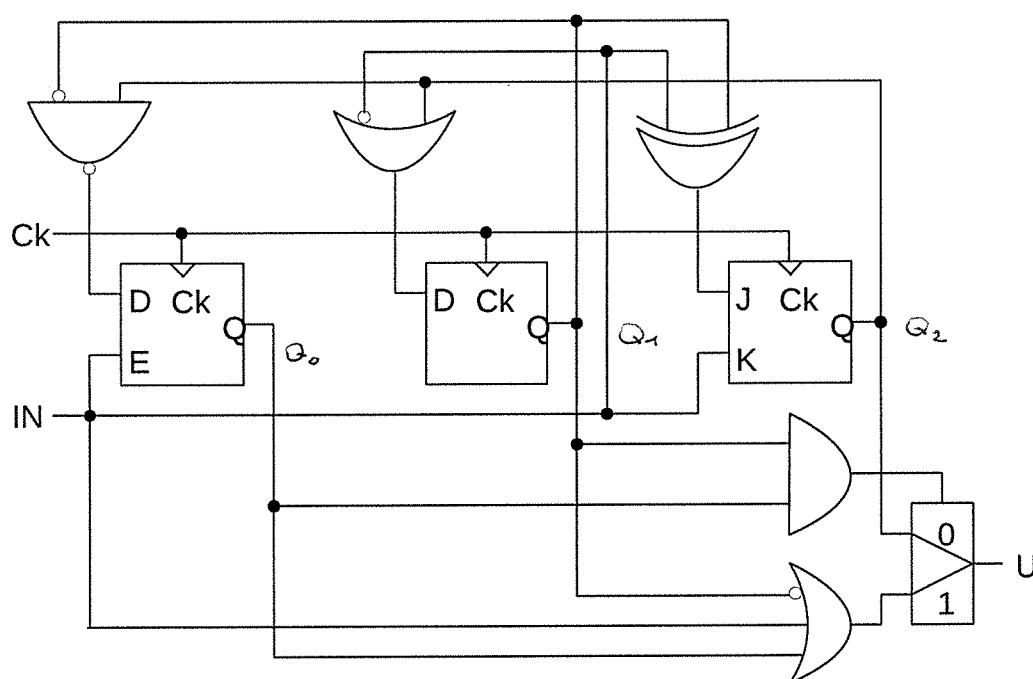
8 punti

Realizzare una subroutine per il microcontrollore AVR XMEGA256A3BU, che converta in BCD il numero binario (sempre minore di 9999) contenuto in X, ponendo il risultato in Y. Si hanno a disposizione due subroutine: `div10` che, quando invocata, divide (divisione intera) per 10 il valore di X, lasciando in X stesso il risultato e `mod10` che, quando invocata, lascia in R16 il valore di X modulo 10.

ESERCIZIO N°2

5 punti

Individuare la tipologia architetturale e disegnare il grafo delle transizioni della seguente macchina sequenziale sincrona.



ESERCIZIO N°3

5 punti

Disegnare lo schema logico di un sequenziatore con contatore sincrono (dotato della possibilità di caricamento parallelo e reset asincrono) che implementi microcodice specificato nel seguito.

```

S0:  IF J THEN S0 ELSE S3; OP = 101
S1:  IF K THEN S3 ELSE S0; OP = 100
S2:  IF M THEN S2 ELSE S6; OP = 010
S3:  IF M THEN S0 ELSE S5; OP = 111
S4:  IF L THEN S5 ELSE S1; OP = 110
S5:  IF L THEN S6 ELSE S7; OP = 000
S6:  IF J THEN S7 ELSE S4; OP = 011
S7:  IF K THEN S1 ELSE S2; OP = 001
    
```

ESERCIZIO N°4

6 punti

- a) Determinare la mappa di Karnaugh di una funzione logica $Y = f(X_4, X_3, X_2, X_1, X_0)$ dove X_3, X_2 e X_1, X_0 rappresentano due cifre consecutive in codifica GRAY, mentre X_4 è un bit di parità (logica parità **pari**); Y vale 1 se si verificano entrambe le seguenti condizioni: la codifica GRAY è rispettata e la regola di parità è corretta (Y vale 0 altrimenti).
- b) Realizzare con circuito a porte logiche AND, OR, NOT e 2 livelli di logica la funzione del punto a) sia in forma PS sia in forma SP.
- c) Se porte logiche elementari (AND, OR, NOT) a K ingressi hanno $T_{pd} = 0,05 \text{ ns} + 0,1 K \text{ ns}$, quale è il T_{pd} massimo dei due circuiti di cui al punto b)? Se ingressi e uscite dei circuiti combinatori di cui al punto b) sono registrati con registri aventi $T_{co} = 0,1 \text{ ns}$, $T_{hold} = 0,1 \text{ ns}$ e $T_{setup} = 0,1 \text{ ns}$ quale è la massima frequenza di lavoro possibile?

ESERCIZIO N°5

4 punti

Realizzare la funzione $Y = f(X_4, X_3, X_2, X_1, X_0)$ dell'esercizio precedente

- a) tramite multiplexer;
- b) tramite decoder

ESERCIZIO N°6

5 punti

Dati i numeri $A = -322,75$, $B = 11,125$ e $C = -130,625$

- a) Determinare la loro rappresentazione in virgola fissa e MS, C2, C1, Traslazione e il numero minimo di bit necessario per rappresentarli tutti correttamente.
- b) Se si usa una ALU a 8 bit che opera in C2 si commettono errori di rappresentazione per A , B e C ? Se sì, di che entità sono gli errori in valore assoluto e percentuale?

1

Realizzare una subroutine per il microcontrollore AVR XMEGA256A3BU, che converta in BCD il numero binario (sempre minore di 9999) contenuto in X, ponendo il risultato in Y. Si hanno a disposizione due subroutine: `div10` che, quando invocata, divide (divisione intera) per 10 il valore di X, lasciando in X stesso il risultato e `mod10` che, quando invocata, lascia in R16 il valore di X modulo 10.

```
word2bcd:
  push R16
  push YL
  push YH
  rcall mod10
  rcall div10
  mov YL,R16 //cifra delle unita`
  rcall mod10
  rcall div10
  swap R16
  add YL,R16 //decine
  rcall mod10
  rcall div10
  mov YH,R16 //centinaia
  rcall mod10
  rcall div10
  swap R16
  add YH,R16 //migliaia
  movw XH:XL,YH:YL
  pop YH
  pop YL
  pop R16
  ret
```

②

la macchina è, APPARENTEMENTE, di Mealy; l'uscita dipende dallo stato e, in modo diretto, dall'ingresso IN.

Si ha,

$$U = Q_1 Q_0 (Q_0 + IN + \bar{Q}_1) + \bar{Q}_1 Q_0 Q_2 = Q_1 Q_0 + Q_2 \bar{Q}_1 + Q_2 \bar{Q}_0$$

la dipendenza da IN è spedita, quindi la macchina in realtà è di MOORE.

• Equazioni di eccitazione

$$D_0 = \overline{Q_2 \cdot Q_1} = \bar{Q}_2 + \bar{Q}_1$$

$$E_0 = IN$$

$$D_1 = Q_2 + \bar{IN}$$

$$J_2 = IN \oplus Q_1$$

$$K_2 = IN$$

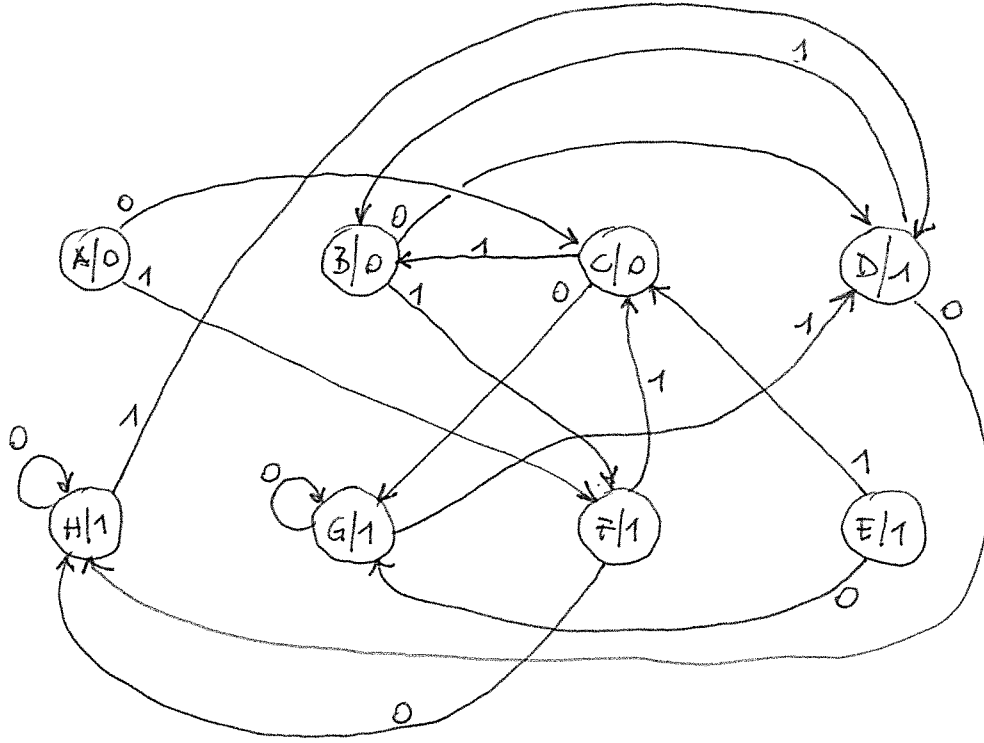
• Tabella di uscita

A	000	0
B	001	0
C	010	0
D	011	1
E	100	1
F	101	1
G	110	1
H	111	1
S	$Q_2 Q_1 Q_0$	U

• Tabella di eccitazione e transizione

IN	$Q_2 Q_1 Q_0$	S	D_0	E_0	Q_0^+	$D_1 = Q_1^+$	J_2	K_2	Q_2^+	$Q_2 Q_1 Q_0^+$	U^+
0	000	A	1	0	0	1	0	0	0	010	C
1			1	1	1	0	1	1	1	101	F
0	001	B	1	0	1	1	0	0	0	011	D
1			1	1	1	0	1	1	1	101	F
0	010	C	1	0	0	1	1	0	1	110	G
1			1	1	1	0	0	1	0	001	B
0	011	D	1	0	1	1	1	0	1	111	H
1			1	1	1	0	0	1	0	001	B
0	100	E	0	0	0	1	0	0	1	110	G
1			0	1	0	1	1	1	0	010	C
0	101	F	0	0	1	1	0	0	1	111	H
1			0	1	0	1	1	1	0	010	C
0	110	G	1	0	0	1	1	0	1	110	G
1			1	1	1	1	0	1	0	011	D
0	111	H	1	0	1	1	1	0	1	111	H
1			1	1	1	1	0	1	0	011	D

• Graphs



③ Determino (se esiste) la sequenza ciclica completa
 Non può essere nel "vero" ($S_0 \rightarrow S_0$)

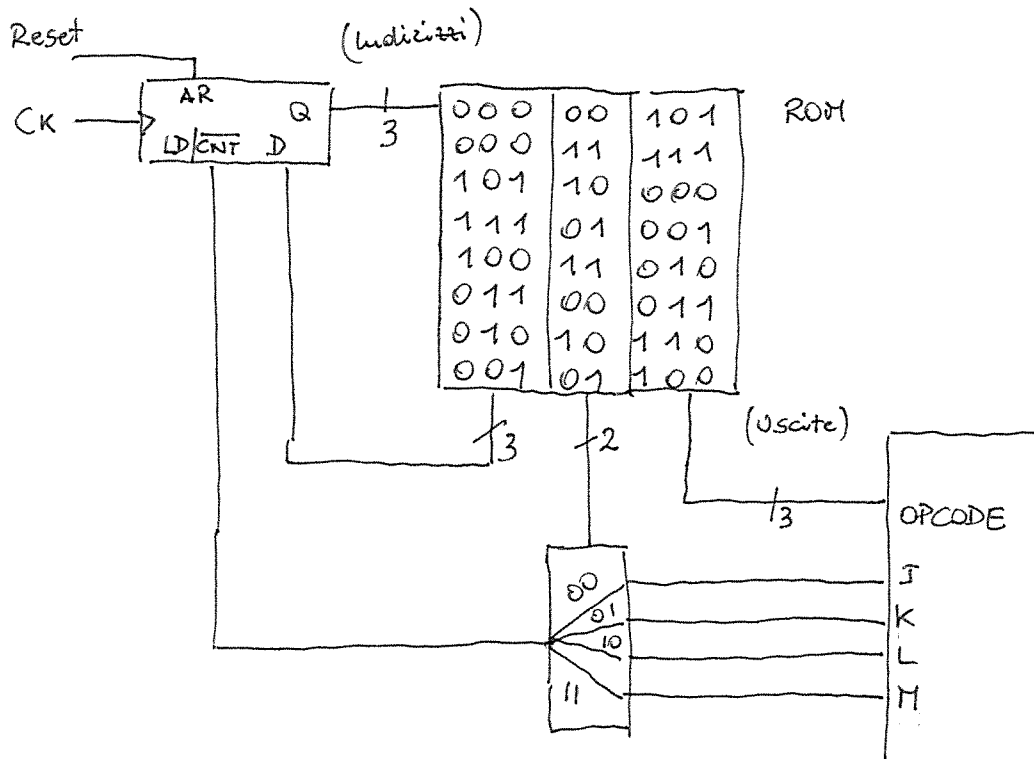
• Stato futuro o falso

$S_0 \rightarrow S_3 \rightarrow S_5 \rightarrow S_7 \rightarrow S_2 \rightarrow S_6 \rightarrow S_4 \rightarrow S_1 \rightarrow S_0 \dots$ (OK)

• Codifica degli stati e riordino delle tabelle

	Codice	Stato futuro o vero		Flag		OP Code
S_0	000	S_0	000	J	00	101
S_3	001	S_0	000	M	11	111
S_5	010	S_6	101	L	10	000
S_7	011	S_1	111	K	01	001
S_2	100	S_2	100	M	11	010
S_6	101	S_7	011	J	00	011
S_4	110	S_5	010	L	10	110
S_1	111	S_3	001	K	01	100

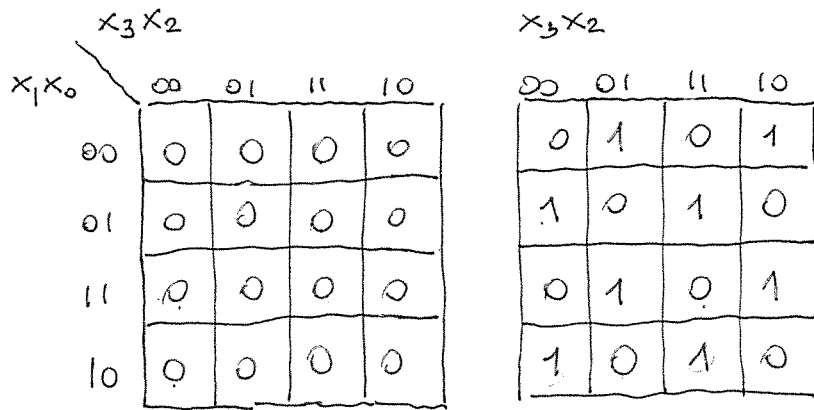
• Schema logico



④ Codice gray di riferimento (a 2 bit)

⋮
00
01
11
10
⋮

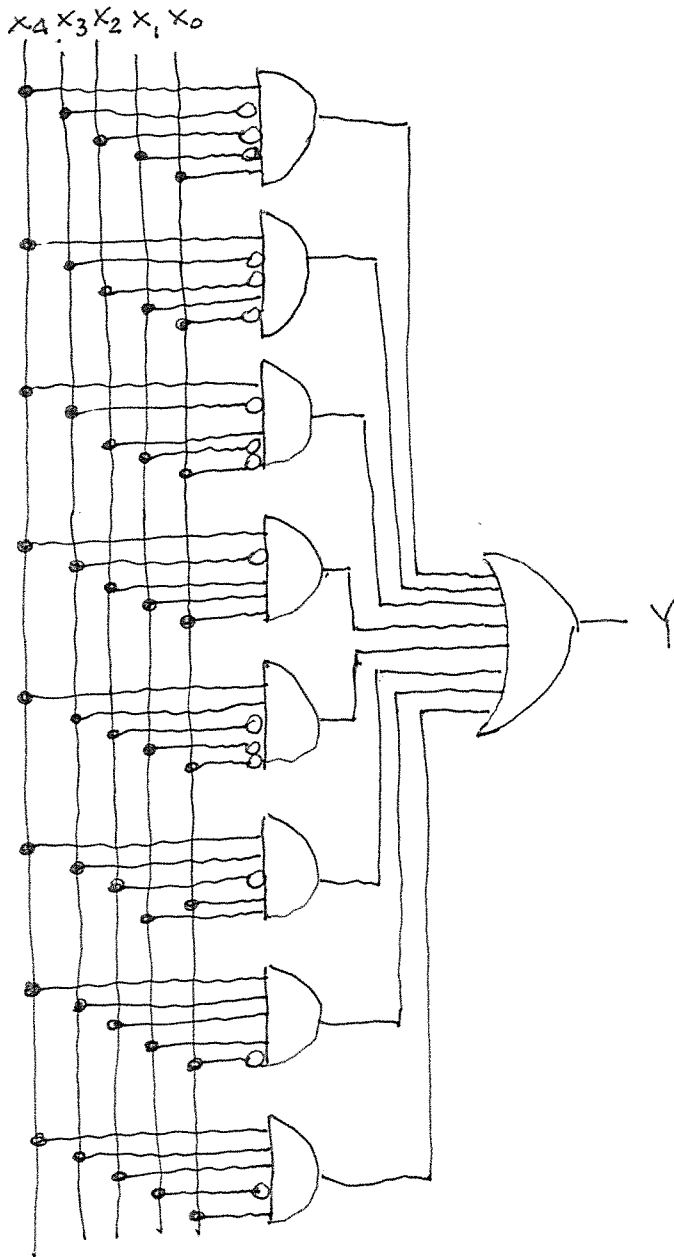
a)



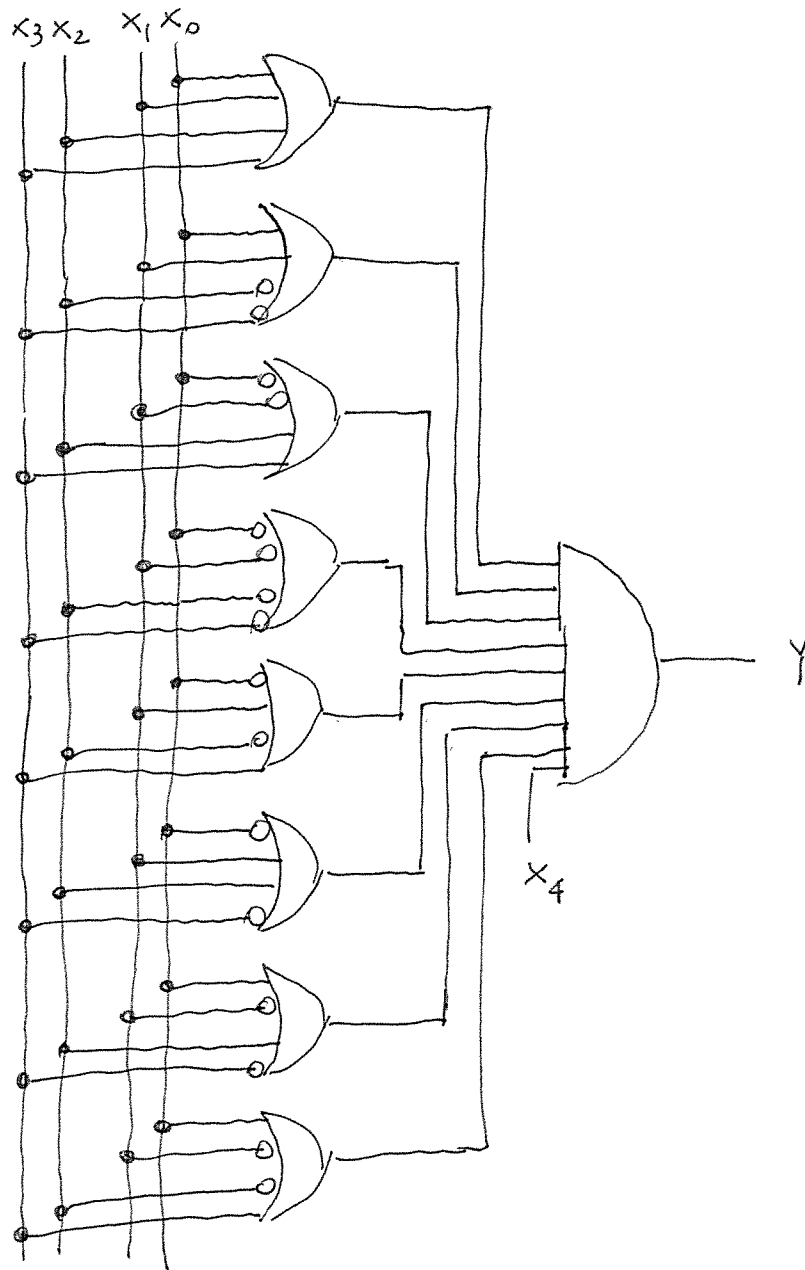
$X_4 = \emptyset$

$X_4 = 1$

b) realizzazione SP : si tratta del prodotto di 8 min termini, che non fondono in alcun modo



Realizzazione PS: e' implicato x_4 e 8 implicati di ordine 1



c) coi modelli di ritardo dati si ha

$$t_{pdSP} = t_{NOT} + t_{AND5} + t_{OR8} = 0,15 + 0,55 + 0,85 = 1,55 \text{ ns}$$

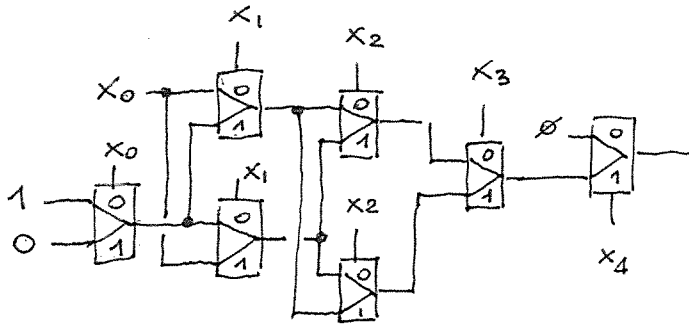
$$t_{pdPS} = t_{NOT} + t_{OR4} + t_{AND9} = 0,15 + 0,45 + 0,95 = 1,55 \text{ ns}$$

Nella versione "registrata", per entrambe le versioni

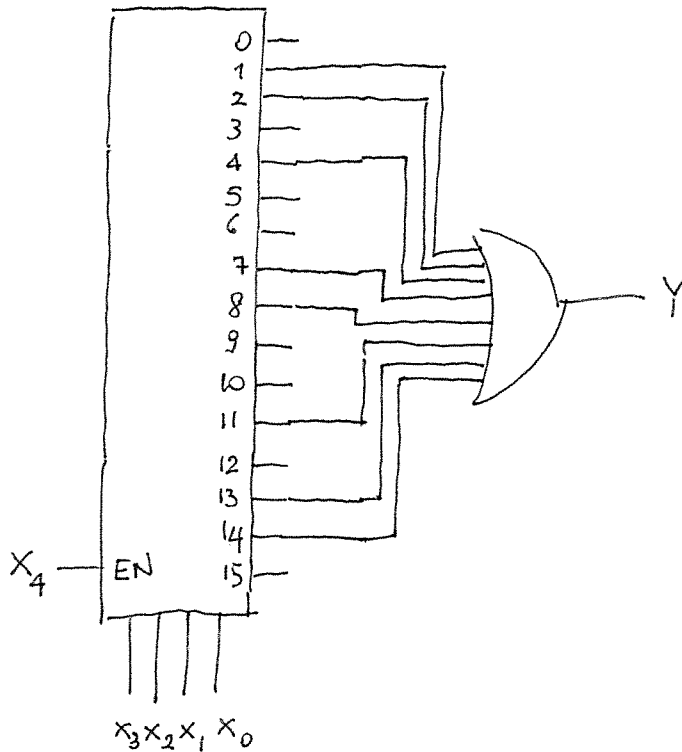
$$f_{max} = \frac{1}{t_{co} + t_{su} + t_{pd}} = 571,4 \text{ MHz}$$

5

a) Realizzazione tramite multiplexer
Ovviamente si può usare un mux 32:1. Si ottiene un certo risparmio con una soluzione modulare.



b) Realizzazione tramite decoder e porte OR
Si può sfruttare l'enable per azzerare l'uscita con $x_4 = 0$



6

$$A = -322,75 \quad B = 11,125 \quad C = -130,625$$

Per il modulo servono 9 bit ($|A| > 256$; tutti minori di 512)
un bit per il segno

3 bit per la parte frazionaria, sempre esprimibile in $1/8$.

Servono 13 bit per la rappresentazione esatta di A, B, C

A:	MS	1		1	0	1	0	0	0	1	0	.	1	1	0
	C1	1	0	1	0	1	1	1	1	0	1	.	0	0	1
	C2	1	0	1	0	1	1	1	1	0	1	.	0	1	0
	T	0	0	1	0	1	1	1	1	0	1	.	0	1	0

B:	MS	0		0	0	0	0	1	0	1	1	.	0	0	1
	C1	0		0	0	0	0	1	0	1	1	.	0	0	1
	C2	0		0	0	0	0	1	0	1	1	.	0	0	1
	T	1		0	0	0	0	1	0	1	1	.	0	0	1

C:	MS	1		0	1	0	0	0	0	0	1	.	0	1	0
	C1	1		1	0	1	1	1	1	1	0	.	0	1	0
	C2	1		1	0	1	1	1	1	1	0	.	0	1	1
	T	0		1	0	1	1	1	1	1	0	.	0	1	1

Esaminiamo il valore delle rappresentazioni C2 su una ALU a 8 bit. Usiamo gli 8 bit PIU' SIGNIFICATIVI, con troncamento.

$$\hat{A} = 1010111100.000 = -324$$

$$A - \hat{A} = 1,25$$

$$\left| \frac{A - \hat{A}}{A} \right| = 3,87\%$$

$$\hat{B} = 0000001000.000 = 8$$

$$B - \hat{B} = 3,125$$

$$\left| \frac{B - \hat{B}}{B} \right| = 28,09\%$$

$$\hat{C} = 1101111100.000 = -132$$

$$C - \hat{C} = 1,375$$

$$\left| \frac{C - \hat{C}}{C} \right| = 1,053\%$$