

<b>SCHEDA ASE1701</b>		Data: <b>16 Gennaio 2017</b>
Cognome	Nome	

### **ESERCIZIO N°1**

8 punti

Realizzare una subroutine per il microcontrollore AVR XMEGA256A3BU, che lascia in R16 il valore di  $X$  modulo 10. Determinarne il tempo massimo di esecuzione. Individuare se possibile una soluzione che, per qualsiasi valore di  $X$ , completa il compito con un numero di cicli inferiore a 100.

### **ESERCIZIO N°2**

6 punti

Sintetizzare una rete sequenziale sincronizzata secondo il modello di Moore, con in ingresso  $IN$  e una uscita  $U$ , in grado di riconoscere ponendo  $U$  a 1 per un ciclo di clock, le due sequenze, non interallacciate in alcun modo, 00100 e 01010. Minimizzare il numero di flip-flop usati.

### **ESERCIZIO N°3**

4 punti

Avendo a disposizione chip di memoria SRAM da 1 M x 5 (costo 0,30 €) e da 2 M x 3 (costo 0,35 €), progettare un modulo di memoria da 4 M x 16 a costo minimo.

## ESERCIZIO N°4

6 punti

- Determinare la mappa di Karnaugh di una funzione logica  $Y_{OK} = f(X_4, X_3, X_2, X_1, X_0)$  dove  $X_4, X_3, X_2, X_1$  rappresentano una cifra in codifica BCD, mentre  $X_0$  è un bit di parità (logica parità **dispari**);  $Y_{OK}$  vale 1 se la regola di parità è corretta e la cifra rispetta la codifica BCD (Y vale 0 altrimenti).
- Realizzare con circuito a porte logiche AND, OR, NOT e 2 livelli di logica la funzione del punto a) sia in forma SP sia in forma PS.
- Se porte logiche elementari (AND, OR, NOT) a  $K$  ingressi hanno  $T_{pd} = 0,05 \text{ ns} + 0,15 K \text{ ns}$ , quale è il  $T_{pd}$  massimo dei due circuiti di cui al punto b)? Se ingressi e uscite del circuito combinatorio più veloce di cui al punto b) sono registrati con registri aventi  $T_{co} = 0,15 \text{ ns}$ ,  $T_{hold} = 0,23 \text{ ns}$  e  $T_{setup} = 0,25 \text{ ns}$  quale è la massima frequenza di lavoro possibile?

## ESERCIZIO N°5

4 punti

Realizzare la funzione  $Y = f(X_4, X_3, X_2, X_1, X_0)$  dell'esercizio precedente

- tramite multiplexer;
- tramite decoder

## ESERCIZIO N°6

5 punti

Dati i numeri  $X = -11128,75$  e  $Y = -1018,125$  e i risultati delle operazioni  $A = -(X + Y)$  e  $B = X - Y$

- Determinare la loro rappresentazione in virgola fissa e MS, C2, C1, Traslazione e il numero minimo di bit necessario per rappresentarli tutti correttamente.
- Se si usa una ALU a 16 bit che opera in C2 si commettono errori di rappresentazione per  $X, Y, A, B$ ? Se sì, di che entità sono gli errori in valore assoluto e percentuale?
- Determinare la rappresentazione di  $X, Y, A$  e  $B$  in virgola mobile formato standard IEEE 754 singola precisione.

*Per la soluzione degli esercizi 4, 5 e 6 si vedano i compiti precedenti.*

# 1

Realizzare una subroutine per il microcontrollore AVR XMEGA256A3BU, che lascia in R16 il valore di X modulo 10. Determinarne il tempo massimo di esecuzione. Individuare se possibile una soluzione che, per qualsiasi valore di X, completa il compito con un numero di cicli inferiore a 100.

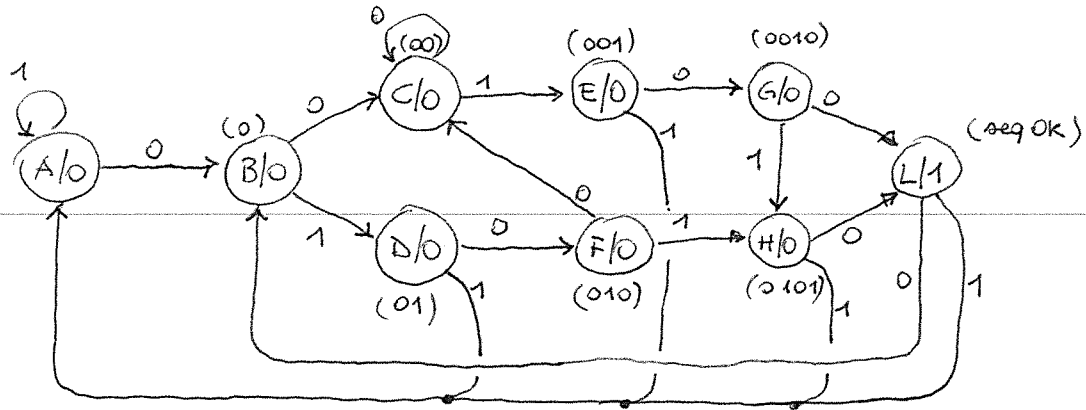
La soluzione seguente funziona correttamente ma sicuramente richiede tempi di esecuzione inaccettabili. Infatti il massimo numero di iterazioni si ottiene con valori di X prossimi al massimo ( $\geq 65530$ ). Per questi valori, il tempo di esecuzione (compresa la rcall e la ret) vale 26232 T.

```
mod10:
  push XH
  push XL
  m1:
    sbiw XH:XL,10
    brcc m1
  adiw XH:XL,10
  mov R16,XL
  pop XL
  pop XH
  ret
```

Una seconda soluzione, più articolata, sfrutta le proprietà del modulo per ottenere un risparmio in tempo di esecuzione, ottenendo il risultato con 24 istruzioni. Evitando l'uso di loop dal numero di iterazioni dipendenti dal dato, il tempo di esecuzione non cambia coi dati e vale 31 T (compresa rcall e ret), soddisfacendo il requisito assegnato.

```
mod10speed:
  mov R16,XH
  sbrc R16,7 //testa il bit 7 di XH, e se uno riduce togliendo 120
  subi R16,120 //al massimo ora R16 vale 135 (255 - 120)
  sbrc R16,0 //testa il bit 0 di XH, che pesa 6 (256 mod 10)
  subi R16,-5 //se non nullo, somma 5 (+1 presente) e non ci puo` essere carry
  add R16,XL //ora aggiunge la parte bassa e ci può essere carry (255 + 140)
  brcc lp01
  subi R16,-6 //ogni carry vale 6 sul risultato
  //in questa somma ultima non ci può essere carry (139 + 6)
lp01: subi R16,160 //si parte confrontando con 160
  brcc lp02
  subi R16,-160
lp02: subi R16,80 //poi si dimezza, e così via
  brcc lp03
  subi R16,-80
lp03: subi r16,40
  brcc lp04
  subi R16,-40
lp04: subi r16,20
  brcc lp05
  subi R16,-20
lp05: subi r16,10
  brcc lp06
  subi R16,-10
lp06: ret //ora sicuramente siamo tra 0 e 9
```

② grafico di flusso (seq. N.I. 00100 ; 01010)



Analisi di equivalenza.

A	OK								
B	C/B X/A D/A	OK							
C	C/B E/A	C/C E/D	OK						
D	F/B A/A	F/C A/D	F/C A/E	OK					
E	G/B A/D	G/C A/D	G/C A/E	G/F A/A	OK				
F	C/B H/A	C/C H/D	C/C H/E	C/F H/A	C/G H/A	OK			
G	L/B H/A	L/C H/D	L/C H/E	L/F H/A	L/G H/A	L/C H/H	OK		
H	L/B A/A	L/C A/D	L/C A/E	L/F A/A	L/G A/A	L/C A/H	L/L A/H	OK	
L <sub>1</sub>	X	X	X	X	X	X	X	X	OK
	A	B	C	D	E	F	G	H	L <sub>1</sub>

L non può essere equivalente con nessun altro

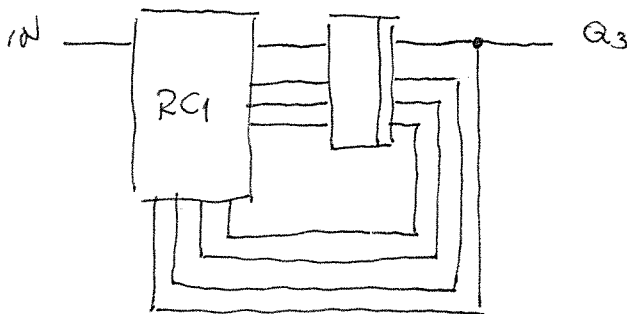
Ogni coppia NON equivalente ne esclude altre --

NON ci possono essere stati equivalenti.

Occorrono 4 FF

Q<sub>3</sub> Q<sub>2</sub> Q<sub>1</sub> Q<sub>0</sub>

Architettura



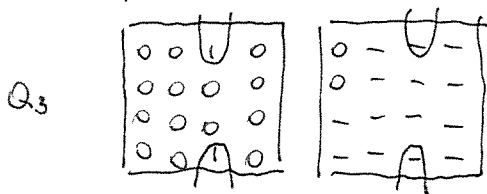
Codifico gli stati in modo che Q<sub>3</sub> ≡ U

	Q <sub>3</sub>	Q <sub>2</sub>	Q <sub>1</sub>	Q <sub>0</sub>
A	0	0	0	0
B	0	0	0	1
C	0	0	1	0
D	0	0	1	1
E	0	1	0	0
F	0	1	0	1
G	0	1	1	0
H	0	1	1	1
L	1	0	0	0

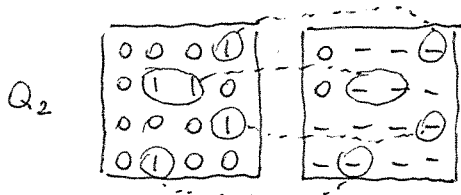
# Sintesi di RC<sub>1</sub>

$Q_2 Q_1$		$Q_3 = \emptyset$			
		00	01	11	10
$Q_0, \bar{I}N$	00	0001	0010	1000	0110
	01	0000	0100	0111	0000
	11	0011	0000	0000	0111
	10	0010	0101	1000	0010

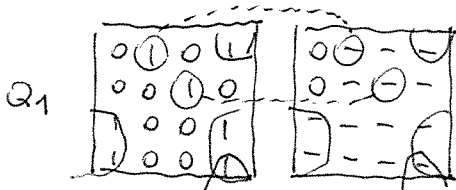
$Q_2 Q_1$		$Q_3 = 1$			
		00	01	11	10
$Q_0, \bar{I}N$	00	0001	-	-	-
	01	0000	-	-	-
	11	-	-	-	-
	10	-	-	-	-



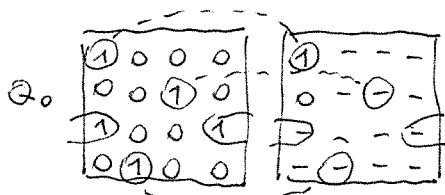
$$Q_3 = Q_2 Q_1 \bar{I}N$$



$$Q_2 = Q_2 \bar{Q}_1 \bar{Q}_0 \bar{I}N + Q_1 \bar{Q}_0 \bar{I}N + Q_2 \bar{Q}_1 Q_0 \bar{I}N + \bar{Q}_2 Q_1 Q_0 \bar{I}N$$

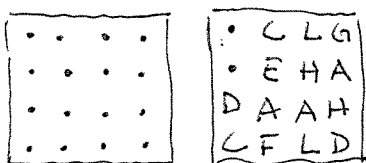


$$Q_1 = \bar{Q}_2 Q_1 \bar{Q}_0 \bar{I}N + Q_2 \bar{Q}_1 \bar{I}N + Q_2 Q_1 \bar{Q}_0 \bar{I}N + \bar{Q}_1 Q_0$$



$$Q_0 = \bar{Q}_2 \bar{Q}_1 \bar{Q}_0 \bar{I}N + Q_2 Q_1 \bar{Q}_0 \bar{I}N + \bar{Q}_1 Q_0 \bar{I}N + \bar{Q}_2 Q_1 Q_0 \bar{I}N$$

stati non specificati (7) vanno comunque in uno stato VALIDO.



- T: 1001
- U: 1010
- V: 1011
- X: 1100
- Y: 1101
- W: 1110
- Z: 1111

3

Posso ottenere un numero di parole (4M) uguali usando entrambi i tipi di chip

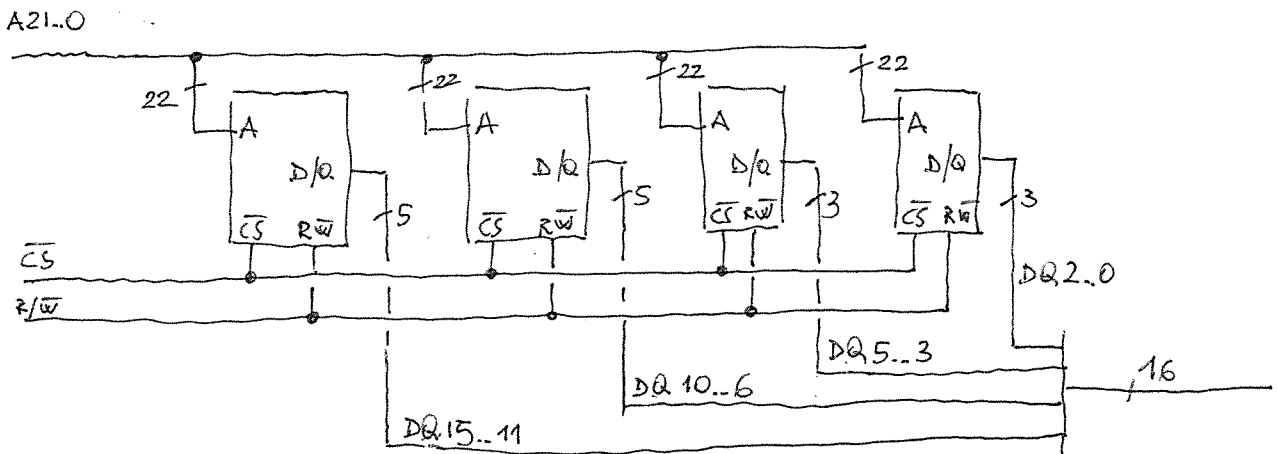
A: 4M x 5 : 4 chip da 1M x 5 costo 1,20 € (3,60 € per 60Mb)

B: 4M x 3 : 2 chip da 2M x 3 costo 0,70 € (3,50 € per 60Mb; è leggermente più economico)

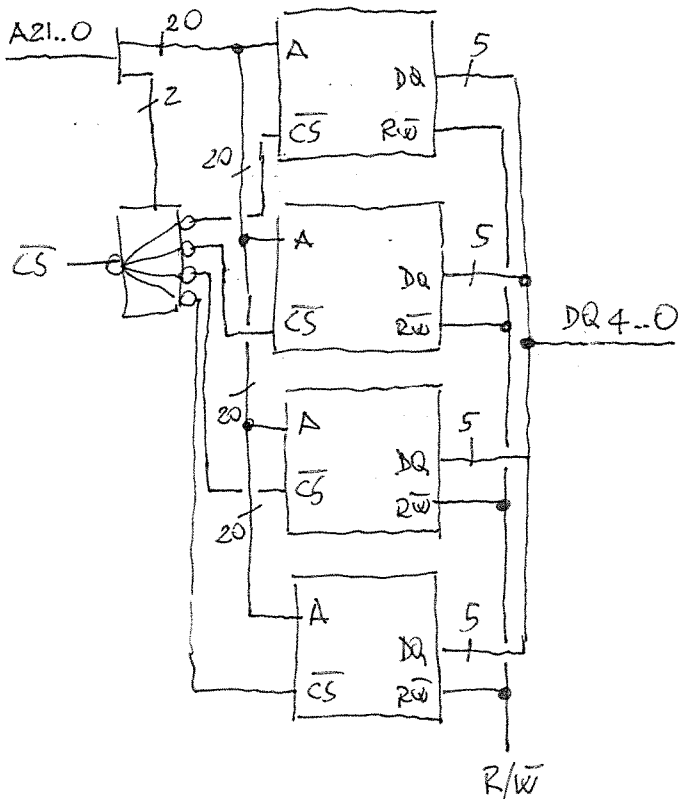
combinazioni per 4M x 16

≥16	€
4A	4,80
3A + B	4,30
2A + 2B	3,80 ← COSTO MINIMO
A + 4B	4
6B	4,20

Assemblaggio finale



Parte A



Parte B

