

ESERCIZIO N°1

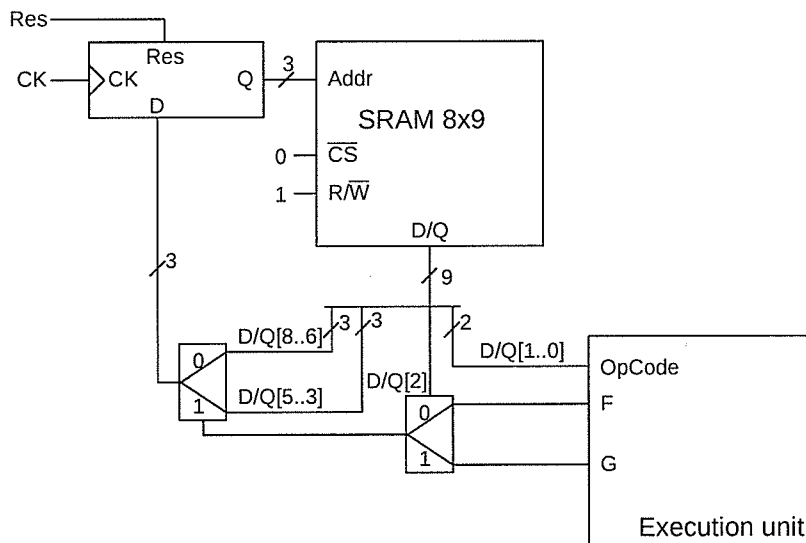
8 punti

Realizzare un sottoprogramma per il microcontrollore AVR XMEGA256A3BU, che trasferisce un blocco di n interi su 2 byte (n è contenuto in R16 e il valore 0 deve essere interpretato come 256) collocati in memoria a partire dall'indirizzo X in una nuova posizione il cui primo indirizzo è contenuto in Y.

ESERCIZIO N°2

5 punti

Determinare il diagramma di flusso, attribuendo agli stati un nome a scelta, del seguente sequenziatore. Il contenuto della SRAM è costituito dalle 8 parole esadecimali: 0x13A, 0x0AB, 0x000, 0x1E5, 0x1BF, 0x036, 0x003, 0x162. Sarebbe stato possibile realizzare il sequenziatore con un contatore a caricamento parallelo, risparmiando sulla dimensione della SRAM (spiegare)?



ESERCIZIO N°3

5 punti

Disegnare lo schema logico di un contatore Johnson modulo 7. Si hanno a disposizione D-FF e porte logiche elementari (AND, OR, NOT). L'uscita, su 7 bit, deve presentare la sequenza {1000000; 0100000; 0010000; 0001000; 0000100; 0000010; 0000001}. Discutere le conseguenze sul circuito del valore dello stato iniziale, in particolare individuando per ogni caso dopo quanti cicli di clock la macchina inizia a comportarsi correttamente.

ESERCIZIO N°4

6 punti

- a) Determinare la mappa di Karnaugh di una funzione logica $Z = f(X_4, X_3, X_2, X_1, X_0)$ dove X_4, X_3 e X_1, X_0 rappresentano 2 cifre consecutive in codifica GRAY, mentre X_2 è un bit di parità (logica parità **dispari**); Z vale 1 se si verifica almeno una di queste condizioni: la codifica GRAY non è rispettata; la regola di parità non è corretta (Z vale 0 altrimenti).
- b) Realizzare con circuito a porte logiche AND, OR, NOT e 2 livelli di logica la funzione del punto a) sia in forma PS sia in forma SP.
- c) Se porte logiche elementari (AND, OR, NOT) a K ingressi hanno $T_{pd} = 0,05 \text{ ns} + 0,1 K \text{ ns}$, quale è il T_{pd} massimo dei due circuiti di cui al punto b)? Se ingressi e uscite del più veloce dei 2 circuiti combinatori di cui al punto b) sono registrati con registri aventi $T_{co} = 0,15 \text{ ns}$, $T_{hold} = 0,05 \text{ ns}$ e $T_{setup} = 0,1 \text{ ns}$ quale è la massima frequenza di lavoro possibile?

ESERCIZIO N°5

4 punti

Realizzare la funzione logica $Z = f(X_4, X_3, X_2, X_1, X_0)$ di cui all'esercizio 4

- a) tramite multiplexer;
- b) tramite decoder.

ESERCIZIO N°6

5 punti

Dati i numeri $X = -\pi + 1$, $Y = -\sqrt{3}$, $Z = -13/8$ e ipotizzando che sia accettabile un errore minore o uguale a 10^{-1} sulla parte frazionaria

- a) Determinare il numero minimo di bit per raggiungere la specifica e la loro rappresentazione in virgola fissa e MS.
- b) Determinare la loro rappresentazione in virgola mobile formato standard IEEE 754 singola precisione (binary32).
- c) Se si usa il microcontrollore AVR XMEGA analizzato durante il corso, quale errore si commette nel rappresentare in un registro i numeri di cui sopra?

1

Realizzare un sottoprogramma per il microcontrollore AVR XMEGA256A3BU, che trasferisce un blocco di n interi su 2 byte (n è contenuto in R16 e il valore 0 deve essere interpretato come 256) collocati in memoria a partire dall'indirizzo X in una nuova posizione il cui primo indirizzo è contenuto in Y.

```
sposta:
  push R16 //salva registri
  push R17
  push XL
  push XH
  push YL
  push YH
  clr R17
  cp XL,YL //individua se c'e` rischio di sovrascrittura
  cpc XH,YH
  brsh loop1
  add XL,R16 //in questo caso si parte dal fondo
  adc XH,R17
  add YL,R16
  adc YH,R17
  rjmp loop2
loop1: //X segue Y: non si puo` sovrascrivere
  ld R17,X+ //trasferisce la parte bassa
  st Y+,R17
  ld R17,X+ //trasferisce la parte alta
  st Y+,R17
  dec R16
  brne loop1
  rjmp end
loop2: //X precede Y e i puntatori sono in fondo
  ld R17,-X //trasferisce la parte alta
  st -Y,R17
  ld R17,-X //trasferisce la parte bassa
  st -Y,R17
  dec R16
  brne loop2
end:
  pop YH //ripristina i registri modificati
  pop YL
  pop XH
  pop XL
  pop R17
  pop R16
ret
```

2

Definizione degli stati e dei flag (dallo schema)

S₀: 000
 S₁: 001
 S₂: 010
 S₃: 011
 S₄: 100
 S₅: 101
 S₆: 110
 S₇: 111

flag F: 0
 G: 1

Contenuto della memoria (binario)

S ₀ :	1	0	0	1	1	1	0	1	0
S ₁ :	0	1	0	1	0	1	0	1	1
S ₂ :	0	0	0	0	0	0	0	0	0
S ₃ :	1	1	1	1	0	0	1	0	1
S ₄ :	1	1	0	1	1	1	1	1	1
S ₅ :	0	0	0	1	1	0	1	1	0
S ₆ :	0	0	0	0	0	0	0	1	1
S ₇ :	1	0	1	1	0	0	0	1	0

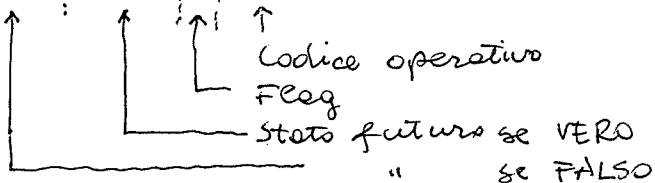
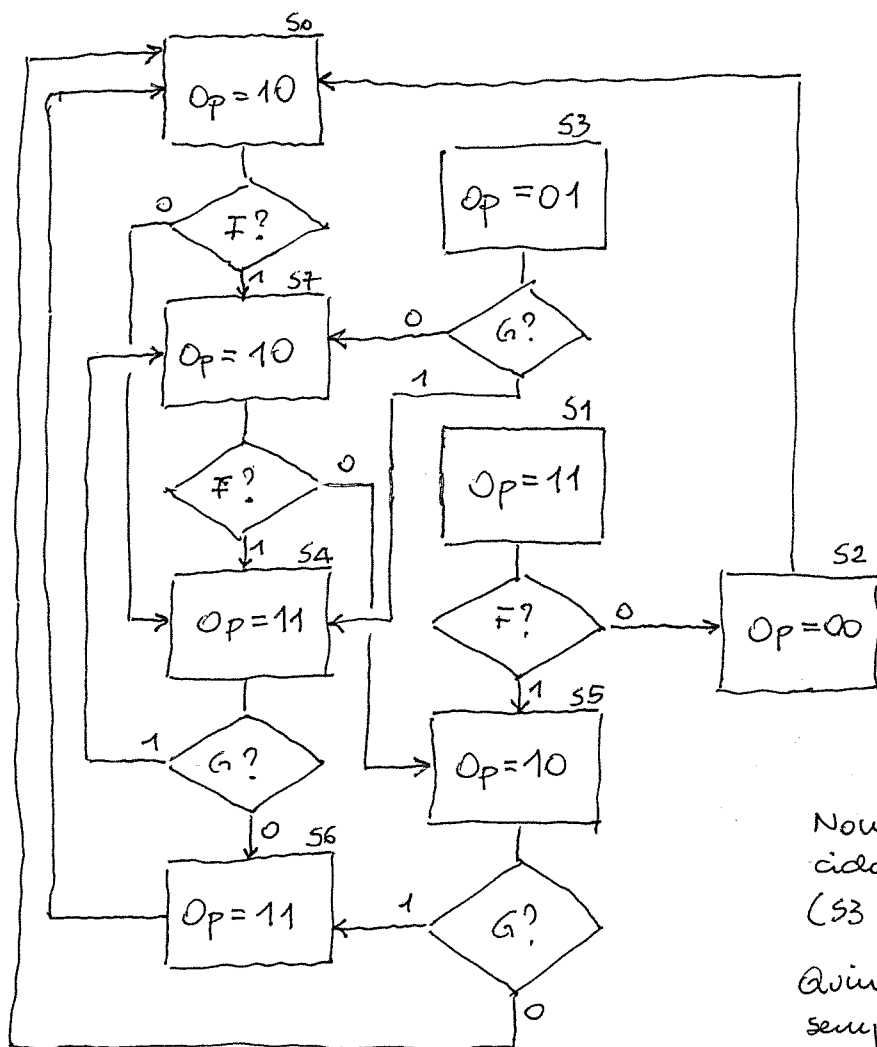


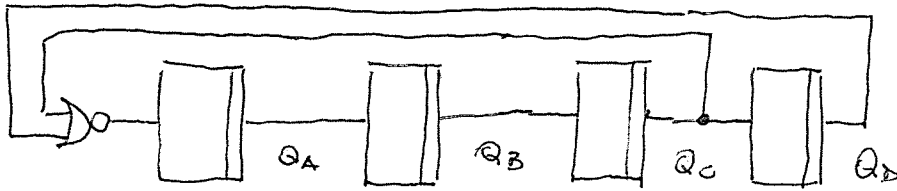
Diagramma di flusso



Non esiste alcun percorso ciclico completo (S3 non viene mai raggiunto)
 quindi NON è possibile semplificare le SRAM con un contatore

3

Johnson Counter Modulo 7

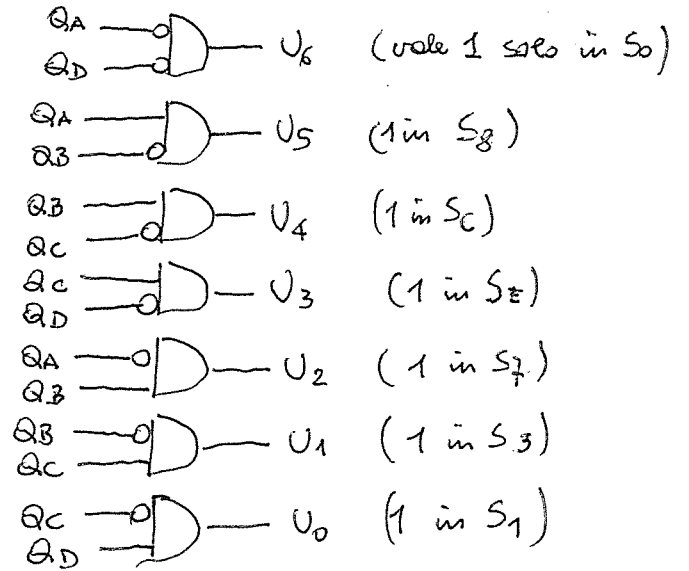


Sequenza degli stati partendo dalla condizione iniziale

Stato	QA	QB	QC	QD
S ₀	0	0	0	0
S ₈	1	0	0	0
S _C	1	1	0	0
S _E	1	1	1	0
S ₇	0	1	1	1
S ₃	0	0	1	1
S ₁	0	0	0	1

0 0 0 0 dopo 7 stati si torna a S₀

Generazione dell'uscita



Ovviamente partendo da uno qualsiasi degli stati della sequenza il comportamento appare CORRETTO

Esaminiamo l'evoluzione a partire dai rimanenti 9 stati

→ S ₂	0 0 1 0	(1 ciclo e poi OK)	→ S ₈	1 0 1 1	(3 cicli e OK)
S ₁	0 0 0 1	OK	S ₅	0 1 0 1	vedi

→ S ₄	0 1 0 0	(4 cicli e poi OK)	→ S _C	1 1 0 0	(1 ciclo e OK)
→ S _A	1 0 1 0	(3 cicli e poi OK)	S _E	1 1 1 0	OK
→ S ₅	0 1 0 1	(2 cicli e poi OK)	-----		
S ₂	0 0 1 0	vedi	→ S _F	1 1 1 1	(1 ciclo e OK)

→ S ₆	0 1 1 0	(1 ciclo e poi OK)	S ₇	0 1 1 1	OK
S ₃	0 0 1 1	OK	-----		

→ S ₉	1 0 0 1	(5 cicli e OK)			
S ₄	0 1 0 0	vedi			

⑥ Esprimiamo i valori proposti con un errore $\ll 10^{-1}$

$$x = -2,14159\dots \quad y = -1,73205\dots \quad z = -1,625$$

a) Se adottiamo una strategia di arrotondamento, per ottenere un errore inferiore a 0,1 sulla parte frazionaria, servono in generale, 3 bit.

Avremo sempre $-1/16 \leq \epsilon_a < 1/16$.

Quindi, in MS serviremo $\begin{matrix} 1 \text{ bit} & \text{per il segno} \\ 2 \text{ bit} & \text{per la parte intera} \\ 3 \text{ bit} & \text{per la parte frazionaria} \end{matrix}$

Nei casi particolari si ha

$$\begin{array}{l} x = 1 \overset{s}{|} 10,001 \quad (-2,125 \quad \epsilon_A = -0,0166_-) \\ y = 1 \overset{s}{|} 01,110 \quad (-1,750 \quad \epsilon_A = 0,0014_-) \\ z = 1 \overset{s}{|} 01,101 \quad (-1,625 \quad \epsilon_A = \phi) \end{array}$$

b) Rappresentazione binaria₃₂ $x = (-1)^s 2^{e-127} \left\{ 1 + \sum_{i=1}^{23} b_{23-i} 2^{-i} \right\}$

$$-2,14159\dots = (-1)^1 2^1 (1 + 593883 \cdot 2^{-23}) \quad [\text{arrotond.}]$$

$$\overset{s}{[1|} \overset{e=128}{10000000|} 000100100000111111011011]$$

$$-1,73205\dots = (-1)^1 2^0 (1 + 6140887 \cdot 2^{-23})$$

$$\overset{s}{[1|} \overset{e=127}{01111111|} 10111011011001111010111]$$

$$-1,625 = (-1)^1 \cdot 2^0 (1 + 5242880 \cdot 2^{-23})$$

$$\overset{s}{[1|} \overset{e=127}{01111111|} 101000000000000000000000]$$

c) la rappresentazione nell'XTEGA è su 8 bit in complemento a 2.
 Posso aggiungere 2 bit alla parte frazionaria

$$\begin{array}{rcl}
 X = & 1 \dot{1} 0, 00101 & \text{MS} \\
 & 1 \ 01, 11010 & \text{C1} \\
 & 1 \ 01, 11011 & \text{C2} \quad -2,15625 \\
 \varepsilon_A = & 0,01466 & \varepsilon_r = 6,84\% \quad \{ |\varepsilon_a / X| \}
 \end{array}$$

$$\begin{array}{rcl}
 Y = & 1 \dot{1} 01, 10111 & \text{MS} \\
 & 1 \ 10, 01000 & \text{C1} \\
 & 1 \ 10, 01001 & \text{C2} \quad -1,71875 \\
 \varepsilon_A = & -0,0133 & \varepsilon_r = 7,68\% \quad \{ |\varepsilon_a / Y| \}
 \end{array}$$

$$\begin{array}{rcl}
 Z = & 1 \dot{1} 01, 10100 & \text{MS} \\
 & 1 \ 10, 01011 & \text{C1} \\
 & 1 \ 10, 01100 & \text{C2} \quad -1,625 \\
 \varepsilon_A = & \phi & \varepsilon_r = \phi
 \end{array}$$

Per gli esercizi 4 e 5 si rimanda ai compiti precedenti