

SCHEDA ASE1707		Data: 17 Settembre 2017
Cognome	Nome	

ESERCIZIO N°1

8 punti

Una SRAM da 64k x 8 è collegata esternamente alle porte di un microcontrollore XMEGA256A3BU. In particolare, il bus degli indirizzi è collegato alle porte A (parte più significativa) e B (parte meno significativa), il bus dei dati alla porta C e i segnali di controllo R/\overline{W} e \overline{CE} rispettivamente ai pin D0 e D1 della porta D.

- a) Scrivere la parte di inizializzazione in modo che le porte A, B, C e D siano viste come porte virtuali e che configuri le porte A, B, C in uscita (totem pole) con valore nullo, e i pin D0 e D1 in uscita (totem pole) con valore 1 (memoria non attiva, in lettura).
- b) Scrivere quindi un sottoprogramma in grado di leggere dalla memoria all'indirizzo contenuto nel puntatore X trasferendo il valore letto nel registro R16. Il sottoprogramma non deve alterare gli altri registri e deve lasciare l'interfaccia verso la memoria nello stato iniziale.

ESERCIZIO N°2

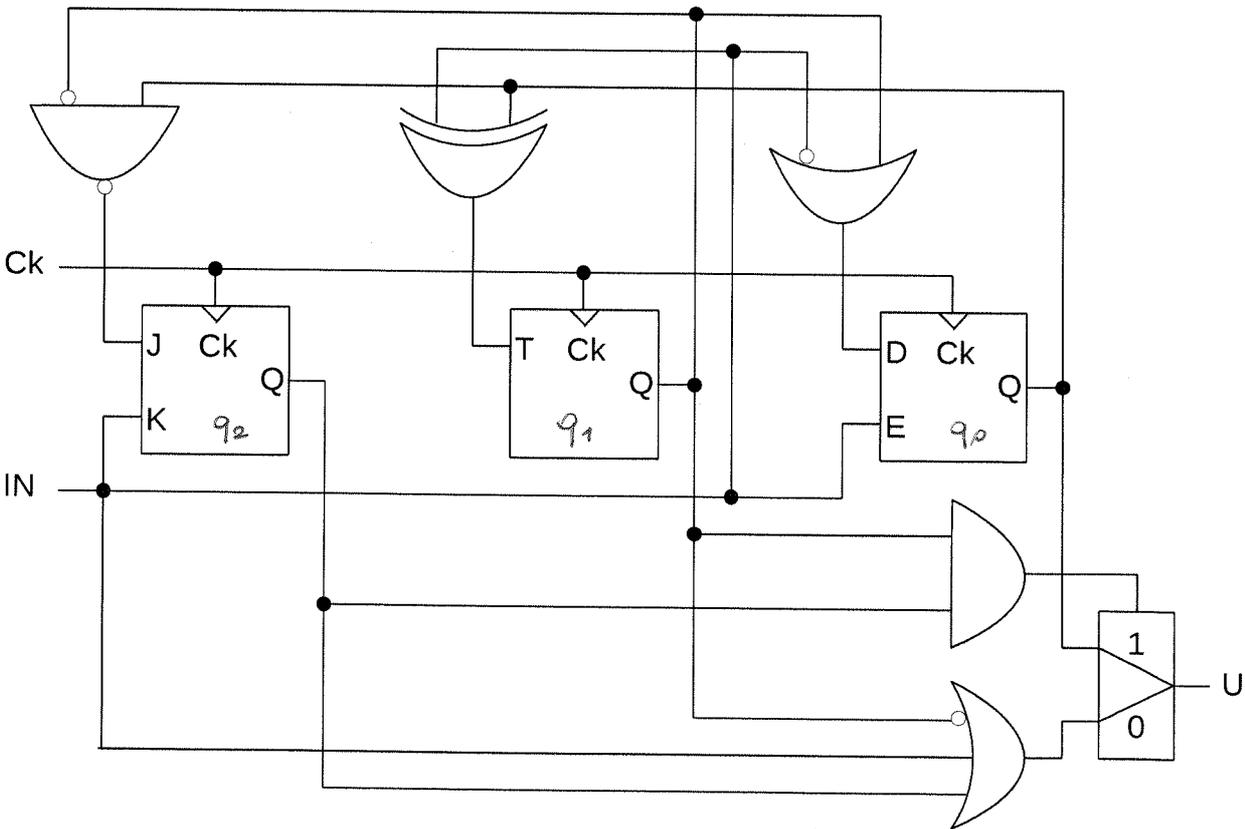
5 punti

Realizzare, usando esclusivamente multiplexer 2:1, una rete combinatoria che calcola il bit s_1 (cioè di peso 2^1) della somma di 5 bit (gli ingressi della rete). Cercare di minimizzare il numero di multiplexer impiegati.

ESERCIZIO N°3

6 punti

Determinare la tipologia architetturale e il grafo delle transizioni della seguente rete sequenziale sincrona.



ESERCIZIO N°4

5 punti

Determinare, tra tutte le forme normali PS, quella a minimo numero di letterali che realizza una funzione logica in grado di evidenziare ponendo 1 in uscita se il numero binario di ingresso a 5 bit sia multiplo di 3, o di 5, o di 7, o di 11. Evidenziare gli implicati essenziali. Disegnare quindi lo schema logico corrispondente.

ESERCIZIO N°5

4 punti

Disegnare lo schema logico di un registro universale a 8 bit (più un bit aggiuntivo per il carry) in grado di implementare funzionalità simili ai comandi (di un microcontrollore con architettura AVR) indicati di seguito, sulla base del valore di un segnale di controllo a 3 bit.

0:ASR, 1:LSR, 2:ROR, 3:LSL, 4:ROL, 5:LDI, 6:CLR, 7:COM

ESERCIZIO N°6

6 punti

Siano dati i 2 valori reali e^{-28} e $1/(28!)$.

- a) Determinare la rappresentazione arrotondata in notazione IEEE754-2008 (binary32) e valutare l'errore di rappresentazione relativo commesso nei 2 casi.
- b) Valutare la rappresentazione del risultato del prodotto tra i due numeri rappresentati e valutare anche in questo caso l'errore di rappresentazione relativo.

1

Una SRAM da 64k x 8 è collegata esternamente alle porte di un microcontrollore XMEGA256A3BU. In particolare, il bus degli indirizzi è collegato alle porte A (parte più significativa) e B (parte meno significativa), il bus dei dati alla porta C e i segnali di controllo R/\overline{W} e \overline{CE} rispettivamente ai pin D0 e D1 della porta D.

a) Scrivere la parte di inizializzazione in modo che le porte A, B, C e D siano viste come porte virtuali e che configuri le porte A, B, C in uscita (totem pole) con valore nullo, e i pin D0 e D1 in uscita (totem pole) con valore 1 (memoria non attiva, in lettura).

b) Scrivere quindi un sottoprogramma in grado di leggere dalla memoria all'indirizzo contenuto nel puntatore X trasferendo il valore letto nel registro R16. Il sottoprogramma non deve alterare gli altri registri e deve lasciare l'interfaccia verso la memoria nello stato iniziale.

```
.EQU PORT_PIN_value=0b00000000 //pin normale, totem pole (b5_3=000); per tutte
.EQU PORT_ABC_DIRSET_value=0xFF //tutti i pin in uscita; per A, B e C
.EQU PORT_D_DIRSET_value=0x03 //pin 0 e 1 in uscita; vale per D
.EQU PORT_ABC_OUT_value=0x00 //uscite di A, B e C
.EQU PORT_D_OUT_value=0x03 //uscita dei pin D1 e D0
.EQU PINMASK_ABC_value=0xFF //tutti i pin configurati allo stesso modo
.EQU PINMASK_D_value=0x03 //pin 0 e 1 configurati allo stesso modo
.EQU VPCTRLA_value=0x10 //VPORT0 e` A, VPORT1 e` B
.EQU VPCTRLB_value=0x32 //VPORT2 e` C, VPORT3 e` D
```

configure: //parte a)

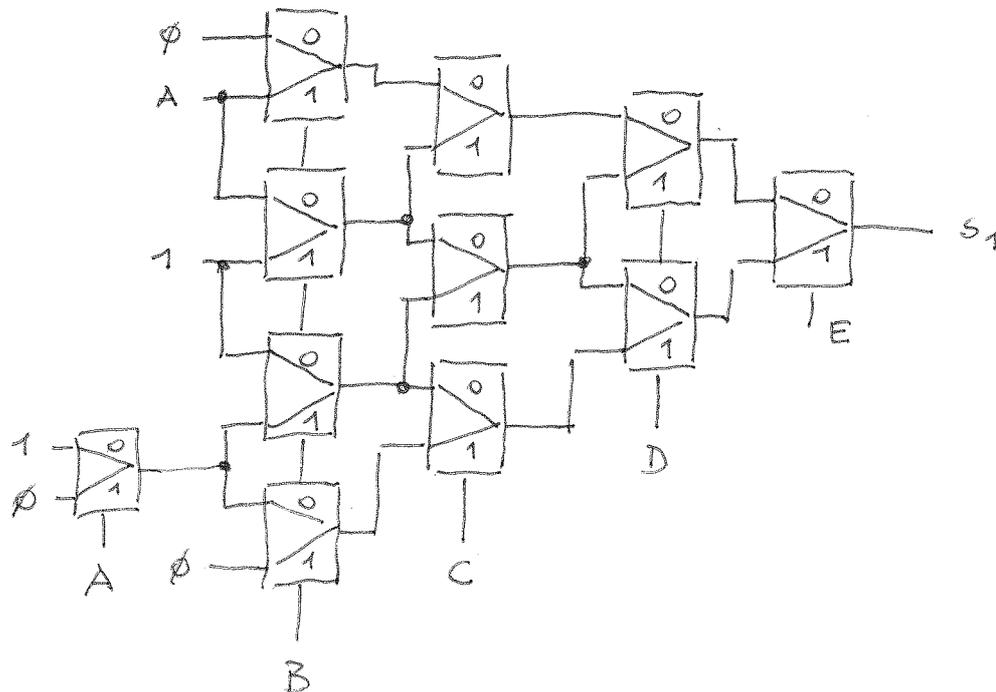
```
ldi R16,PINMASK_ABC_value
ldi R17,PINMASK_D_value
ldi R18,PORT_PIN_value
sts PORTCFG_MPCMASK,R16 //predispone la maschera per porta A
sts PORTA_PIN0CTRL,R18 //basta configurare un pin solo
sts PORTCFG_MPCMASK,R16 //predispone la maschera per porta B
sts PORTB_PIN0CTRL,R18
sts PORTCFG_MPCMASK,R16 //predispone la maschera per porta C
sts PORTC_PIN0CTRL,R18
sts PORTCFG_MPCMASK,R17 //predispone la maschera per porta D
sts PORTD_PIN0CTRL,R18
ldi R16,PORT_ABC_OUT_value //predispone le uscite
ldi R17,PORT_D_OUT_value
sts PORTA_OUT,R16 //tutti i pin con uscita 0
sts PORTB_OUT,R16
sts PORTC_OUT,R16
sts PORTD_OUT,R17 //in uscita a 1 i pin 0 e 1
ldi R16,PORT_ABC_DIRSET_value
ldi R17,PORT_D_DIRSET_value
sts PORTA_DIRSET,R16 //tutti i pin in uscita
sts PORTB_DIRSET,R16
sts PORTC_DIRSET,R16
sts PORTD_DIRSET,R17 //in uscita i pin 0 e 1
ldi R16,VPCTRLA_value
sts PORTCFG_VPCTRLA,R16 //configura le due porte virtuali 0 e 1
ldi R16,VPCTRLB_value
sts PORTCFG_VPCTRLB,R16 //configura le due porte virtuali 2 e 3
```

```
read_mem: //parte b)
push R17
clr R16 //non serve salvarlo
ser R17
out VPORT0_OUT,XH
out VPORT1_OUT,XL //indirizzo in uscita su [A:B]
out VPORT2_DIR,R16 //porta C in ingresso
cbi VPORT3_OUT,1 //attiva CE!
nop //eventualmente per adattarsi al tempo di accesso della SRAM
in R16,VPORT2_IN //legge porta C in R16
sbi VPORT3_OUT,1 //disattiva CE!
out VPORT2_DIR,R17 //porta C di nuovo in uscita
pop R17
ret
```

② viste le proprietà commutative e associative della somma, l'ordine dei bit non ha influenza.

Inoltre il risultato è $S_1=1$ se il numero degli 1 è 2 o 3.

Sfruttando queste osservazioni si ha, detti A, B, C, D, E gli ingressi



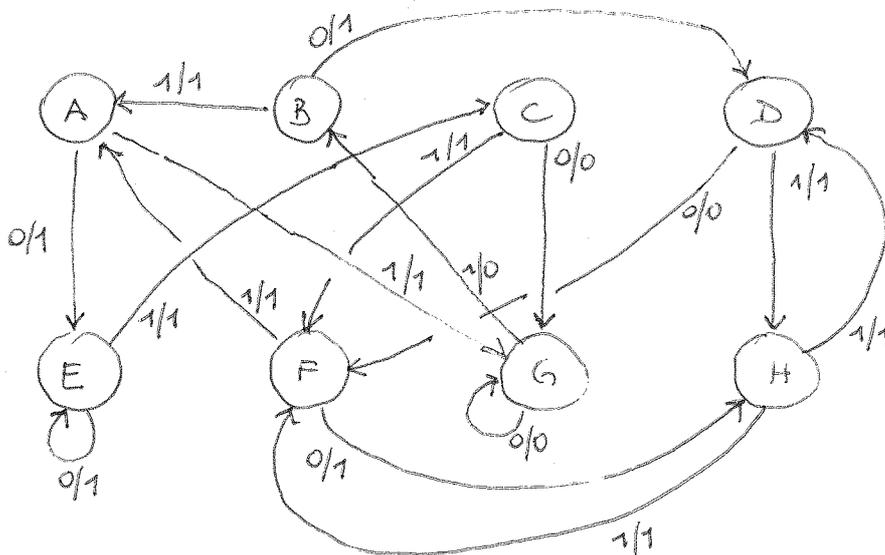
③ A una prima analisi la macchina appare di Mealy (la rete di uscita ha IN tra i suoi ingressi)

Determino la funzione di uscita, (mux 2:1)

$$\begin{aligned}
 U &= q_1 \cdot q_2 \cdot q_0 + \overline{q_1} \cdot q_2 \cdot (\overline{q_1} + IN + q_2) = \\
 &= q_2 \cdot q_1 \cdot q_0 + (\overline{q_1} + \overline{q_2}) (\overline{q_1} + IN + q_2) = \\
 &= q_2 \cdot q_1 \cdot q_0 + \overline{q_1} + IN \cdot \overline{q_2} \quad (\text{confermato Mealy})
 \end{aligned}$$

Tabella di eccitazione (e transizioni)

Stato	$(q_1, \overline{q_0}), IN$				$IN \oplus q_0$			$q_1 + \overline{IN}$			q_2^+	q_1^+	q_0^+	(al clk) \hat{U}	
	q_2	q_1	q_0	IN	J	K	T	D	E						
A	0	0	0	0	1	0	0	1	0	1	0	0	E	1	
				1	1	1	1	0	1	1	1	0	G	1	
B	0	0	1	0	0	0	1	1	0	0	1	1	D	1	
				1	0	1	0	0	1	0	0	0	A	1	
C	0	1	0	0	1	0	0	1	0	1	1	0	G	0	
				1	1	1	1	1	1	1	0	1	F	1	
D	0	1	1	0	1	0	1	1	0	1	0	1	F	0	
				1	1	1	0	1	1	1	1	1	H	1	
E	1	0	0	0	1	0	0	1	0	1	0	0	E	1	
				1	1	1	1	0	1	0	1	0	C	1	
F	1	0	1	0	0	0	1	1	0	1	1	1	H	1	
				1	0	1	0	0	1	0	0	0	A	1	
G	1	1	0	0	1	0	0	1	0	1	1	0	G	0	
				1	1	1	1	1	1	0	0	1	B	0	
H	1	1	1	0	1	0	1	1	0	1	0	1	F	1	
				1	1	1	0	1	1	0	1	1	D	1	



GRAFO

4

Rete combinatoria

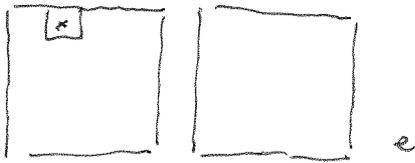
$x_4 = 0$

	$x_3 x_2$			
	00	01	11	10
$x_1 x_0$				
00	1 ⁰	0 ⁴	1 ¹²	0 ⁸
01	0 ¹	1 ⁵	0 ¹³	1 ⁹
11	1 ³	1 ⁷	1 ¹⁵	1 ¹¹
10	0 ²	1 ⁶	1 ¹⁴	1 ¹⁰

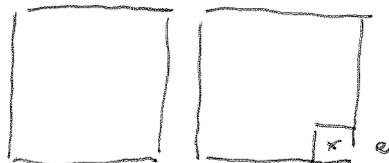
$x_4 = 1$

	$x_3 x_2$			
	00	01	11	10
$x_1 x_0$				
00	0 ¹⁶	1 ²⁰	1 ²⁸	1 ²⁴
01	0 ¹⁷	1 ²¹	0 ²⁹	1 ²⁵
11	0 ¹⁹	0 ²³	0 ³¹	1 ²⁷
10	1 ¹⁸	1 ²²	1 ³⁰	0 ²⁶

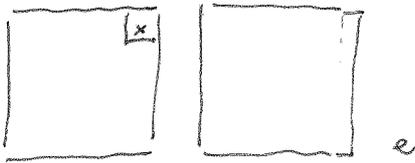
Implicati per coprire gli ϕ delle funzioni



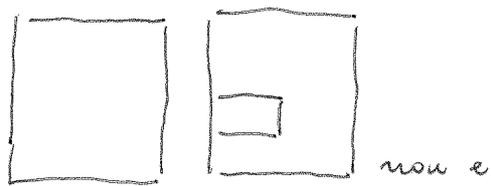
e



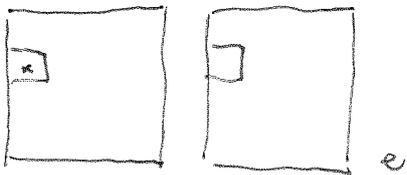
e



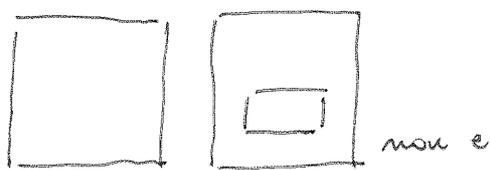
e



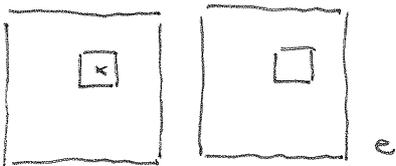
non e



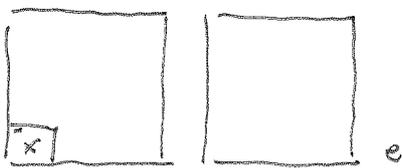
e



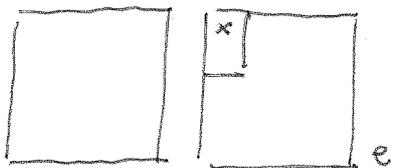
non e



e



e



e

Con "e" sono evidenziati gli implicati essenziali (e con x un max termine coperto in modo esclusivo)

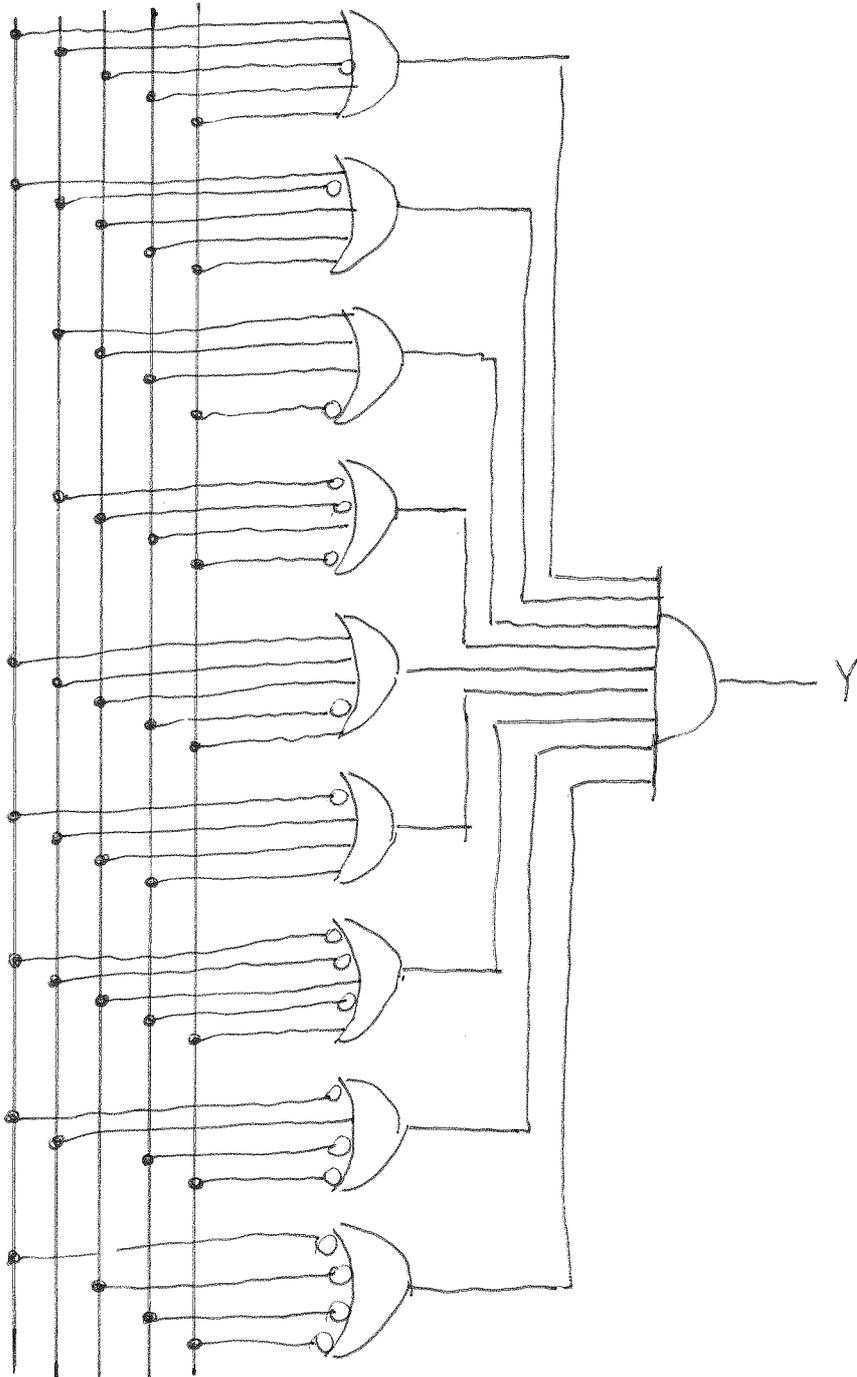
Espressione

$$(\bar{x}_4 + x_3 + \bar{x}_1 + \bar{x}_0)(\bar{x}_4 + \bar{x}_2 + \bar{x}_1 + \bar{x}_0)$$

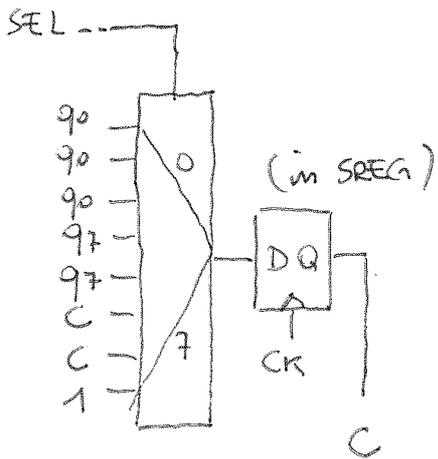
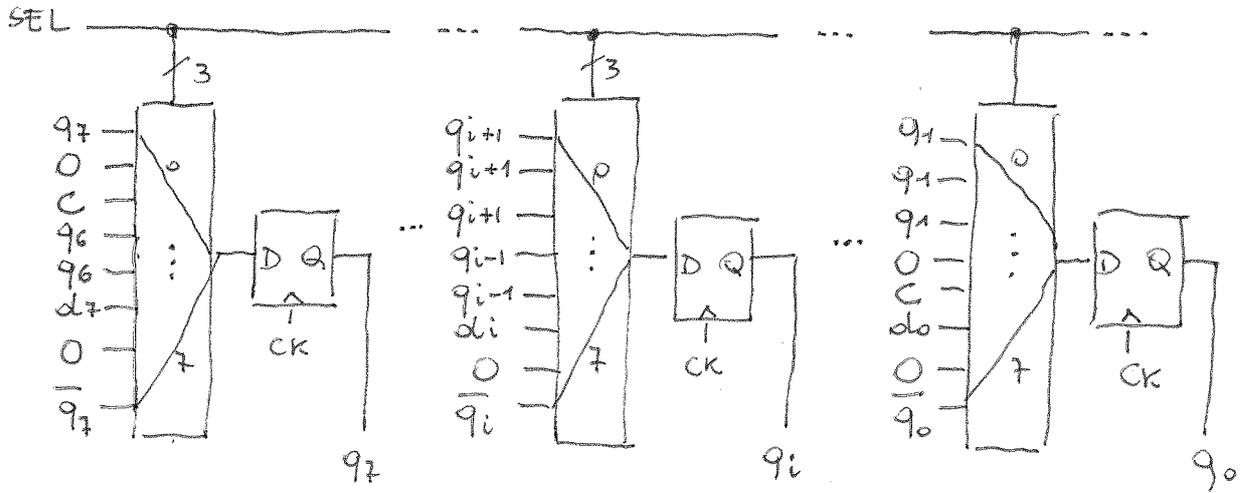
$$Y = (x_4 + x_3 + \bar{x}_2 + x_1 + x_0)(x_4 + \bar{x}_3 + x_2 + x_1 + x_0)(x_3 + x_2 + x_1 + \bar{x}_0)(\bar{x}_3 + \bar{x}_2 + x_1 + \bar{x}_0) \\ (x_4 + x_3 + x_2 + \bar{x}_1 + x_0)(\bar{x}_4 + x_3 + x_2 + x_1)(\bar{x}_4 + \bar{x}_3 + x_2 + \bar{x}_1 + x_0)$$

Scheme logics

$x_4 x_3 x_2 x_1 x_0$



5



operazioni

- ASR
- LSR
- ROR
- LSL
- ROL
- LDI
- CLR
- COM

(d ingresso esterno)

carry secondo
le data sheet dell'AVR

⑥ legge di rappresentazione (normalizzabili)

$$x = (-1)^s \cdot 2^{E-127} (1 + T \cdot 2^{-23})$$

$$e^{-28} = 6,91... \cdot 10^{-13} = 2^{-41} (1 + 0,52...) =$$

$$= 2^{-41} (1 + 2^{-23} \cdot 4366208,92...)$$

$s = \phi$; $E = 86$; $T = 4366209$ (ovv) quindi

$$s \mid \begin{array}{c} E \\ 001010110 \end{array} \mid \begin{array}{c} T \\ 100,0010,1001,1111,1000,0001 \end{array} \mid$$

$$1/28! = 3,27... \cdot 10^{-30} = 2^{-38} (1 + 0,039...) =$$

$$= 2^{-38} (1 + 2^{-23} \cdot 330833,19...)$$

$s = \phi$; $E = 29$; $T = 330833$

$$s \mid \begin{array}{c} E \\ 000011101 \end{array} \mid \begin{array}{c} T \\ 000,0101,0000,1100,0101,0001 \end{array} \mid$$

Il prodotto dei due valori (corrispondenti alle rappresentazioni) vale

$$P = 2^{-139} (1 + 4366209 \cdot 2^{-23}) (1 + 330833 \cdot 2^{-23})$$

Questo valore è inferiore a 2^{-126} e quindi può essere rappresentato soltanto come numero NON normalizzabile ($E = \phi$)

$$x = (-1)^s \cdot T \cdot 2^{-149}$$

$P = 2^{-149} \cdot 1618,38...$ quindi $E = 0$; $T = 1618$

$$s \mid \begin{array}{c} E \\ 00000000 \end{array} \mid \begin{array}{c} T \\ 000,0000,0000,0110,0101,0010 \end{array} \mid$$

Errori relativi delle diverse rappresentazioni

$$\epsilon = \frac{\hat{x} - x}{x} = \frac{\hat{x}}{x} - 1$$

Assumiamo come valore "vero" quello valutato in precisione almeno doppia della calcolatrice

$$\epsilon_1(e^{-28}) = 6,304 \cdot 10^{-3}$$

$$\epsilon_2(1/28!) = -2,225 \cdot 10^{-8}$$

$$\epsilon_3(\text{Prod}) = -2,406 \cdot 10^{-4}$$

come prevedibile molto
meggiore di quello dei numeri
normalizzati

nel caso 3, se si prende come valore esatto il prodotto effettivo dei valori rappresentati, si ha un errore relativo praticamente uguale a quello già trovato (4 cifre sig.)