

Cognome

Nome

**ESERCIZIO N°1**

8 punti

Realizzare una subroutine `bcd_convert` per il microcontrollore AVR XMEGA256A3BU che converte il valore BCD contenuto nella coppia di registri R25:R24 in un valore binario da porre al posto del dato di partenza. La subroutine non si deve preoccupare della validità dei codici di partenza.

**ESERCIZIO N°2**

5 punti

Disegnare lo schema logico in forma normale a minimo numero di letterali (scegliendo la migliore tra SP e PS) della funzione combinatoria che vale 1 in corrispondenza dei valori di A, B, C, D per cui sono vere contemporaneamente le 2 seguenti uguaglianze (e 0 altrimenti).

$$(C+D)(\bar{A}+B)(\bar{B}+D) = \bar{A}C + \bar{A}BD\bar{C} + A\bar{C}\bar{B}\bar{D}$$

$$\bar{B}D + \bar{A}B\bar{C} + \bar{D}AC + B\bar{D}\bar{C} = (\bar{C} + \bar{D})(\bar{D} + B)(\bar{A} + C + D + \bar{B})(A + B + \bar{C})$$

**ESERCIZIO N°3**

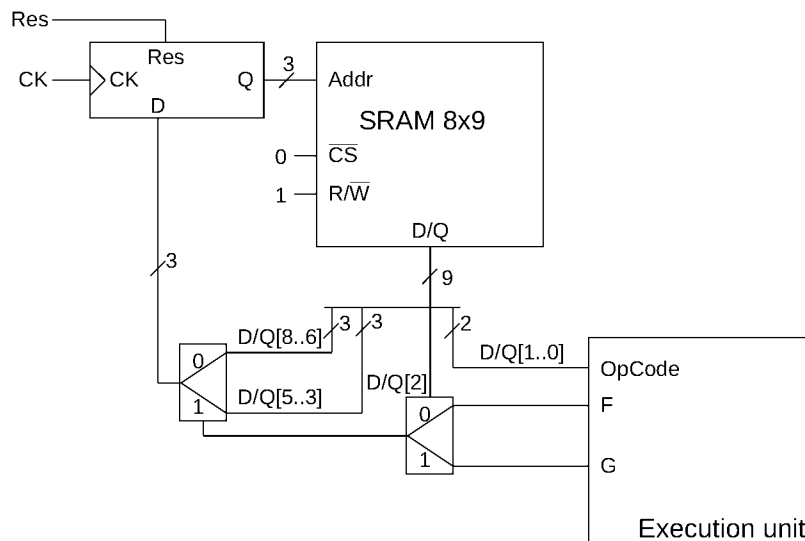
5 punti

Definire il funzionamento di un priority encoder 4:2, dotato anche dell'uscita V (dato valido, vero se e solo se almeno una delle linee di ingresso vale 1) e disegnarne lo schema logico con porte elementari. La linea con numero d'ordine maggiore è quella prioritaria.

**ESERCIZIO N°4**

5 punti

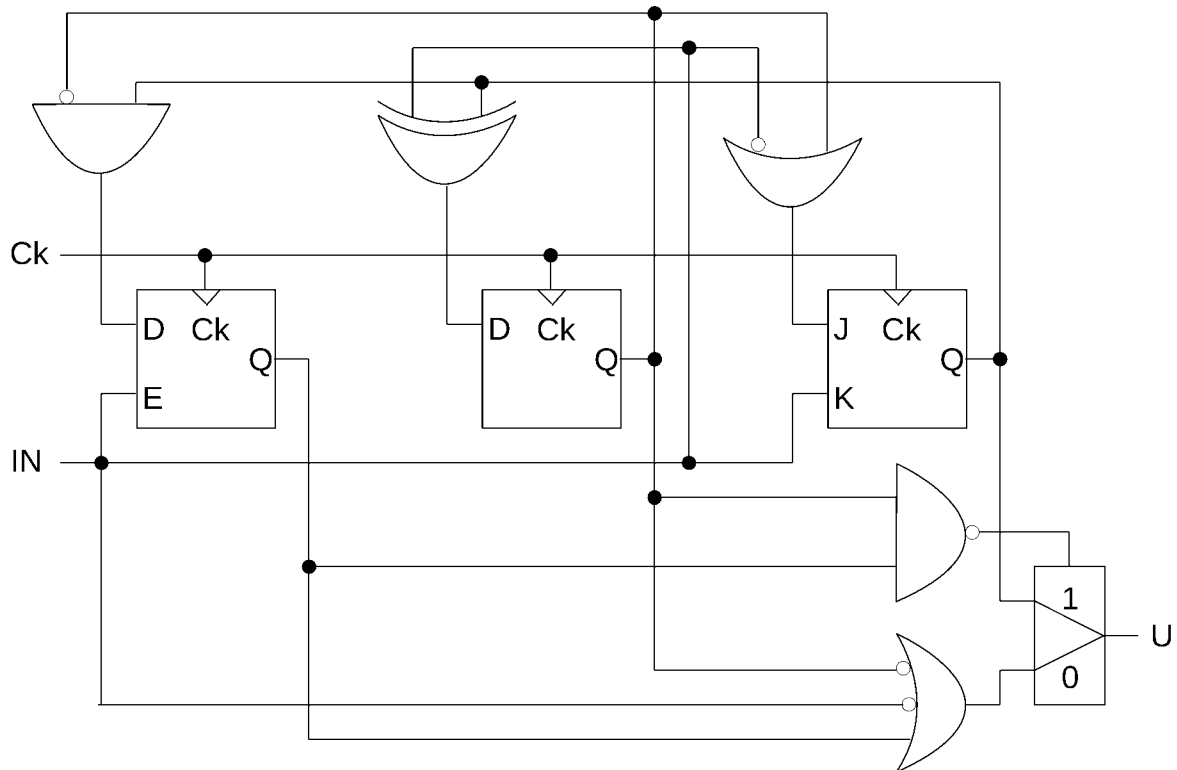
Determinare il diagramma di flusso, attribuendo agli stati un nome a scelta, del seguente sequenziatore. Le 8 righe della SRAM contengono i seguenti 8 valori: 119, 83, 192, 13, 429, 409, 314, 164. Sarebbe stato possibile realizzare il sequenziatore con un contatore a caricamento parallelo, risparmiando sulla dimensione della SRAM (spiegare)?



## ESERCIZIO N°5

5 punti

Individuare la tipologia architeturale e disegnare il grafo delle transizioni della seguente macchina sequenziale sincrona.



## ESERCIZIO N°6

5 punti

Determinare la rappresentazione nel formato binary 32 (IEEE754) dei seguenti numeri, arrotondando il valore effettivo al codice più vicino, e poi valutare l'errore relativo con segno con 3 (strettamente) cifre significative, definito da:

$$\frac{(\hat{x} - x)}{x}$$

$$A = -1/(13^{35})$$

$$B = 4 \log_{11}(11,245)$$

$$C = -5/7$$

$$D = -24^{28}$$

# 1

Realizzare una subroutine `bcd_convert` per il microcontrollore AVR XMEGA256A3BU che converte il valore BCD contenuto nella coppia di registri R25:R24 in un valore binario da porre al posto del dato di partenza. La subroutine non si deve preoccupare della validità dei codici di partenza.

```
bcd_convert:
    push R0
    push R1
    push R16
    mov R16,R25 //converte in binario la parte alta (centinaia, migliaia)
    andi R16,0xF0 //migliaia
    andi R25,0x0F
    lsr R16 //x8
    add R25,R16
    lsr R16
    lsr R16 //x2
    add R25,R16
    mov R16,R24 //converte in binario la parte bassa (unità, decine)
    andi R16,0xF0 //decine
    andi R24,0x0F
    lsr R16 //x8
    add R24,R16
    lsr R16
    lsr R16 //x2
    add R24,R16
    ldi R16,100 //somma alla parte bassa quella alta*100
    mul R16,R25
    clr R25
    add R24,R0
    adc R25,R1
    pop R16
    pop R1
    pop R0
    ret
```

2

Esercizio: 4 termini delle 2 equazioni

	AB			
CD	00	01	11	10
00	0	0	0	0
01	1	1	1	0
11	1	1	1	0
10	1	0	0	0

	AB			
CD	00	01	11	10
00	0	0	0	1
01	0	1	0	0
11	1	1	0	0
10	1	1	0	0

	AB			
CD	00	01	11	10
00	1	1	1	0
01	0	1	0	1
11	1	1	0	1
10	1	0	1	1

	AB			
CD	00	01	11	10
00	0	1	1	0
01	1	1	0	1
11	1	0	0	1
10	0	0	1	1

	AB			
CD	00	01	11	10
00	1	1	0	1
01	0	1	1	0
11	0	0	0	0
10	0	1	1	1

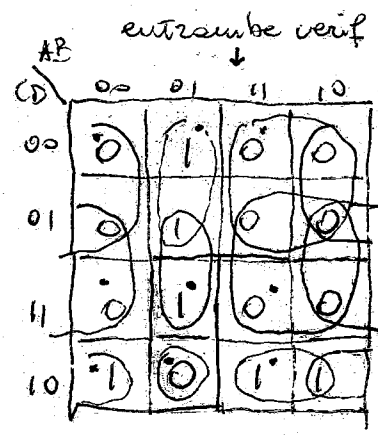
	AND			
CD	00	01	11	10
00	0	1	0	0
01	0	1	0	0
11	0	1	1	0
10	1	0	1	1

SP 4 implicant ord 1 12 lettere  
 PS 4 implicant ord 2 12 lettere  
 1 implicato ord 4

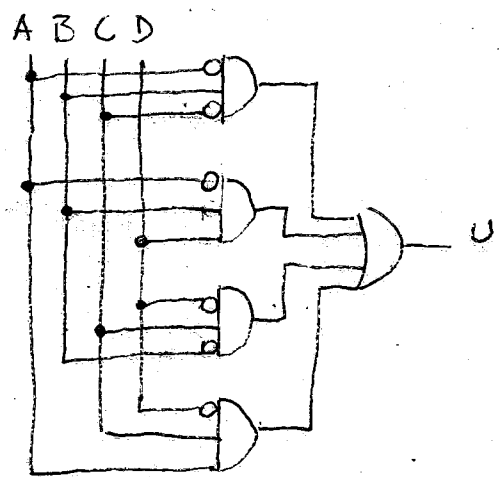
TUTTI ESSENZIALI

Forme ottimali SP (non equiv)

$$U = \bar{A}\bar{B}\bar{C} + \bar{A}B\bar{D} + \bar{B}C\bar{D} + A\bar{C}\bar{D}$$



Schema logico



3

Tabella di verità

L <sub>3</sub>	L <sub>2</sub>	L <sub>1</sub>	L <sub>0</sub>	U <sub>1</sub>	U <sub>0</sub>	V
0	0	0	0	0	0	0
0	0	0	1	0	0	1
0	0	1	x	0	1	1
0	1	x	x	1	0	1
1	x	x	x	1	1	1

Sintesi con reti in forme normali

$$V = L_3 + L_2 + L_1 + L_0$$

U<sub>1</sub>

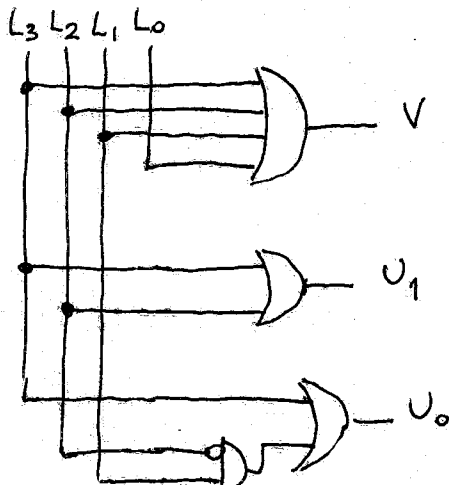
L <sub>3</sub> L <sub>2</sub>	L <sub>1</sub> L <sub>0</sub>	00	01	11	10
00		0	1	1	1
01		0	1	1	1
11		0	1	1	1
10		0	1	1	1

U<sub>0</sub>

L <sub>3</sub> L <sub>2</sub>	L <sub>1</sub> L <sub>0</sub>	00	01	11	10
00		0	0	1	1
01		0	0	1	1
11		1	0	1	1
10		1	0	1	1

$$U_1 = L_2 + L_3$$

$$U_0 = L_3 + \bar{L}_2 L_1$$



4

Si esamina il contenuto delle ROM

001	110	111
001	010	011
011	000	000
000	001	101
110	101	101
110	011	001
100	111	010
010	100	100

False True F Op

Stato

- S<sub>0</sub>
- S<sub>1</sub>
- S<sub>2</sub>
- S<sub>3</sub>
- S<sub>4</sub>
- S<sub>5</sub>
- S<sub>6</sub>
- S<sub>7</sub>

S <sub>1</sub>	S <sub>6</sub>	G	OP <sub>3</sub>
S <sub>1</sub>	S <sub>2</sub>	F	OP <sub>3</sub>
S <sub>3</sub>	S <sub>0</sub>	F	OP <sub>0</sub>
S <sub>0</sub>	S <sub>1</sub>	G	OP <sub>1</sub>
S <sub>6</sub>	S <sub>5</sub>	G	OP <sub>1</sub>
S <sub>6</sub>	S <sub>3</sub>	F	OP <sub>1</sub>
S <sub>4</sub>	S <sub>7</sub>	F	OP <sub>2</sub>
S <sub>2</sub>	S <sub>4</sub>	G	OP <sub>0</sub>

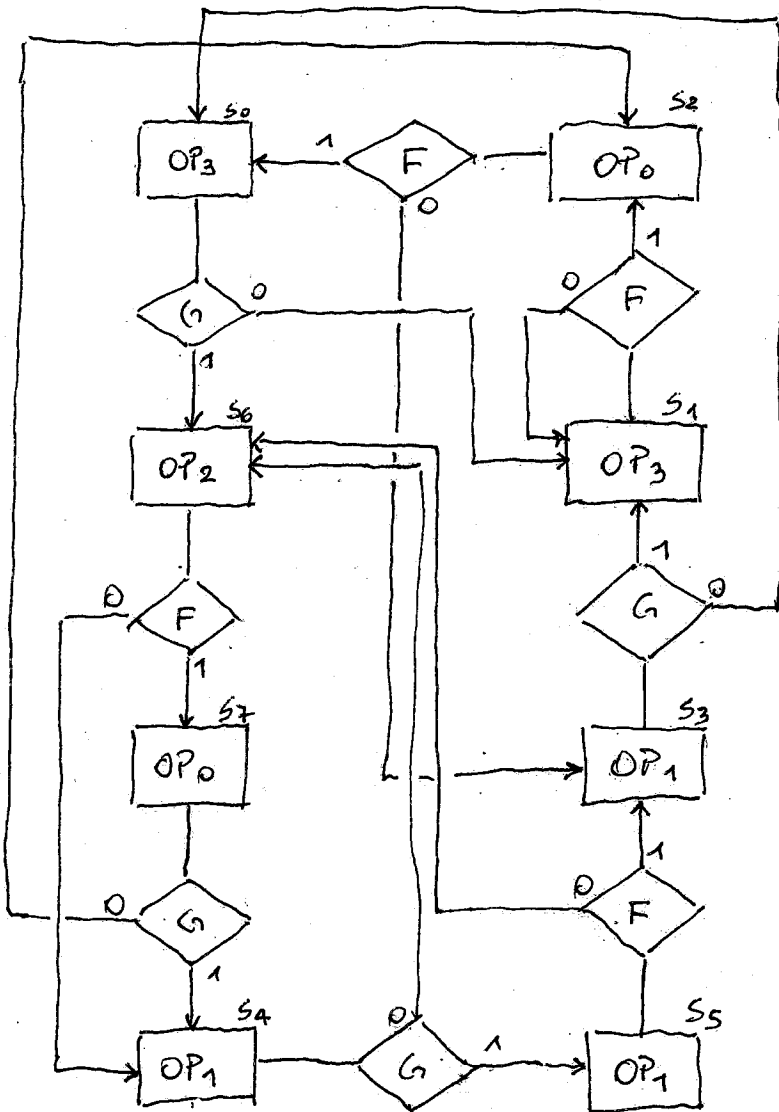


Diagramma di flusso

Esiste una sequenza CICLICA e COMPLETA per flag vero. Quindi sarebbe possibile usare un CONTATORE a caricamento parallelo, risparmiando 3bit sulla DIMENSIONE di PAROLA

... → S<sub>0</sub> → S<sub>6</sub> → S<sub>7</sub> → S<sub>4</sub> → S<sub>5</sub> → S<sub>3</sub> → S<sub>1</sub> → S<sub>2</sub> → S<sub>0</sub> ...

5

Per determinare la tipologia architetturale, occorre esaminare le rete per l'uscita

$$\begin{aligned}
 U &= Q_0 (\overline{Q_1 Q_2}) + (\overline{IN} + Q_2 + \overline{Q_1}) (Q_1 Q_2) = \\
 &= Q_0 \overline{Q_1} + Q_0 \overline{Q_2} + \overline{IN} Q_1 Q_2 + Q_1 Q_2 = Q_0 \overline{Q_1} + Q_0 \overline{Q_2} + Q_1 Q_2
 \end{aligned}$$

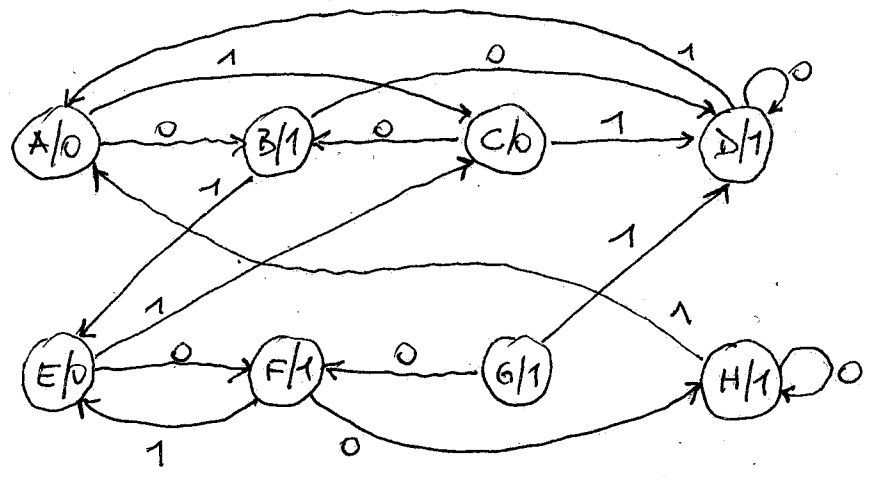
(assorbimento)

La rete è di MOORE, perché l'uscita dipende SOLO dallo stato

Esaminiamo la tabella delle transizioni

U	Stato P	Q <sub>2</sub>	Q <sub>1</sub>	Q <sub>0</sub>	IN	(Q <sub>1</sub> Q <sub>0</sub> ) (IN)		(IN ⊕ Q <sub>0</sub> )(Q <sub>1</sub> + IN) (IN)		Q <sub>2</sub> <sup>+</sup>	Q <sub>1</sub> <sup>+</sup>	Q <sub>0</sub> <sup>+</sup>	Stato F
						D <sub>2</sub>	E <sub>2</sub>	D <sub>1</sub>	J <sub>0</sub>				
0	A	0	0	0	0	0	0	1	0	0	0	1	B
					1	0	1	0	1	0	1	0	1
1	B	0	0	1	0	1	0	1	0	0	1	1	D
					1	1	1	0	1	1	0	0	0
0	C	0	1	0	0	0	0	1	0	0	0	1	B
					1	0	1	1	1	0	1	1	1
1	D	0	1	1	0	0	1	1	0	0	1	1	D
					1	0	1	1	1	0	0	0	0
0	E	1	0	0	0	0	0	1	0	1	0	1	F
					1	0	1	0	1	0	1	0	1
1	F	1	0	1	0	1	0	1	0	1	1	1	H
					1	1	1	0	0	1	1	0	0
1	G	1	1	0	0	0	0	1	0	1	0	1	F
					1	0	1	1	1	0	1	1	1
1	H	1	1	1	0	0	1	1	0	1	1	1	H
					1	0	1	1	1	0	0	0	0

Grafo



⑥ Legge di rappresentazione per normalizzabili ( $0 < E < 255$ )

$$x = (-1)^S 2^{E-127} (1 + T 2^{-23})$$

legge per non normalizzabili ( $E \leq 0$ )

$$x = (-1)^S 2^{-149} T$$

Valutiamo E nel nostro caso

A: non norm  
D:  $-\infty$   
B, C: norm

A	1	00000000	00010110011000110010010100
B	0	10000001	00000010010110100000110
C	1	01111110	01101101101101101101101110
D	1	11111111	000000000000000000000000

Applico la def. di errore relativo

$$\epsilon = \frac{x_i - x}{x}$$

- $\epsilon_A = 4,50 \cdot 10^{-7}$
- $\epsilon_B = -1,35 \cdot 10^{-8}$
- $\epsilon_C = 2,38 \cdot 10^{-8}$
- $\epsilon_D = -\infty$