

ARCHITETTURA DEI SISTEMI ELETTRONICI

LEZIONE N° 19

- **Sintesi di reti sequenziali asincrone**
- **Condizioni per la realizzabilità**
 - Condizioni sulle variabili
 - Condizioni sulla rete combinatorio
 - Sintesi del Flip – Flop S-R
 - Riconoscitore di sequenza 1
 - Sintesi del Flip-Flop D latch
 - Riconoscitore di sequenza 2
 - Pulsanti di sicurezza
- **Problema degli stati ponte**
 - Sintesi del Flip-Flop T

A.S.E.

19.1

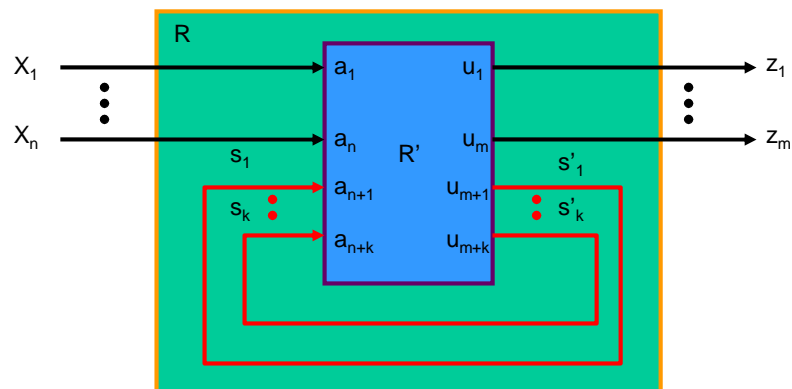
Richiami

- **Definizione di rete combinatoria**
- **Definizione di rete Sequenziale**
- **Tecniche di descrizione delle reti sequenziali**
- **Flip - Flop R-S**
- **Struttura master slave**
- **Flip - Flop D latch**
- **Flip - Flop Edge triggered**
- **Flip - Flop T**

A.S.E.

19.2

Modello 1 di rete sequenziale



La rete R' è priva di anelli, ovvero è una rete combinatoria

A.S.E.

19.3

Condizioni sugli ingressi della rete R' per il CORRETTO FUNZIONAMENTO

1. I segnali d'ingresso x_i devono essere applicati solo quando la rete è in una situazione stabile
 - Pilotaggio in *modo fondamentale*
2. Una variazione degli ingressi x_i deve coinvolgere una sola variabile
 - Pilotaggio *senza transizioni multiple* (vedi reti combinatorie)
3. Una variazione degli stati interni s_i deve coinvolgere una sola variabile di stato
 - Pilotaggio *senza transizioni multiple* sulle variabili di stato
 - *Corsa delle variabili di stato* ($0,0 \Rightarrow 1,1$ $0,0 \Rightarrow 0,1 \Rightarrow 1,1$)
 - *Corsa Critica* se la configurazione $[0,1]$ delle variabili di stato da luogo a uno stato stabile

A.S.E.

19.4

Condizioni sulla legge della rete R' per il CORRETTO FUNZIONAMENTO

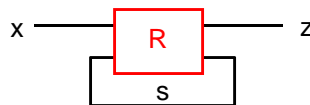
1. La rete R' deve essere priva di **alee STATICHE**
 - Vedi considerazioni sulle reti combinatorie
 - La presenza di alee da luogo a configurazioni anomale e quindi stati spuri delle variabili di stato
2. La rete R' deve essere priva di **alee ESSENZIALI**
 - La rete R' deve presentare una nuova configurazione delle variabili di stato solo quando tutta la rete è a regime
3. La legge della rete R' [$U = F(A)$] deve essere una legge **Normale**
 - Deve garantire che il tipo di reazione su tutti gli anelli di richiusura sia **POSITIVA**
4. Le uscite devono essere in grado di "sostenere" gli ingressi
 - Deve amplificare $P_U > P_I$

A.S.E.

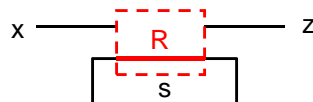
19.5

Verifica del Punto 4 ($P_U > P_I$)

- Caso limite



- Andando a vedere come è fatta la rete R



- La variabile "s" è solo un corto circuito

A.S.E.

19.6

Verifica del punto 3 (legge normale)

- In un determinato istante gli ingressi hanno una certa configurazione X_j e la rete è in una condizione stabile con variabili di stati S_j , allora deve essere

$$A_j = X_j; S_j$$

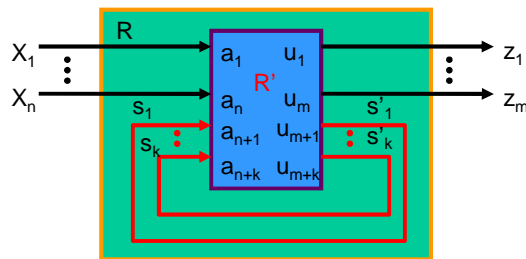
$$U_j = Z_j; S'_j = F(A_j)$$

$$A_m^* = X_m; S_j$$

$$U_m = Z_m; S'_m = F(A_m^*)$$

$$A_m = X_m; S_m$$

$$U_m = Z_m; S'_m = F(A_m)$$

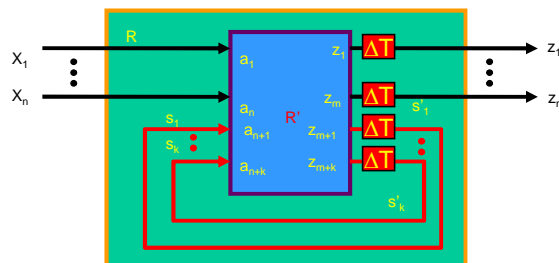


A.S.E.

19.7

Considerazione sul punto 2 Alee essenziali

- Verificare il punto 2 è complesso
- Osservazione
 - Se la variabile più lenta di R impiega un tempo T^* per giungere a regime
 - Basta ritardare tutte le uscite di un tempo $T_D > T^*$



A.S.E.

19.8

Teorema sulle Alee essenziali

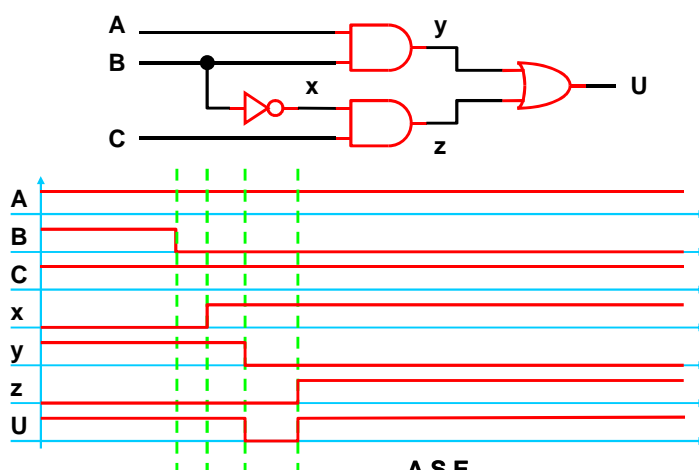
- **Nell'implementare una rete sequenziale asincrona è sempre possibile trovare almeno una codifica degli stati interni scegliendo la quale non si presenta il fenomeno delle alee essenziali; se la legge della rete R' assicura che partendo da una situazione di stabilità e cambiando una variabile d'ingresso, la rete si porta in una situazione stabile nella quale si riporterebbe se fosse variato per altre due volte il valore della stessa variabile d'ingresso.**

A.S.E.

19.9

Alee statiche di "1" punto 1

- **Rete che presenta un'alea statica di 1**

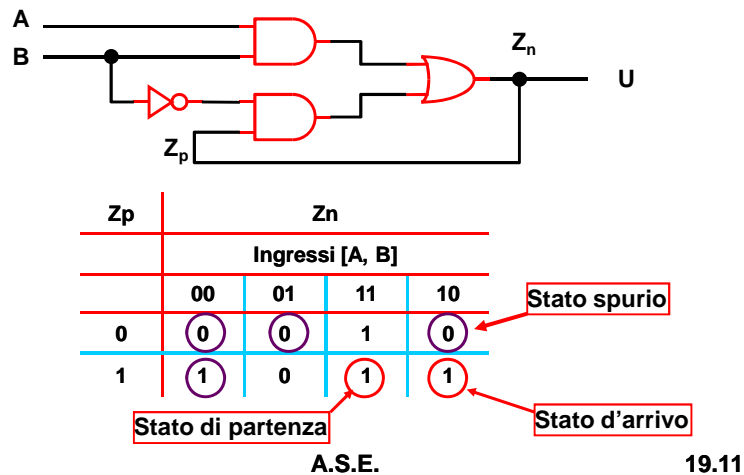


A.S.E.

19.10

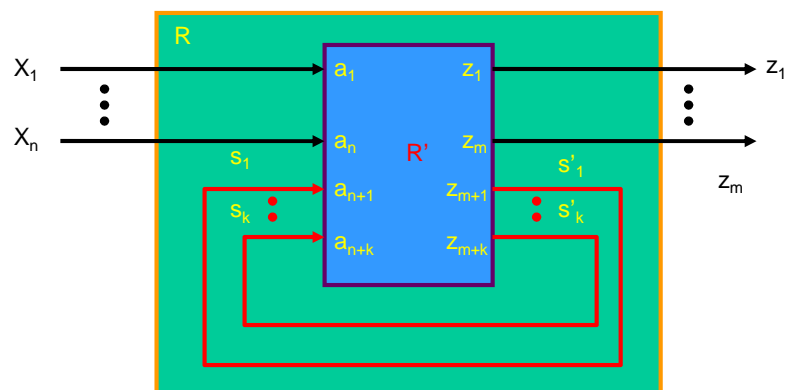
Effetto dell'alee statiche di "1" sulle reti sequenziali asincrone

- Stato stabile spurio



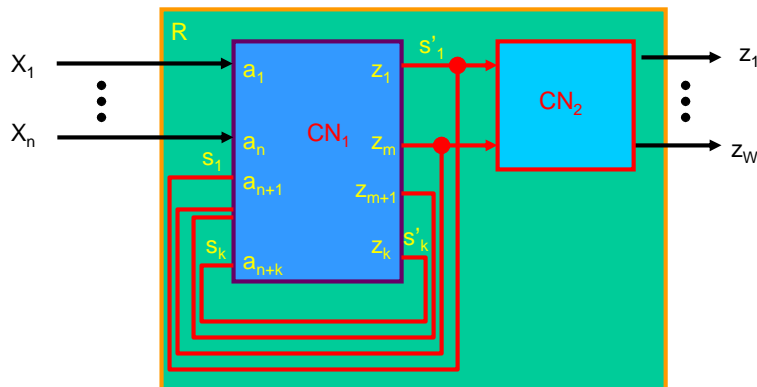
Macchina di MEALY

- Le variabili d'uscita, in un determinato istante, sono funzione del valore degli ingressi e delle variabili di stato



Macchina di MOORE

- Le variabili d'uscita, in un determinato istante, sono funzione del sole variabili di stato



Sono presenti due reti combinatorie

A.S.E.

19.13

Osservazioni

- È possibile progettare una FSM sia secondo lo schema di Mealy, sia di Moore
- In alcuni casi la macchina di Mealy può richiedere un numero minore di stati
 - Ciò è dovuto al fatto che, con una configurazione delle variabili di stato fissa, un'uscita può cambiare in funzione delle sole variabili d'ingresso

A.S.E.

19.14

Tecnica di sintesi

- **Una rete sequenziale può essere descritta tramite**
 - Grafo orientato
 - Diagramma di flusso
- **Primo passo**
 - Si numerano (con codice binario) gli stati in modo che da uno stato qualunque si passi ad un altro stato con la modifica di un solo bit
 - Condizione 2 sugli ingressi della rete R'
- **Passo 2**
 - Si ricava la tabella delle transizioni

A.S.E.

19.15

Tabella delle transizioni

- Si riportano
 - Valore degli ingressi
 - Variabili di stato di partenza (Stato presente)
 - Variabili di stato di arrivo (Nuovo stato)

Sp1	...	Spn	X1	...	Xn	Sn ₁	Sn _n
0	0	0	0	0	0	0	1	0
0	0	0	0	0	1	0	1	1
..
0	0	0	1	1	1	1	0	1
0	0	1	0	0	0	1	1	1
0	0	1	0	0	1	0	1	0
..
1	1	1	1	1	1	0	1	1

A.S.E.

19.16

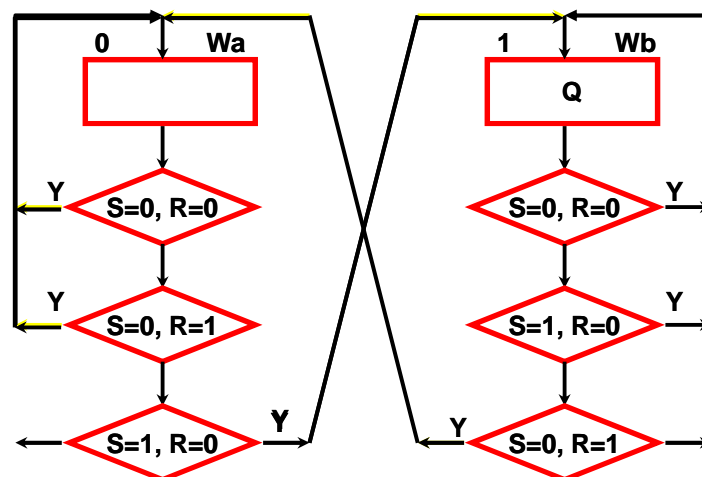
Osservazioni

- La tabella di transizione è la tabella di verità della rete combinatoria CN_1
- Se si intende realizzare una macchina di Mealy
 - devono essere presenti anche le uscite nella parte destra della tabella
- Se si intende realizzare una macchina di Moore
 - si deve descrivere e sintetizzare anche la rete CN_2 che è funzione delle sole variabili di stato

A.S.E.

19.17

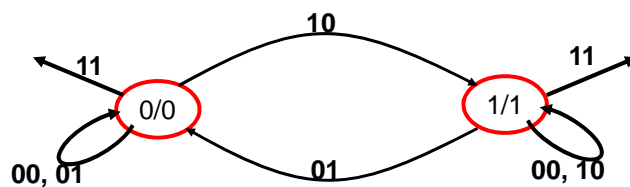
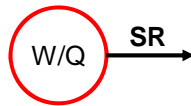
Sintesi del Flip – Flop S-R



A.S.E.

19.18

Grafo del Flip – Flop S - R

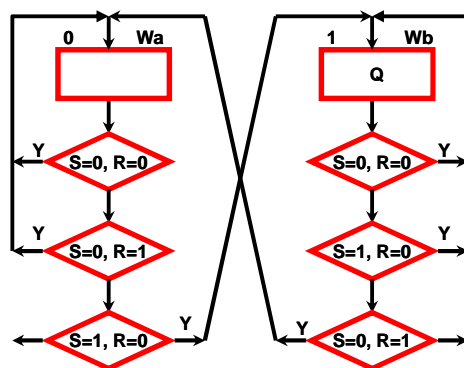


S	R	Q
0	0	Q
0	1	0
1	0	1
1	1	-

A.S.E.

19.19

Tabella delle transizioni



R	S	Wp	Wn
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	--
1	1	1	--

A.S.E.

19.20

Verifica “legge normale”

- Partendo da una condizione di stabilità si deve arrivare in un'altra condizione di stabilità (magari dopo più salti)

R	S	Wp	Wn	Q
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	1	1
1	0	0	0	0
1	0	1	0	0
1	1	0	--	--
1	1	1	--	--

A.S.E.

19.21

Verifica “alee essenziali”

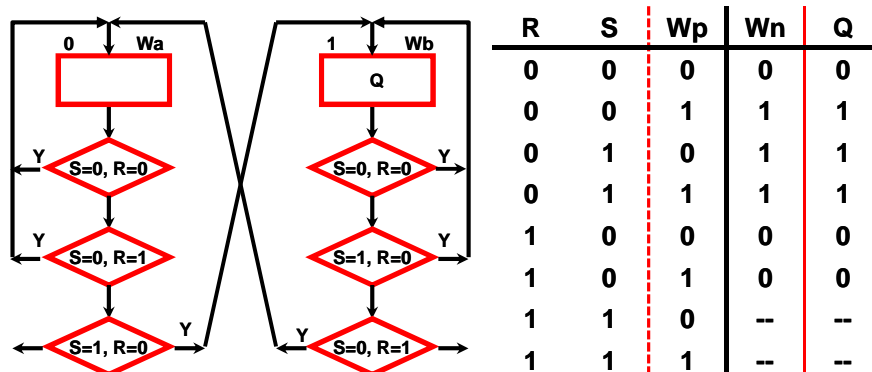
- la legge della rete R' deve garantire che partendo da una situazione di stabilità e cambiando una variabile d'ingresso, la rete si porta in una situazione stabile nella quale si riporterebbe se fosse variato per altre due volte il valore della stessa variabile d'ingresso

	R	S	Wp	Wn	Q
PARTENZA	0	0	0	0	0
	0	0	1	1	1
1° Cambio	0	1	0	1	1
ARRIVO	0	1	1	1	1
	1	0	0	0	0
	1	0	1	0	0
	1	1	0	--	--
	1	1	1	--	--

A.S.E.

19.22

Sintesi della rete combinatoria



A.S.E.

19.23

Individuazioni delle equazioni

• Costruzione delle Mappe di Karnaugh

R	S	Wp	Wn	Q
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	1	1
1	0	0	0	0
1	0	1	0	0
1	1	0	--	--
1	1	1	--	--

R,S		0,0	0,1	1,1	1,0
Wp	0	0	1	--	0
	1	1	1	--	0

$$Wn = S + \bar{R} \cdot Wp \quad Q = Wn$$

A.S.E.

19.24

Tabelle

RS	00	01	11	10	Q
S0	S0	S1	---	S0	0
S1	S1	S1	---	S0	1

RS	00	01	11	10	Q
Wp	0	1	---	0	0
1	1	1	---	0	1

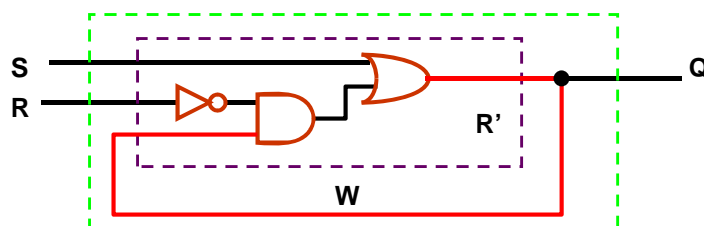
- **Osservazione:**
 - si ottiene subito la mappa di Karnaugh

A.S.E.

19.25

Schema

$$Wn = S + \bar{R} \cdot Wp \quad Q = Wn$$



A.S.E.

19.26

Legge non NORMALE

- legge normale

R	S	Wp	Wn	Q
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	1	1
1	0	0	0	0
1	0	1	0	0
1	1	0	--	--
1	1	1	--	--

NO!!!!

R	S	Wp	Wn	Q
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	0	0
1	0	0	1	1
1	0	1	0	0
1	1	0	--	--
1	1	1	--	--

A.S.E.

19.27

Sintesi della legge sbagliata

- Costruzione delle Mappe di Karnaugh

R	S	Wp	Wn	Q
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	0	0
1	0	0	1	0
1	0	1	0	0
1	1	0	--	--
1	1	1	--	--

R,S		0,0	0,1	1,1	1,0
Wp	0	0	1	--	1
	1	1	0	--	0

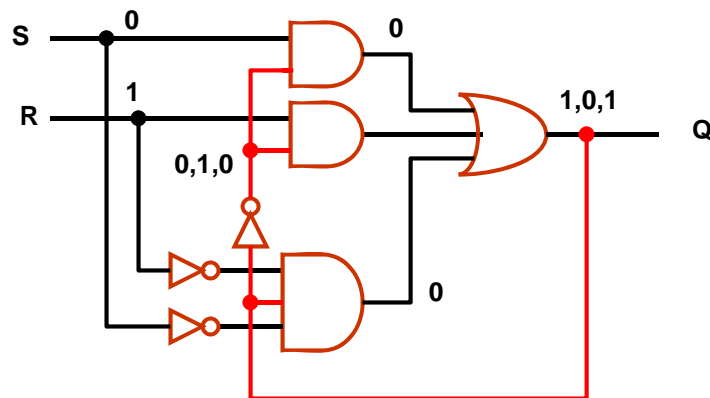
$$Wn = S \cdot \overline{Wp} + R \cdot \overline{Wp} + \overline{S} \cdot \overline{R} \cdot Wp$$

A.S.E.

19.28

Schema Sbagliato

$$Wn = S \cdot \overline{Wp} + R \cdot \overline{Wp} + \overline{S} \cdot \overline{R} \cdot Wp$$

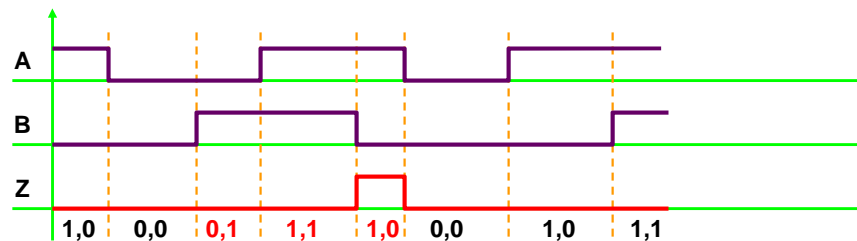


A.S.E.

19.29

Riconoscitore di sequenza

- Dati due ingressi A e B, il sistema da una uscita valida (1) quando A e B assumo successivamente i valori
- 0,1 – 1,1 – 1,0



A.S.E.

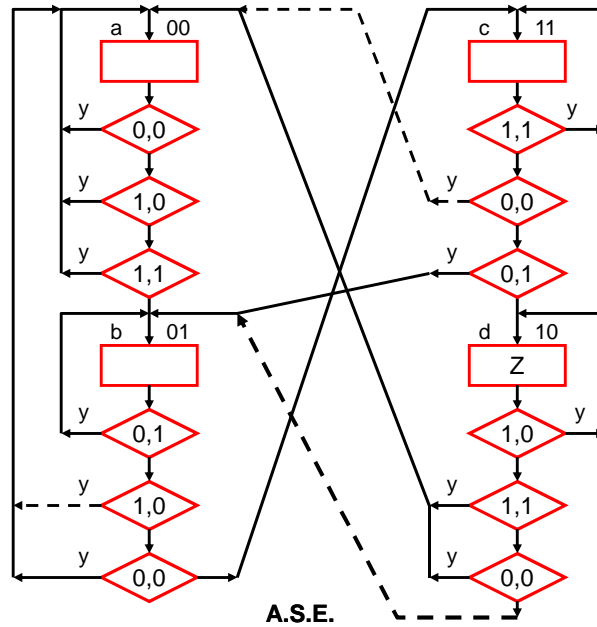
19.30

Diagramma di flusso

Variabili
di stato

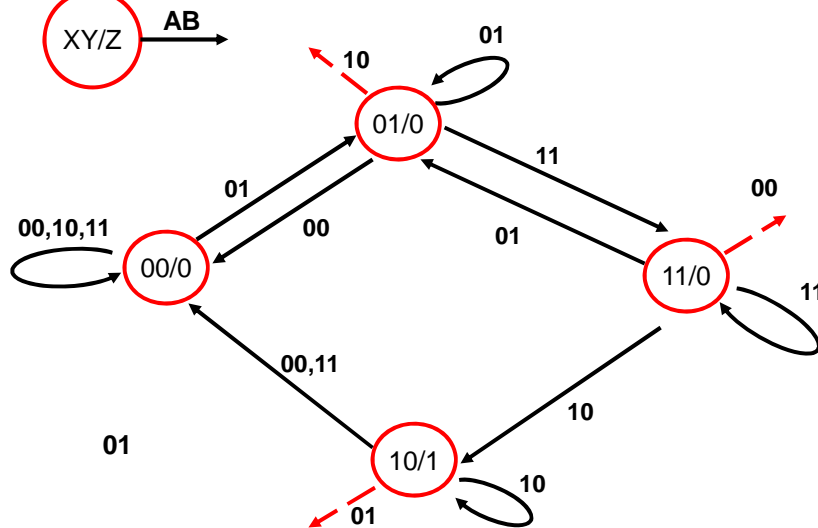
X, Y

- 0,1
- 1,1
- 1,0



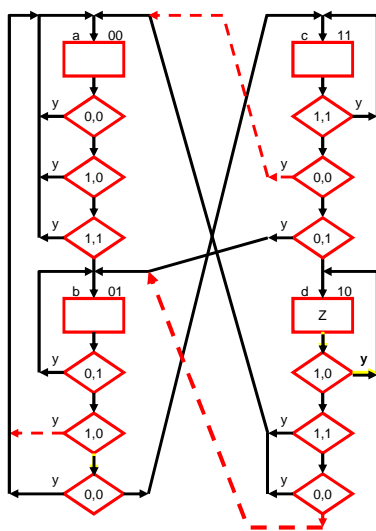
19.31

Grafo



19.32

Tabella di transizione

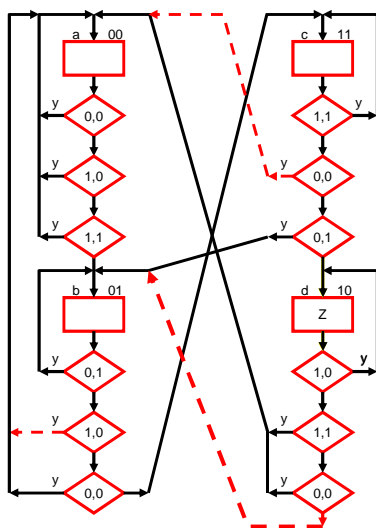


A	B	Xp	Yp	Xn	Yn	Z
0	0	0	0	0	0	0
0	0	0	1	0	0	0
0	0	1	0	0	0	0
0	0	1	1	--	--	0
0	1	0	0	0	1	0
0	1	0	1	0	1	0
0	1	1	0	--	--	0
0	1	1	1	0	1	0
1	0	0	0	0	0	0
1	0	0	1	--	--	0
1	0	1	0	1	0	1
1	0	1	1	1	0	1
1	1	0	0	0	0	0
1	1	0	1	1	1	0
1	1	1	0	0	0	0
1	1	1	1	1	1	0

A.S.E.

19.33

Verifica "legge normale"



A	B	Xp	Yp	Xn	Yn	Z
0	0	0	0	0	0	0
0	0	0	1	0	0	0
0	0	1	0	0	0	0
0	0	1	1	--	--	0
0	1	0	0	0	1	0
0	1	0	1	0	1	0
0	1	1	0	--	--	0
0	1	1	1	0	1	0
1	0	0	0	0	0	0
1	0	0	1	--	--	0
1	0	1	0	1	0	1
1	0	1	1	1	0	1
1	1	0	0	0	0	0
1	1	0	1	1	1	0
1	1	1	0	0	0	0
1	1	1	1	1	1	0

A.S.E.

19.34

Verifica “alee essenziali”

	A	B	Xp	Yp	Xn	Yn	Z
	0	0	0	0	0	0	0
	0	0	0	1	0	0	0
	0	0	1	0	0	0	0
	0	0	1	1	—	—	0
	0	1	0	0	0	1	0
	0	1	0	1	0	1	0
	0	1	1	0	—	—	0
	0	1	1	1	0	1	0
2° Cambio	1	0	0	0	0	0	0
ARRIVO	1	0	0	1	—	—	0
	1	0	1	0	1	0	1
	1	0	1	1	1	0	1
1° Cambio	1	1	0	0	0	0	0
	1	1	0	1	1	1	0
	1	1	1	0	0	0	0
PARTENZA	1	1	1	1	1	1	0

A.S.E.

19.35

Tabelle

- **Tabella di flusso** **Tabella delle transizioni**

AB	00	01	11	10	Q
S0	S0	S1	S0	S0	0
S1	S1	S1	S2	---	0
S2	---	S1	S2	S3	0
S3	S0	---	S0	S3	1

		AB				Q
		00	01	11	10	
XY	00	00	01	00	00	0
	01	00	01	11	---	0
	11	---	01	11	10	0
	10	00	---	00	10	1

A.S.E.

19.36

Minimizzazione

X_n X_p, Y_p \ A,B		A, B			
		0,0	0,1	1,1	1,0
0,0					
0,1				1	--
1,1	--			1	1
1,0		--			1

Yn Xp,Yp \ A,B		0,0	0,1	1,1	1,0
0,0			1		
0,1			1	1	--
1,1	--		1	1	
1,0			--		

$$Xn = A \cdot Yp + A \cdot \bar{B} \cdot Xp$$

$$Yn = \bar{A} \cdot B + B \cdot Yp$$

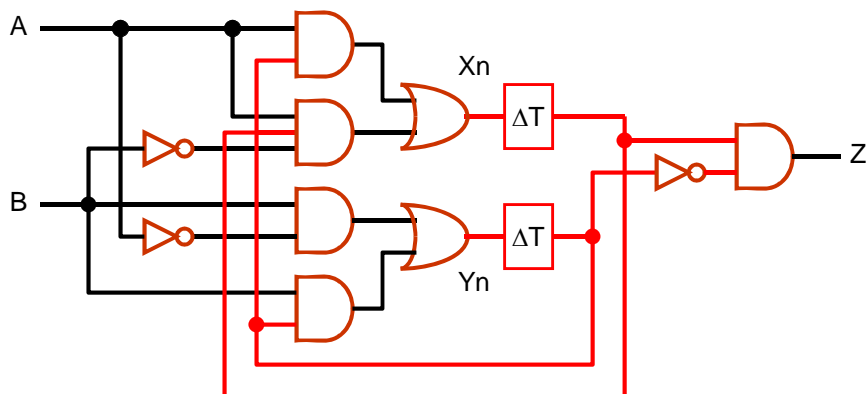
$$Z = Xn \cdot \bar{Yn}$$

A.S.E.

19.37

Schema

$$Xn = A \cdot Yp + A \cdot \bar{B} \cdot Xp \quad Yn = \bar{A} \cdot B + B \cdot Yp \quad Z = Xn \cdot \bar{Yn}$$

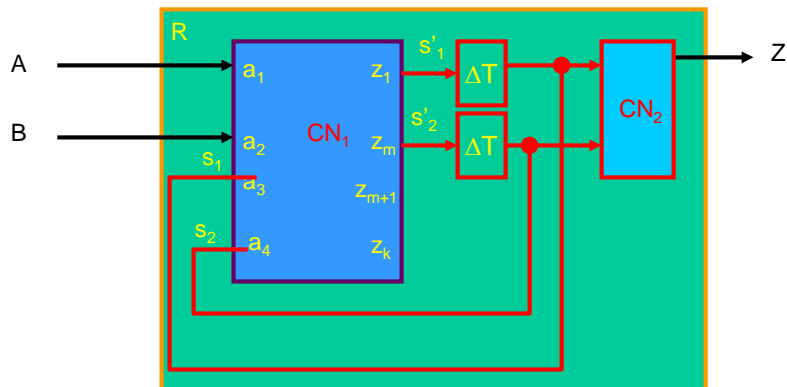


A.S.E.

19.38

Osservazione

- Sintesi secondo la macchina di Moore

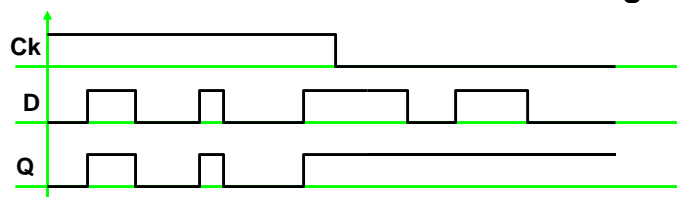


A.S.E.

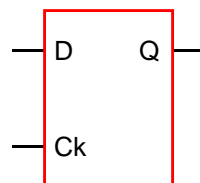
19.39

Flip - Flop D (specifiche)

- Quando il Clock è a 1 l'uscita segue l'ingresso
- Quando il Clock è a 0 viene memorizzato l'ingresso



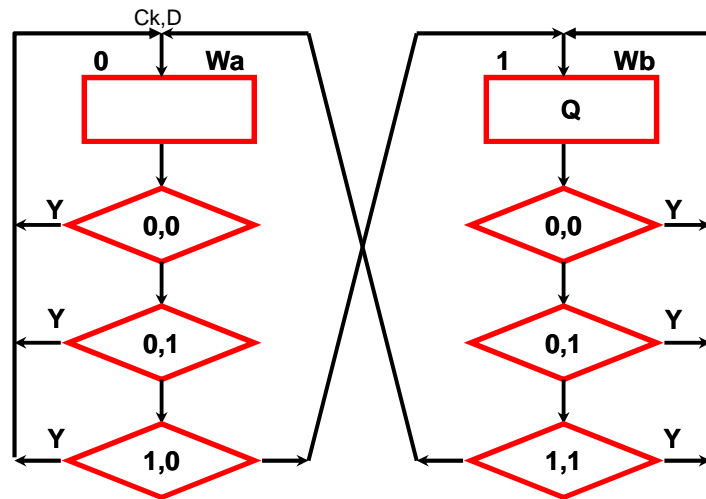
- Con $Ck = 1$ il Flip - Flop è in "TRANSPARENZA"[†]
- Simbolo



A.S.E.

19.40

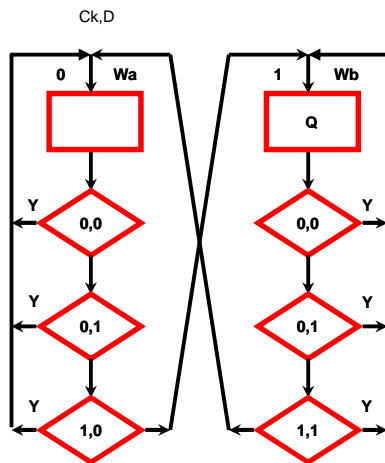
Sintesi del Flip – Flop D



A.S.E.

19.41

Tabella delle transizioni

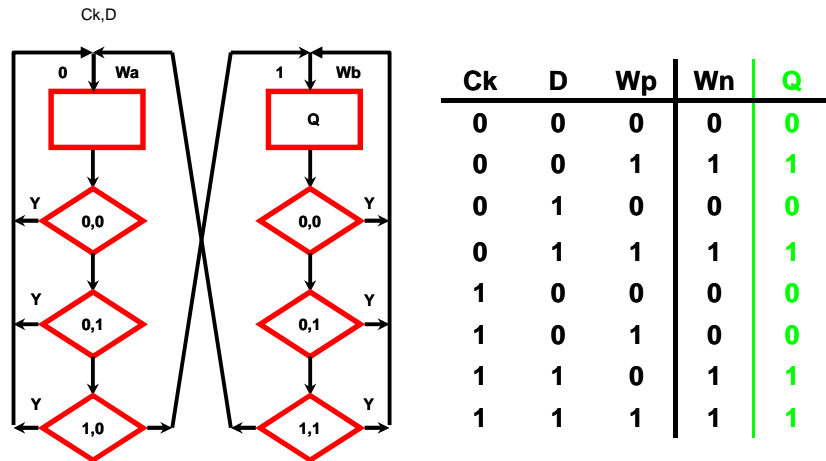


Ck	D	Wp	Wn
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	1

A.S.E.

19.42

Sintesi della rete combinatoria



A.S.E.

19.43

Verifica legge normale

- SI

C_k	D	W_p	W_n	Q
0	0	0 ↔ 0	0	0
0	0	1 ↔ 1	1	1
0	1	0 ↔ 0	0	0
0	1	1 ↔ 1	1	1
1	0	0 ↔ 0	0	0
1	0	1 ↔ 0	0	0
1	1	0 ↔ 1	1	1
1	1	1 ↔ 1	1	1

- Non sono presenti alee essenziali

A.S.E.

19.44

Individuazioni delle equazioni

- Costruzione delle Mappe di Karnaugh

Ck	D	Wp	Wn	Q
0	0	0	0	0
0	0	1	1	1
0	1	0	0	0
0	1	1	1	1
1	0	0	0	0
1	0	1	0	0
1	1	0	1	1
1	1	1	1	1

Wn		Ck,D			
Wp		0,0	0,1	1,1	1,0
0		0	0	1	0
1		1	1	1	0

$$Wn = Ck \cdot D + \overline{Ck} \cdot Wp \quad Q = Wn$$

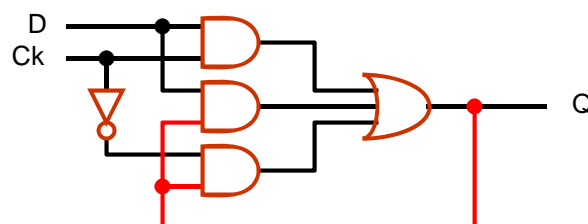
$$Wn = Ck \cdot D + \overline{Ck} \cdot Wp + D \cdot Wp$$

A.S.E.

19.45

Schema

$$Wn = Ck \cdot D + \overline{Ck} \cdot Wp + D \cdot Wp$$



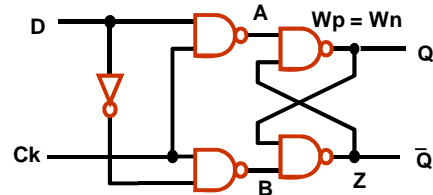
Osservazione: la rete sembra fundamentalmente diversa dal F- F D prima visto

A.S.E.

19.46

Confronto

- Dallo schema prima visto si ha



$$A = \overline{D} \cdot Ck \quad B = \overline{\overline{D} \cdot Ck} \quad Z = \overline{B \cdot Wp}$$

$$\begin{aligned} Wn &= \overline{A \cdot Z} = \overline{\overline{D} \cdot Ck \cdot B \cdot Wp} = \overline{\overline{D} \cdot Ck \cdot \overline{\overline{D} \cdot Ck} \cdot Wp} = \\ &= D \cdot Ck + \overline{\overline{D} \cdot Ck} \cdot Wp = D \cdot Ck + Wp \cdot (D + \overline{Ck}) \end{aligned}$$

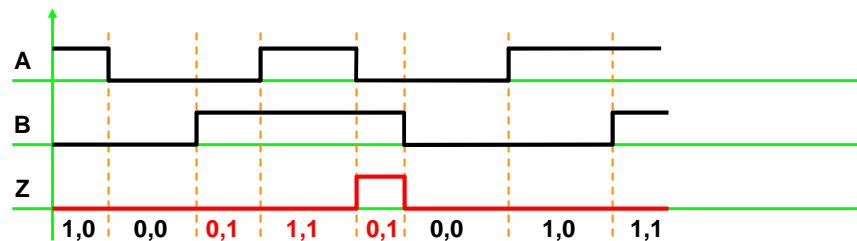
$$Wn = D \cdot Ck + D \cdot Wp + \overline{Ck} \cdot Wp \quad \text{c.v.d.}$$

A.S.E.

19.47

Riconoscitore di sequenza 2

- Dati due ingressi A e B, il sistema da una uscita valida (1) quando A e B assumo successivamente i valori
- 0,1 – 1,1 – 0,1



A.S.E.

19.48

Diagramma di flusso

Variabili
di stato
X , Y

0,1
1,1
0,1

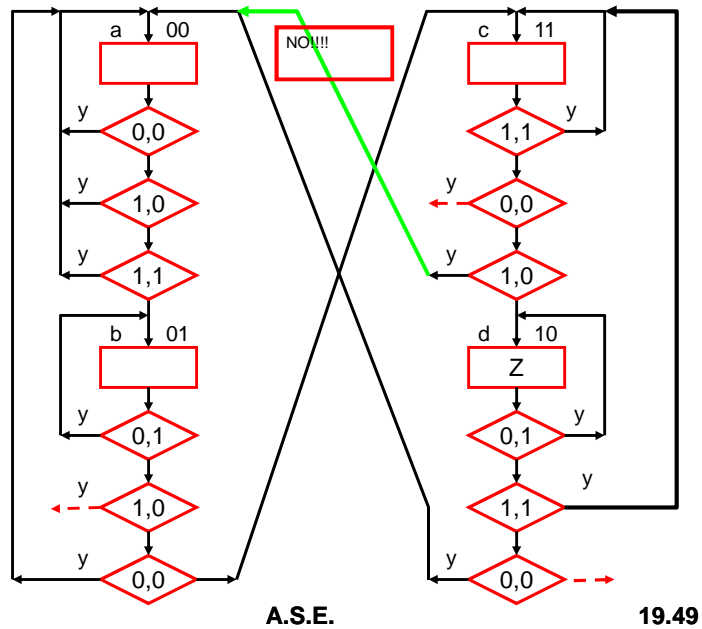
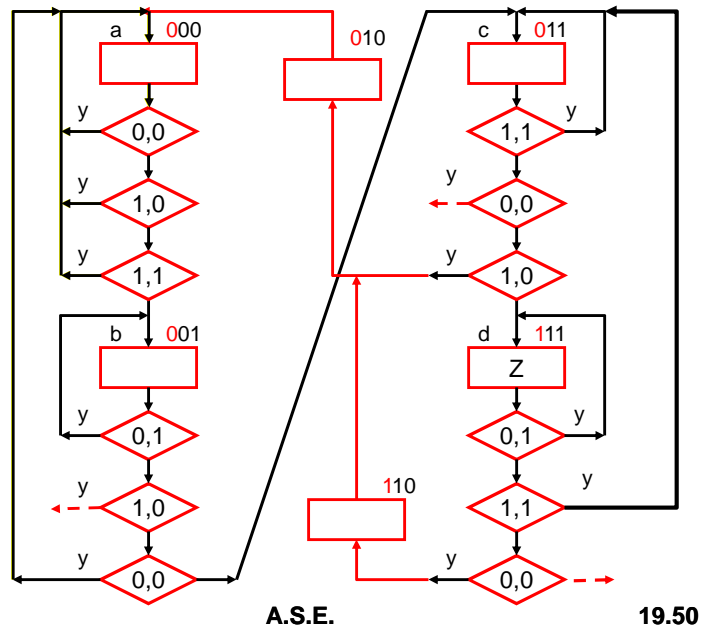


Diagramma di flusso

Variabili
di stato
Z , X , Y



Pulsanti di sicurezza

- **Descrizione del ciclo**

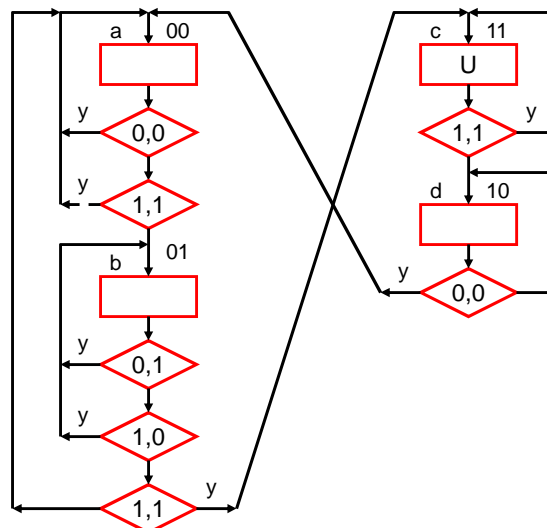
- L'operatore deve avere le due mani impegnate quando la macchina si avvia
- inizialmente nessun pulsante è premuto
- deve essere premuto il pulsante destro (R), o Sinistro (L)
- si attende che sia premuto l'altro pulsante e si dà lo start (U)
- quando si rilascia un pulsante si interrompe lo start
- per poter iniziare nuovamente il ciclo è necessario che entrambi i pulsanti siano rilasciati

A.S.E.

19.51

Diagramma di flusso

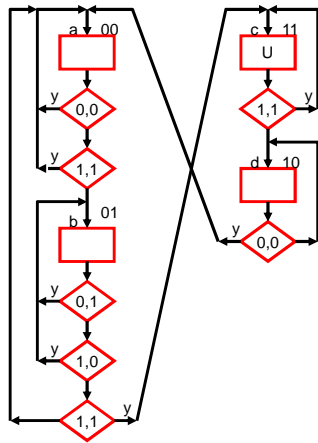
- L = pulsante Sx, R = Pulsante Dx U = Uscita, Variabili di stato = z, w



A.S.E.

19.52

Tabella di transizione

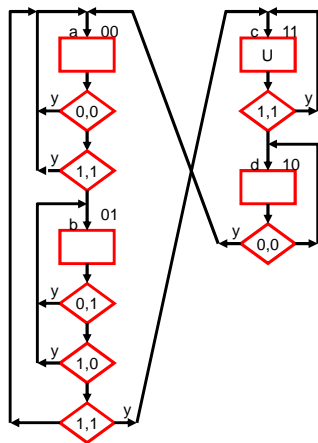


L	R	Zp	Wp	Zn	Wn	U
0	0	0	0	0	0	0
0	0	0	1	0	0	0
0	0	1	0	0	0	0
0	0	1	1	1	0	0
0	1	0	0	0	1	0
0	1	0	1	0	1	0
0	1	1	0	1	0	0
0	1	1	1	1	0	0
1	0	0	0	0	1	0
1	0	0	1	0	1	0
1	0	1	0	1	0	0
1	0	1	1	1	0	0
1	1	0	0	0	0	0
1	1	0	1	1	1	1
1	1	1	0	1	0	0
1	1	1	1	1	1	1

A.S.E.

19.53

Verifica "Rete Normale"



L	R	Zp	Wp	Zn	Wn	U
0	0	0	0	0	0	0
0	0	0	1	0	0	0
0	0	1	0	0	0	0
0	0	1	1	1	0	0
0	1	0	0	0	1	0
0	1	0	1	0	1	0
0	1	1	0	1	0	0
0	1	1	1	1	0	0
1	0	0	0	0	1	0
1	0	0	1	0	1	0
1	0	1	0	1	0	0
1	0	1	1	1	0	0
1	1	0	0	0	0	0
1	1	0	1	1	1	1
1	1	1	0	1	0	0
1	1	1	1	1	1	1

A.S.E.

19.54

Minimizzazione

Z_n $Z_p, W_p \backslash L, R$		L, R			
		0,0	0,1	1,1	1,0
Z_p, W_p	0,0				
	0,1			1	
	1,1	1	1	1	1
	1,0		1	1	1

W_n Z_p, W_p \ L,R		W_n			
		0,0	0,1	1,1	1,0
Z_p, W_p	0,0		1		1
	0,1		1	1	1
	1,1			1	
	1,0				

$$Zn = \overline{L} \cdot Zp + R \cdot Zp + Zp \cdot Wp + L \cdot R \cdot Wp$$

$$Wn = \overline{L} \cdot R \cdot Zp + L \cdot R \cdot Zp + L \cdot R \cdot Wp$$

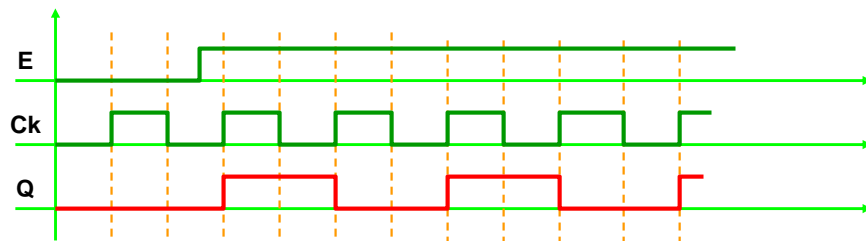
$$U = Zn \cdot Wn$$

A.S.E.

19.55

Divisore per 2

- Realizzare una rete tale che
 - se l'abilitazione non è attiva rimane nello stato di memoria
 - se l'abilitazione è attiva l'uscita si inverte quando il clock è attivo



A.S.E.

19.56

Tabella delle transizioni

- La rete presenta due stati, è sufficiente una variabile di stato

E	Ck	Wp	Wn
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	0

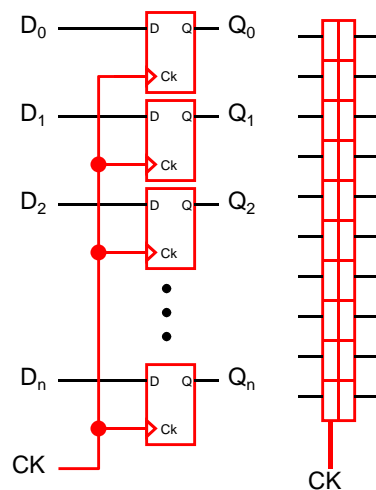
La rete non è realizzabile

A.S.E.

19.57

Registri

- Insieme Flip – Flop D positive edge triggered con Clock a comune
- Il Clock non è più un segnale qualunque, ma un segnale globale di temporizzazione
- di sincronizzazione



A.S.E.

19.58

19.59

19.60

- Degli 8 bit di ingresso ci interessano solo il primo e l'ultimo
- Per mettere a "0" i bit 6 – 1 si può utilizzare una "maschera" e quindi fare l'AND

$$\text{MASK} = 10000001 = \$81$$

19.61

[illegible]

19.62

CONCLUSIONI

- **Sintesi del riconoscitore di sequenza 1**
- **Sintesi del Flip-Flop D latch**
- **Sintesi del riconoscitore di sequenza 2**
- **Sintesi del sistema di pulsanti di sicurezza**
- **Problema degli stati non definiti**
- **Sintesi del Flip-Flop T**
- **Registri**
- **Reti sequenziali asincrone / sincrone**

A.S.E.

19.63

CONCLUSIONI

- **Condizioni per la realizzabilità**
 - **Condizioni sulle variabili**
 - **Condizioni sulla rete combinatorio**
- **Macchine a Stati Finiti (FSM)**
- **Macchina di MEALY**
- **Macchina di MOORE**
- **Tecnica di sintesi delle reti sequenziali asincrone**
- **Sintesi del Flip – Flop S-R**

A.S.E.

19.64