

ARCHITETTURA DEI SISTEMI ELETTRONICI

LEZIONE N° 16

- **Memorie**
 - Definizioni
 - Memoria RAM
 - Organizzazione
 - Temporizzazione
 - Cella base
 - Tipi di indirizzamento
- Reti sequenziali sincronizzate complesse

A.S.E.

16.1

Richiami

- Flip – Flop R – S
- Flip – Flop D edge triggered
- Decodificatori
- Tecniche di sintesi di reti sequenziali

A.S.E.

16.2

Definizioni MEMORIE

- **Memoria** = elemento in grado di conservare un'informazione
- **Memorie Volatili** = in grado di conservare l'informazione solo se alimentate
- **Memorie Non Volatili** = non perdono l'informazione anche se non alimentate

A.S.E.

16.3

MEMORIE NON VOLATILI 1

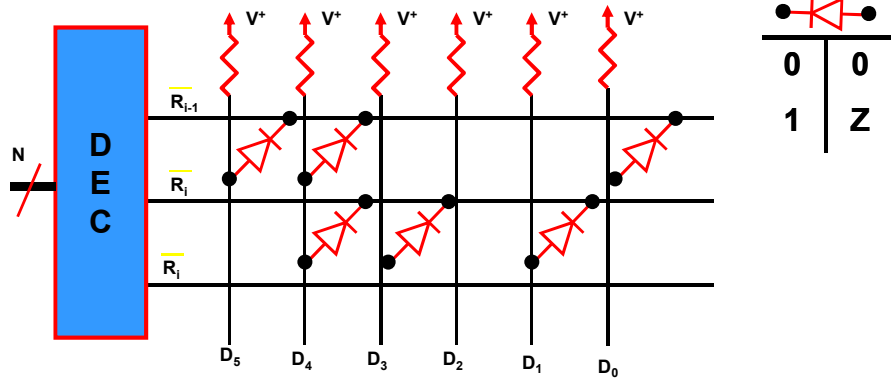
- **Memorie ad accesso sequenziale**
 - Il tempo d'accesso dipende dalla “distanza” fra la posizione attuale e quella dove si vuol leggere l'informazione
 - Esempi: nastro magnetico, hard disk, CD, DVD..
- **Memorie ad accesso casuale**
 - Il tempo d'accesso **non** dipende dalla “distanza” fra la posizione attuale e quella dove si vuol leggere l'informazione

A.S.E.

16.4

MEMORIE NON VOLATILI ad accesso casuale (1)

- ROM = Read Only Memory
 - Programmata in fabbrica

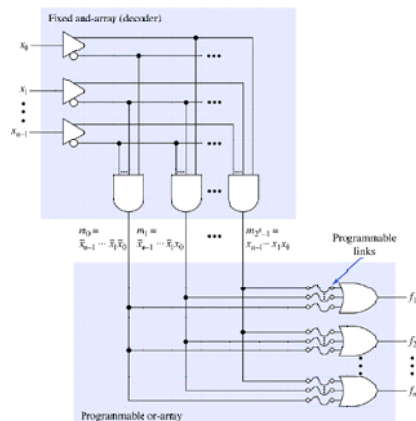


A.S.E.

16.5

MEMORIE NON VOLATILI ad accesso casuale (2)

- PROM = Programmable Read Only Memory
 - Programmabile una sola volta dall'utente [OTP]

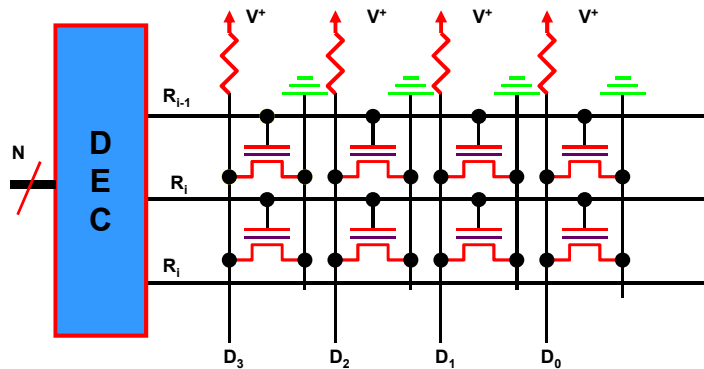


A.S.E.

16.6

MEMORIE NON VOLATILI ad accesso casuale (3)

- **EPROM = Erasable Programmable ROM**
 - Prog. elettricamente, Cancellazione UV (10 cicli)



A.S.E.

16.7

MEMORIE NON VOLATILI ad accesso casuale (4)

- **E²PROM = Electrical Erasable PROM**
 - Programmazione e cancellazione elettrica (10^5 cicli)
- **Flash = Particolari E²PROM cancellabili solo a “blocchi”**
 - Più compatte, meno costose di E²PROM (1000 cicli)

A.S.E.

16.8

Definizioni MEMORIE VOLATILI

- **RAM = Random Access Memory**
- **Memoria nella quale è possibile**
 - Scrivere **WRITE (W)**
 - Leggere **READ (R)**
- **RAM Statica = se alimentata, conserva l'informazione per un tempo infinito**
- **RAM Dinamica = anche se alimenta, dopo un certo tempo perde l'informazione**

A.S.E.

16.9

Organizzazione di una RAM

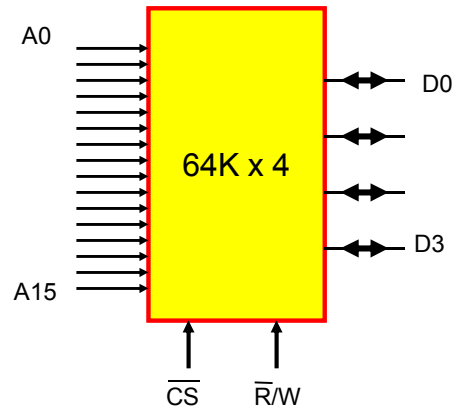
- **Memoria RAM di “H” parole di “N” bit**
 - H è una potenza del 2
 - N solitamente può valere 1, 4, 8
- **Osservazione**
 - $2^{10} =$ 1,024 1K (Kilo)
 - $2^{20} =$ 1,048,576 1M (Mega)
 - $2^{30} =$ 1,073,741,824 1G (Giga)

A.S.E.

16.10

Descrizione ai terminali

- Memoria RAM 64K x 4



A.S.E.

16.11

Legenda

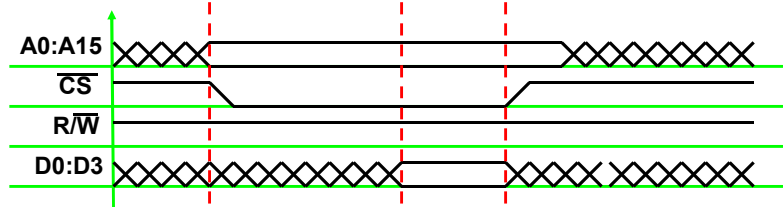
- A0 : A15 = indirizzi (ADDRESS)
- D0 : D3 = dati (DATE)
- \overline{CS} = Attivatore (Chip Select)
[attivo basso]
- $\overline{R/W}$ = scrittura / lettura (Read/Write)
[1 = legge, 0 = scrive]

A.S.E.

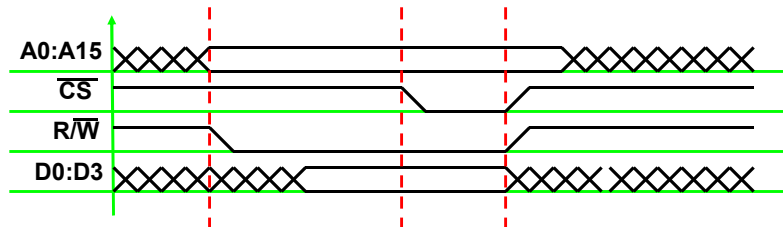
16.12

Temporizzazione

- **Ciclo di lettura**



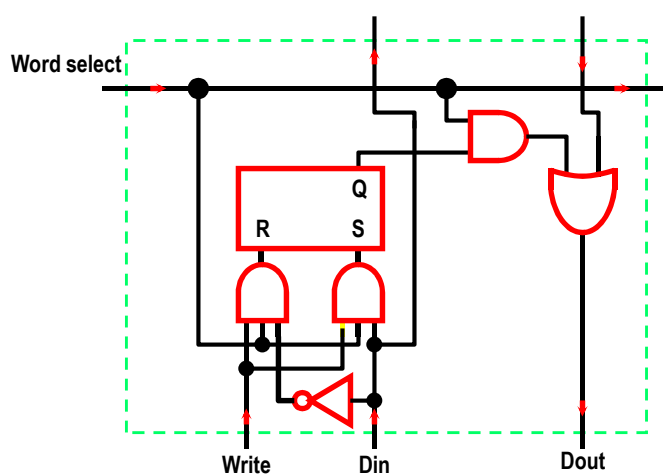
- **Ciclo di scrittura**



A.S.E.

16.13

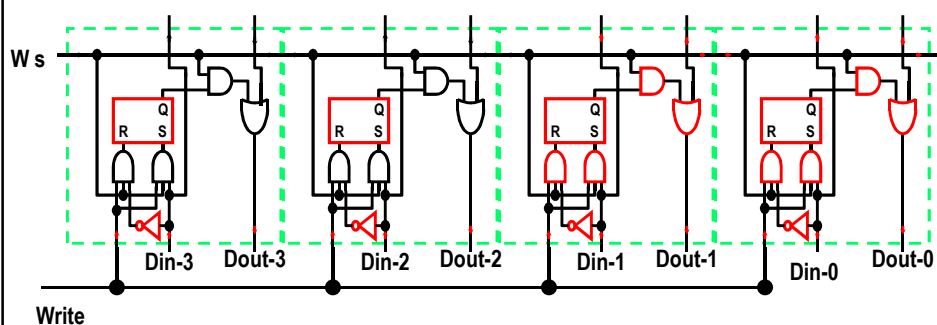
Cella di Memoria RAM STATICA



A.S.E.

16.14

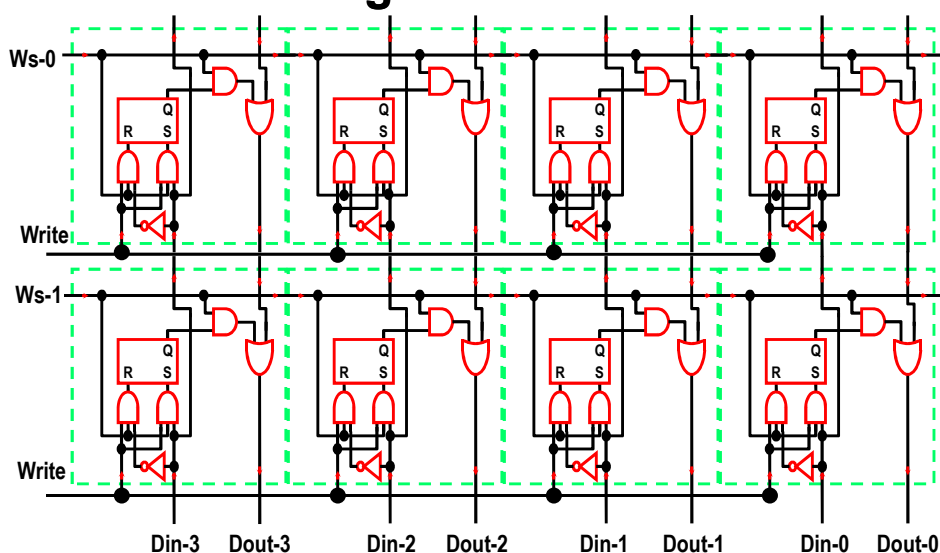
Parola (Word)



A.S.E.

16.15

Organizzazione



A.S.E.

16.16

Tecniche di accesso

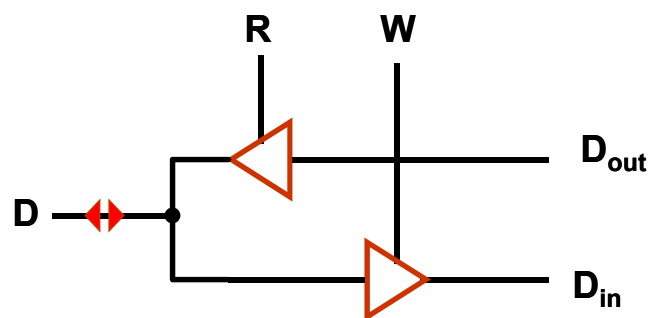
- La singola word ha
 - N ingressi = Data In
 - N uscite = Data Out
 - 1 selettore di parola
- All'esterno sono necessari
 - N Data I/O (bidirezionale)
 - Chip Select (\overline{CS})
 - Selezione Read/ Write (\overline{R}/W)
 - K indirizzi

A.S.E.

16.17

Schema 1

- Uso di Buffer THREE-STATE



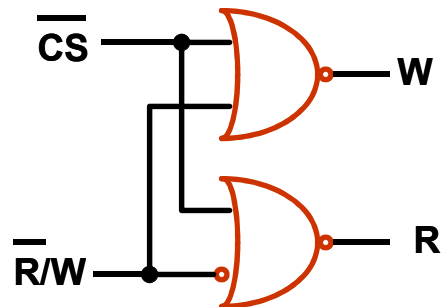
A.S.E.

16.18

Schema 2

- Tabella di verità

\overline{CS}	$\overline{R/W}$	R	W
0	0	1	0
0	1	0	1
1	0	0	0
1	1	0	0

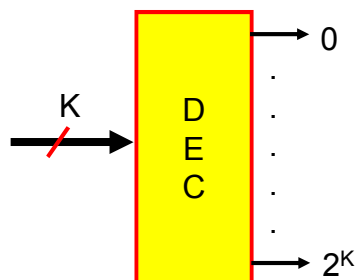


A.S.E.

16.19

Osservazione

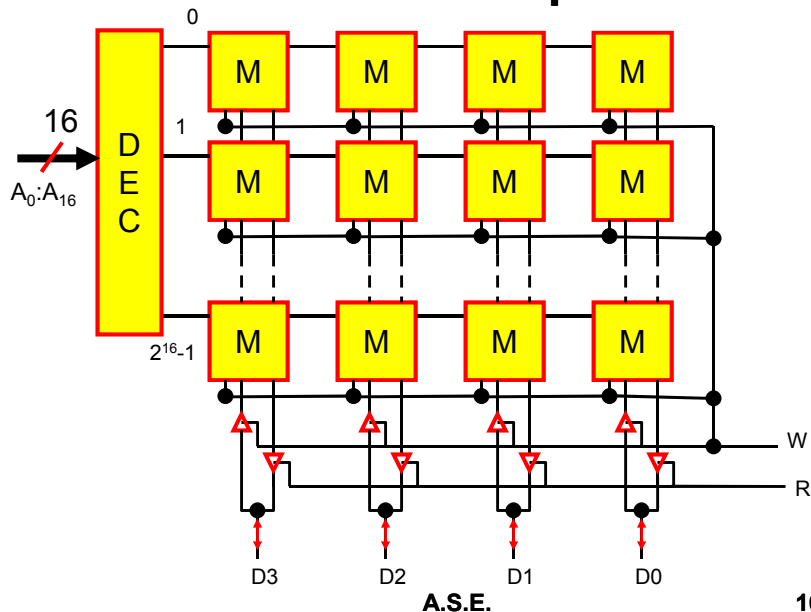
- Gli indirizzi sono codificati in binario
- È necessario un decodificatore $K - 2^K$



A.S.E.

16.20

Schema completo



Osservazioni

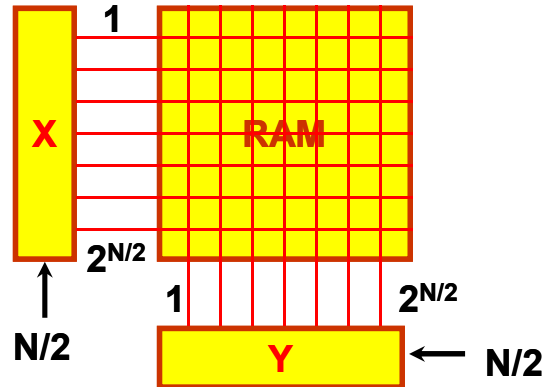
- **Architettura non quadrata**
- **Complessità del Decoder $N = 2^N$**
 - occorrono 2^N AND a N ingressi
 - Esempio: Memoria da 1Mbit (2^{20})
 - Complessità del Decoder 21 milioni di Transistori !!
- **Si ricorre a memorie a singolo bit e a struttura a matrice**

A.S.E.

16.22

Organizzazione a Matrice

- Celle di memoria organizzate a quadrato



A.S.E.

16.23

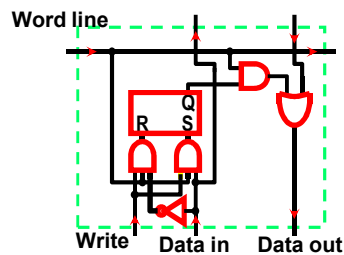
Osservazioni

- Sono presenti due decodificatori
 - Decodificatore di riga
 - decodificatore di colonna
 - A ciascun decodificatore arriva $N/2$ indirizzi
 - Complessità totale dei Decoder
 - 2 decodificatori $N/2 - 2^{N/2}$
 - occorrono $2 \times 2^{N/2}$ AND a $N/2$ ingressi
- [per memoria da 1 Mbit (2^{20}) occorrono
 $2 \times 2^{10} \times 11 = 22.528$ transistori]

A.S.E.

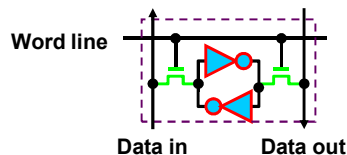
16.24

Riduzione della cella Statica



2 porte and a 3 ingressi
 = 3 porte and a 2 ingressi
 1 porte or a 2 ingressi
 1 not

(30 – 36 MOS)



= 2 not
 2 MOS (6 MOS)

A.S.E.

16.25

Cella dinamica

- La memorizzazione non è affidata alla reazione (hard node), ma alle capacità “parassite” dei transistori MOS e diodi (soft node)
- Sono possibili celle a 3 => 2 => 1 transistorore
- Problema: il condensatore si scarica e la lettura dell’informazione è distruttiva
- Bisogna rinfrescare (refresh) il contenuto di tutte le celle almeno ogni 2 ms
- Capacità della cella 0.1 fF con 5 V si ha una carica di 3000 elettroni!!!

A.S.E.

16.26

Osservazioni sulla Ram dinamiche

- **Organizzazione a matrice**
 - Indirizzo di riga RAS
 - Indirizzo di colonna CAS
- **Refresh = ciclo di lettura (tempo necessario = tempo d'accesso al bit)**
- **Refresh contemporaneo di una intera riga**
- **Durante il refresh non si può accedere alla memoria (wait)**
- **Il refresh è una penalizzazione della memoria**
 - (eventuale refresh nascosto [hidden refresh])

A.S.E.

16.27

Esempio

- **Determinare la penalizzazione percentuale dovuta al Refresh, di una memoria RAM dinamica da 256 Mb con tempo d'accesso di 10 ns (tempo fra due refresh 2 ms)**
- **256 Mb => 28 bit di indirizzo (14 di riga e 14 di colonna)**
- **Ogni 2 ms si devono perdere 2^{14} cicli di lettura per il refresh = $2^{14} \times 10^{-8} \text{ s} = 0.16 \text{ ms}$**
- **Penalizzazione = $0.16 / 2 \times 100 = 8 \%$**
- **(è come se la memori avesse un tempo d'accesso di 10.8 ns)**

A.S.E.

16.28

NOMENKLATURA

- **ROM** = Read Only Memory
- **RAM** = Random Access Memory
- **SRAM** = Static RAM
- **DRAM** = Dynamic RAM
- **SDRAM** = Synchronous *DRAM*
(memorie con Clock)
- **DDR-SDRAM** = Double Data Rate-
Synchronous DRAM
DDR-SDRAM = *SDRAM II*
DDR-SDRAM = *DDRAM*

A.S.E.

16.29

Confronto

Memoria	Velocità	Volatilità	Costo/bit	Densità	Accesso	Consumo
SDRAM	alta	Si	Alto	Bassa	Casuale	Basso
DRAM	Media +	Si	Basso	Alta	Casuale	alto
Eprom	Media -	No	Medio	Media	Casuale	medio
Magnetic	Bassa --	No	Basso --	Alta ++	Seriale	alto+ +
Optic	Bassa --	No	Basso --	Alta +++	Seriale	Alto +

A.S.E.

16.30

Richiami

- **Reti combinatorie**
 - **Tecnica di sintesi (minimizzazione) strutturata**
 - **Sintesi euristica**
 - Sommatore
 - Sottrattore
 -
- **Reti sequenziali**
 - **Variabili di stato**
 - **Tecnica di sintesi (minimizzazione degli stati) strutturata**
 - **Sintesi euristica**
 - Contatori
 - Shift register
 -

A.S.E.

16.31

Vantaggi delle soluzioni euristiche

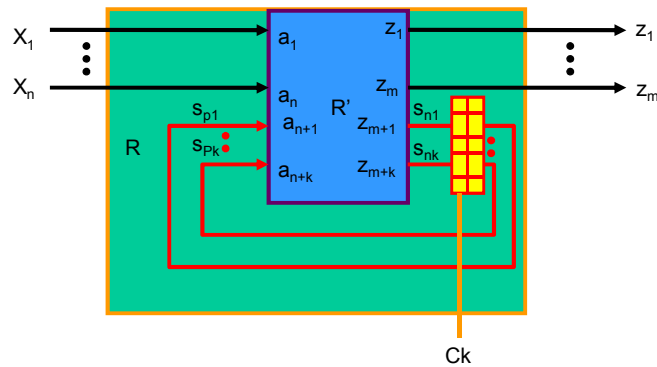
- **Esempio**
 - **Moltiplicatore di interi positivi 16 x 16**
 - **Rete combinatoria con 32 ingressi e 32 uscite**
 - Tutte le possibili combinazioni degli ingressi sono necessarie
 - **Risultato della sintesi automatica**
 - una memoria ROM con 32 bit di indirizzo e parole di 32 bit
 - Complessità globale
 - 4 G parole da da 32 bit (16 GBYTE !!!!!)

A.S.E.

16.32

Macchina di Mealy sincronizzata

- Le uscite sono funzioni delle variabili di stato e degli ingressi



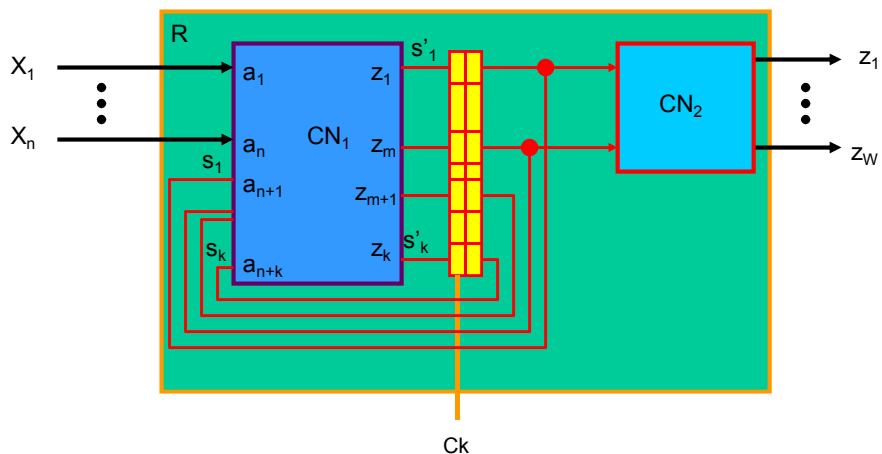
La rete R' è una rete combinatoria

A.S.E.

16.33

Macchina di MOORE

- Le variabili d'uscita, in un determinato istante, sono funzione del sole variabili di stato

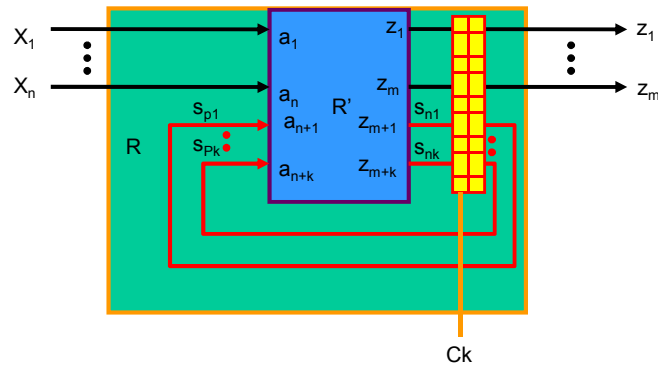


A.S.E.

16.34

Macchina di Mealy Ritardata

- Le uscite sono funzioni delle variabili di stato e degli ingressi, ma risultano sincronizzate



A.S.E.

16.35

Osservazioni

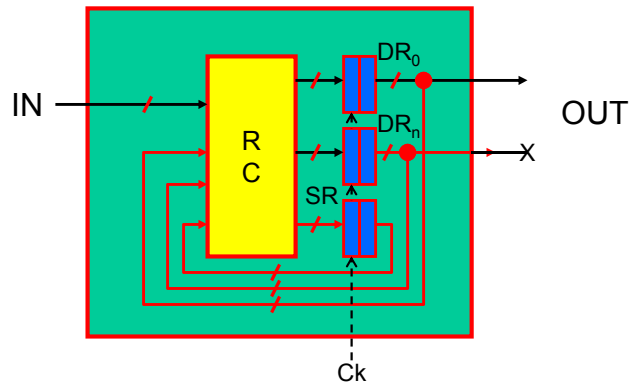
- La macchina di Mealy ritardata ha le uscite sincronizzate come quella di Moore
- La macchina di Mealy ritardata presenta meno stati interni di quella di Moore
- Nelle reti sequenziali complesse ha particolare importanza ridurre il numero delle variabili di stato
- Quindi la macchina di Mealy ritardata è da preferirsi a quella di Moore

A.S.E.

16.36

Interpretazione diversa

- Il registro può essere visto come più registri che svolgono funzioni diverse



16.37

Osservazioni 1

- **Registro SR (Status Register)**
 - Contiene le variabili di stato
- **Registro DR₀ (Data Register)**
 - Contiene parte delle variabili d'uscita (Dati)
-
- **Registro RD_n (Data Register)**
 - Contiene parte delle variabili d'uscita (Dati)
- **NOTE**
 - La suddivisione in vari "registri dati" è funzionale al progetto
 - Non tutti gli RD servono per le variabili d'uscita

A.S.E.

16.38

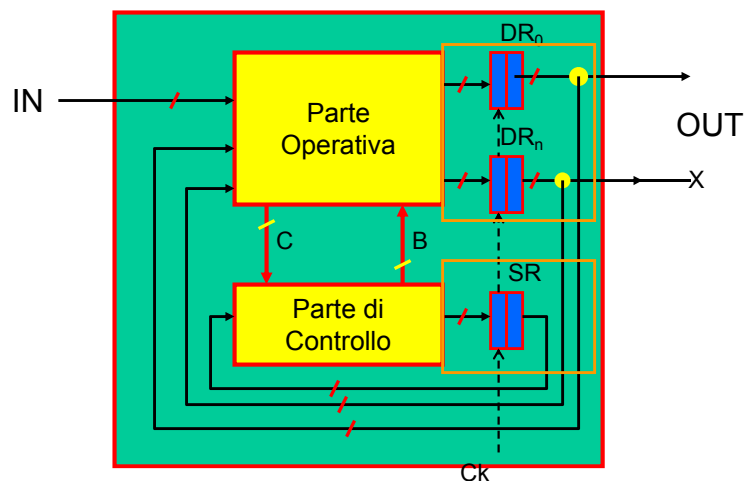
Osservazione 2

- La suddivisione dei registri è funzionale al fatto di ridurre considerevolmente gli stati interni della macchina (solo SR da luogo a variabili di stato)
- Anche la rete combinatoria può essere interpretata come più reti combinatorie

A.S.E.

16.39

Scomposizione della "RC"



A.S.E.

16.40

Osservazioni

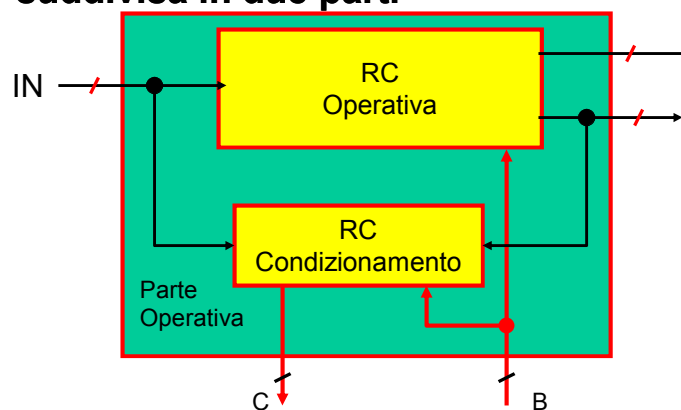
- La parte operativa esegue determinate operazioni sulle variabili d'ingresso, in funzione delle variabili d'uscita e delle informazioni fornite dalla parte di controllo (B) *microistruzioni*
- Genera le variabili di condizionamento (C) e le nuove uscita
- La parte di controllo determina i vari passi da eseguire, in funzione delle variabili di stato e delle variabili di controllo

A.S.E.

16.41

Ulteriore suddivisione

- La parte operativa può essere ulteriormente suddivisa in due parti



A.S.E.

16.42

Osservazioni

- **La suddivisione vista è dettata da:**
 - Le reti sequenziali complesse sono difficili ad essere gestite
 - Le funzioni della parte operativa solitamente sono.
 - OPERAZIONI ARITMETICHE
 - OPERAZIONI LOGICHE
 - SHIFT
 - MULTIPLEX
 - Una soluzione “guidata” è solitamente più veloce e più efficiente
 - (i criteri d’ottimizzazione sono scelti dal progettista)

A.S.E.

16.43

Conclusioni

- **Memorie**
 - Organizzazione
 - Temporizzazione
 - Cella base
 - Tipi di indirizzamento
- **Reti sequenziali sincronizzate complesse**
 - Macchina di Mealy ritardata
 - Registro di stato
 - Registro operativo
 - Parte operativa
 - Parte di controllo

A.S.E.

16.44

Quesiti

- È possibile realizzare una RAM da **8 K x 8** disponendo di blocchi base da **8 K x 4** ?
- È possibile realizzare una RAM da **16 K x 4** disponendo di blocchi base da **8 K x 4** ?
- È possibile realizzare una RAM da **32 K x 4** disponendo di blocchi base da **8 K x 4** ?
- È possibile realizzare una RAM da **16 K x 8** disponendo di blocchi base da **8 K x 4** ?
- È possibile realizzare una RAM da **32 K x 12** disponendo di blocchi base da **8 K x 4** ?

A.S.E.

16.45