

# **ARCHITETTURA DEI SISTEMI ELETTRONICI**

## **LEZIONE N° 13**

- **Flip-flop T**
- **Contatore asincrono**
- **Flip-flop D Edge triggered**
  - **Preset & Clear**
- **Registri**

**A.S.E.**

**13.1**

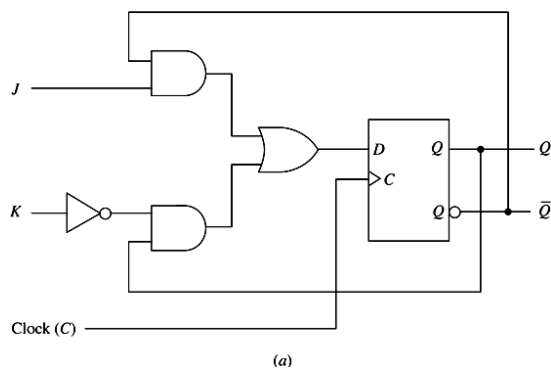
## **Richiami**

- **Flip-flop S-R Master-slave**
- **Flip-flop J-K Master-slave**
- **Flip-flop D Master-slave**
- **Flip-flop T Master-slave**
- **Flip-flop D Edge triggered**

**A.S.E.**

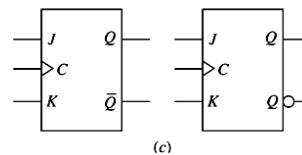
**13.2**

## Flip-flop J-K Positive Edge triggered (soluzione alternativa)



Inputs			Outputs	
$J$	$K$	$C$	$Q^+$	$\bar{Q}^+$
0	0	↑	$Q$	$\bar{Q}$
0	1	↑	0	1
1	0	↑	1	0
1	1	↑	$\bar{Q}$	$Q$
X	X	0	$Q$	$\bar{Q}$
X	X	1	$Q$	$\bar{Q}$

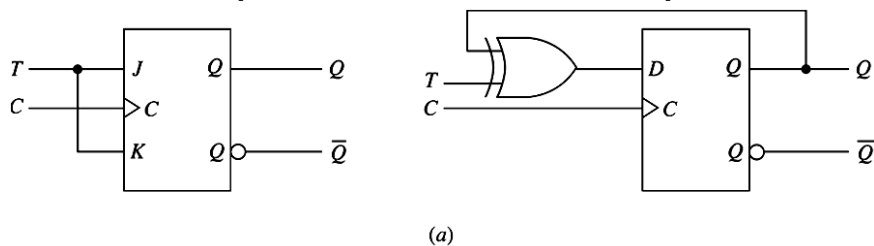
(b)



A.S.E.

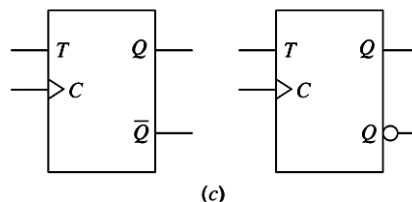
13.3

## Flip-flop T Positive Edge triggered (soluzione alternativa)



Inputs		Outputs	
$T$	$C$	$Q^+$	$\bar{Q}^+$
0	↑	$Q$	$\bar{Q}$
1	↑	$\bar{Q}$	$Q$
X	0	$Q$	$\bar{Q}$
X	1	$Q$	$\bar{Q}$

(b)



A.S.E.

13.4

## Tabelle delle funzioni

S	R	Q <sup>+</sup>	D	Q <sup>+</sup>	J	K	Q <sup>+</sup>	T	Q <sup>+</sup>
0	0	Q	0	0	0	0	Q	0	$\frac{Q}{Q}$
0	1	0	1	1	0	1	0	1	$\frac{Q}{Q}$
1	0	1			1	0	1		
1	1	-			1	1	$\overline{Q}$		

A.S.E.

17.5

## Tabella delle transizioni (Tabella next-state) Flip-flop S-R

S	R	Q	Q <sup>+</sup>
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	-
1	1	1	-

		S R			
		00	01	11	10
Q <sup>+</sup>	0	0	0	-	1
	1	1	0	-	1

$$Q^+ = S + \overline{R}Q$$

Condizione

$$S \bullet R = 0$$

A.S.E.

17.6

## Tabella delle transizioni (Tabella next-state) Flip-flop D

D	Q	Q <sup>+</sup>
0	0	0
0	1	0
1	0	1
1	1	1

		D	
		0	1
Q <sup>+</sup>	0	0	1
	1	0	1

$$Q^+ = D$$

A.S.E.

17.7

## Tabella delle transizioni (Tabella next-state) Flip-flop J-K

J	K	Q	Q <sup>+</sup>
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

		JK			
		00	01	11	10
Q <sup>+</sup>	0	0	0	1	1
	1	1	0	0	1

$$Q^+ = J\bar{Q} + \bar{K}Q$$

A.S.E.

17.8

## Tabella delle transizioni (Tabella next-state) Flip-flop T

T	Q	Q <sup>+</sup>
0	0	0
0	1	1
1	0	1
1	1	0

		T	
		0	1
Q <sup>+</sup>	0	0	1
	1	1	0

$$Q^+ = T\bar{Q} + \bar{T}Q = T \oplus Q$$

A.S.E.

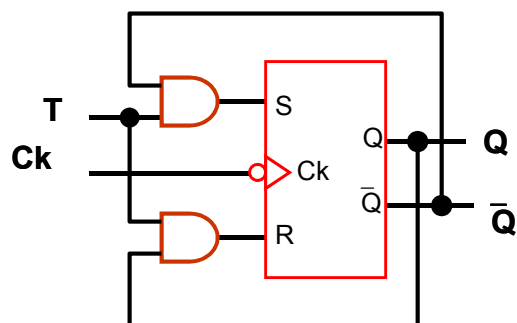
17.9

## Flip - Flop T (*TOGGLE*)

### • Tabella delle funzioni

Ck	T	Q
0	X	Q
1	X	Q
	X	Q
	0	Q
	1	$\bar{Q}$

### Schema logico

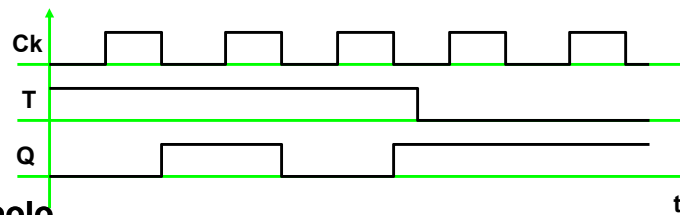


A.S.E.

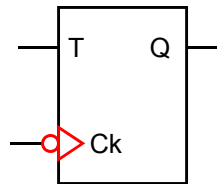
13.10

## Forme d'onda

- Il Flip – Flop T divide per 2 la frequenza del Clock



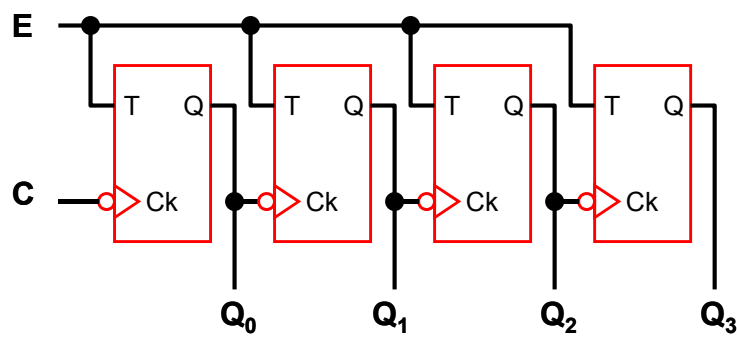
- Simbolo



A.S.E.

13.11

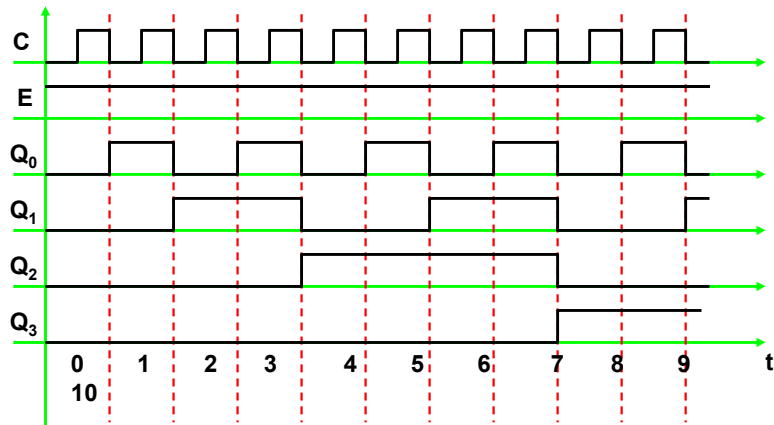
## Flip – Flop T in cascata



A.S.E.

13.12

## Forme d'onda



A.S.E.

13.13

## Contatore modulo $2^N$ con riporto seriale

- Sequenza di uscita

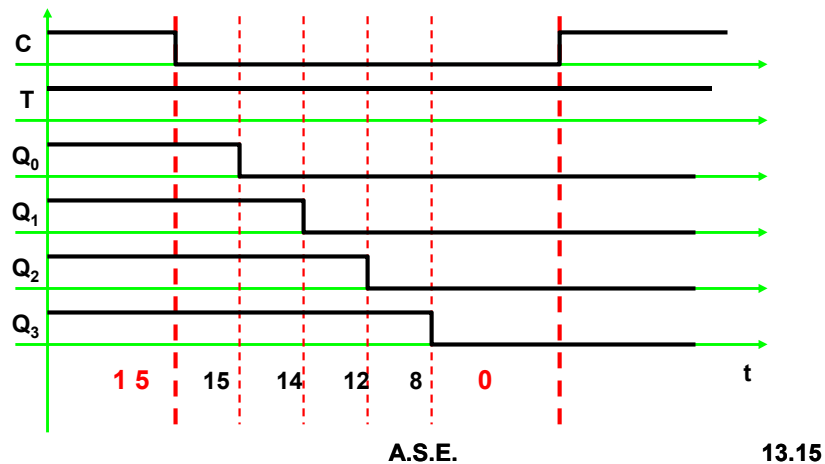
N	Q3	Q2	Q1	Q0
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
11	1	0	1	1
12	1	1	0	0
13	1	1	0	1
14	1	1	1	0
15	1	1	1	1
16	0	0	0	0

A.S.E.

13.14

## Problema del riporto seriale

- **Forme d'onda**



## Osservazioni

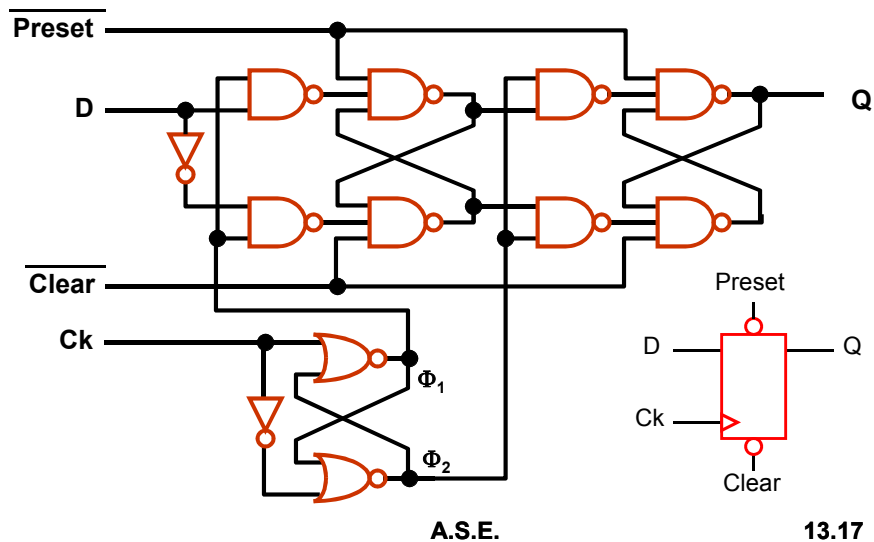
- Il Flip-Flop D edge triggered elemento base delle reti sincronizzate
- Non è possibile prevedere il valore dell'uscita del Flip-Flop all'accensione
- Può essere necessario inizializzare il sistema anche durante il normale funzionamento
- L'inizializzazione può richiedere il caricamento di un particolare valore
- L'inizializzazione deve essere indipendente dai fronti del Clock (asincrona)

A.S.E.

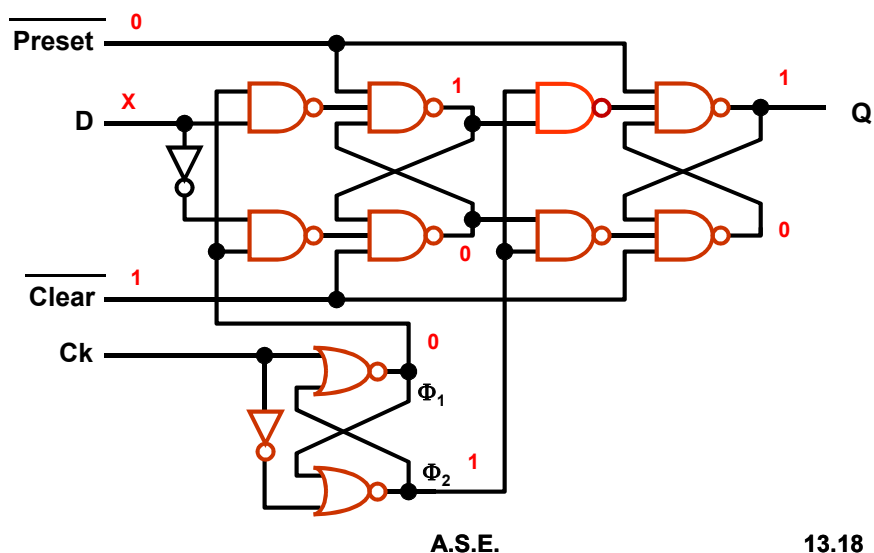
13.16



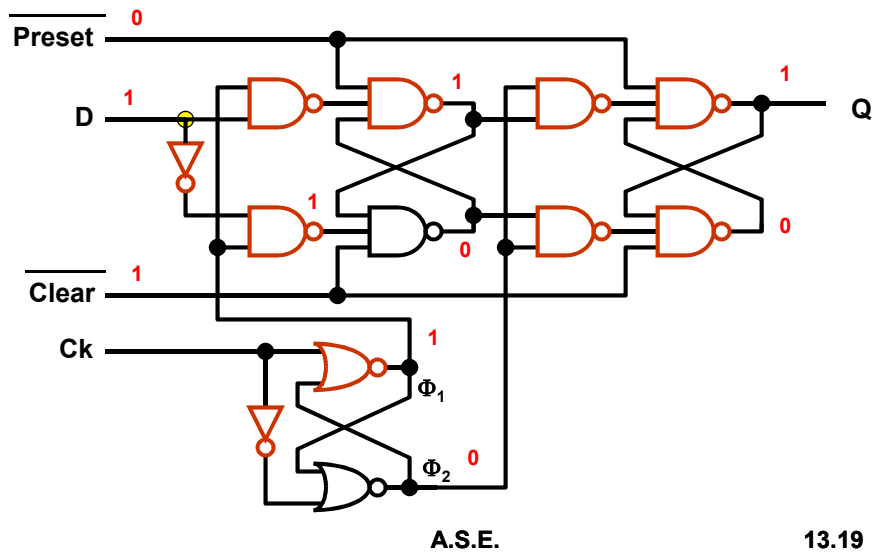
## Flip – Flop D (Edge Triggered) con CLEAR & PRESET asincroni



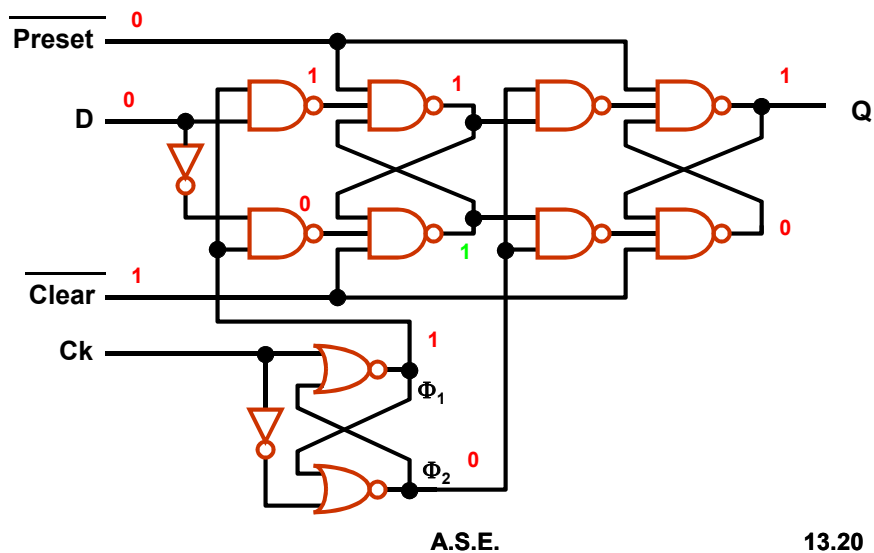
## Verifica Pr = 0 , Ck = 1



### Verifica Pr = 0 , Ck = 0 , D = 1

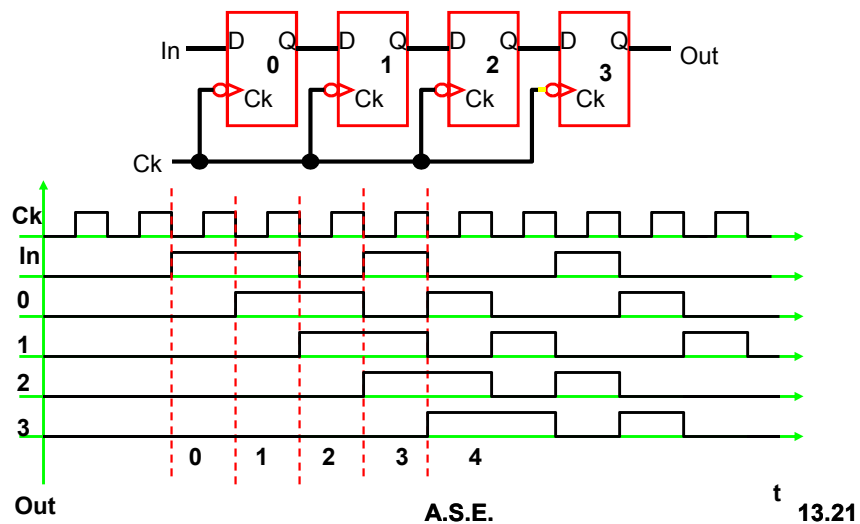


### Verifica Pr = 0 , Ck = 0 , D = 0



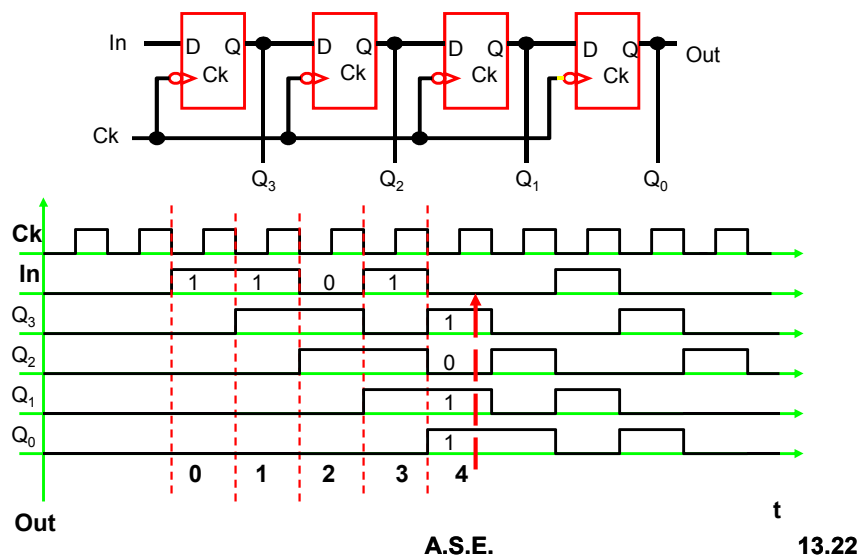
## Registro a scorrimento (shift register)

- Serial In Serial Out (SISO)



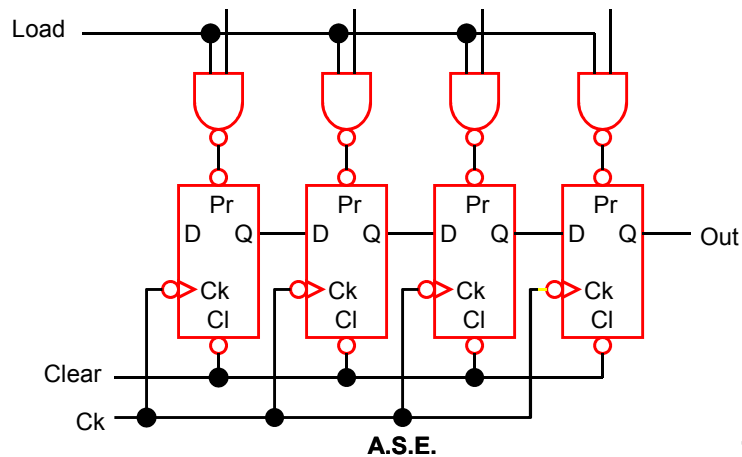
## Registro a scorrimento 2

- Serial In Parallel Out (SIPO)



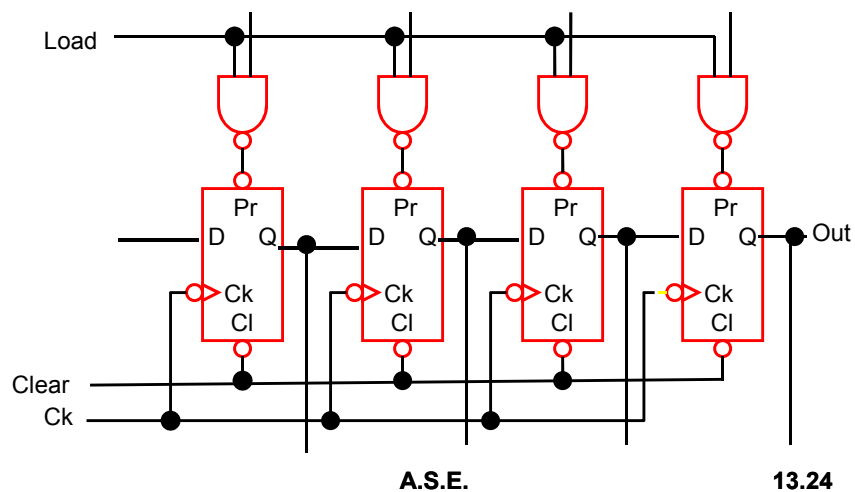
## Registro a scorrimento 3

- **Parallel In Serial Out (PISO)**



## Registro a scorrimento 4

- **Parallel In Parallel Out (PIPO)**



## OSSERVAZIONE

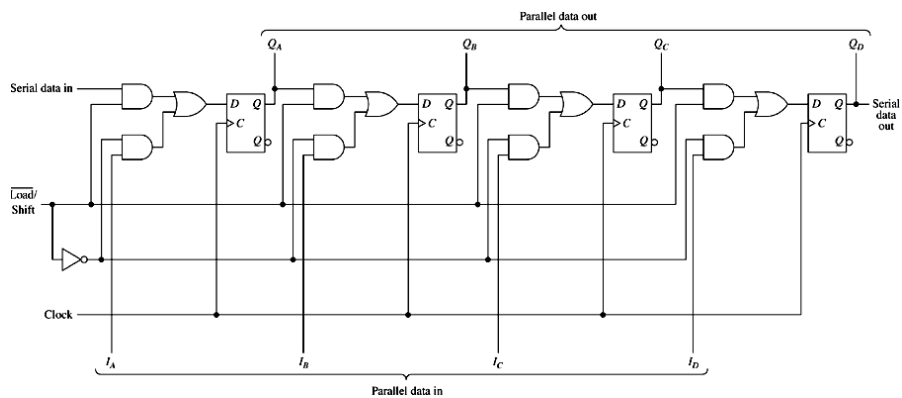
- Negli ultimi due registri (PISO) e PIPO) gli ingressi parallelo sono

**ASINCRONI**

A.S.E.

13.25

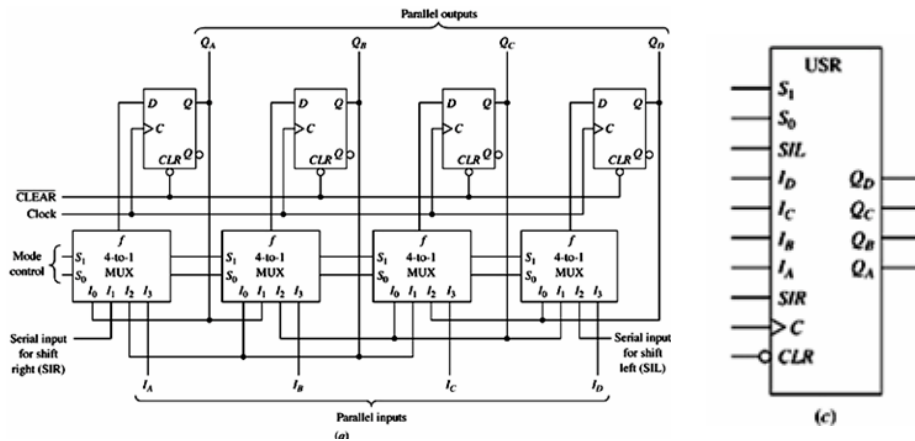
## Registro a scorrimento universale unidirezionale



A.S.E.

13.26

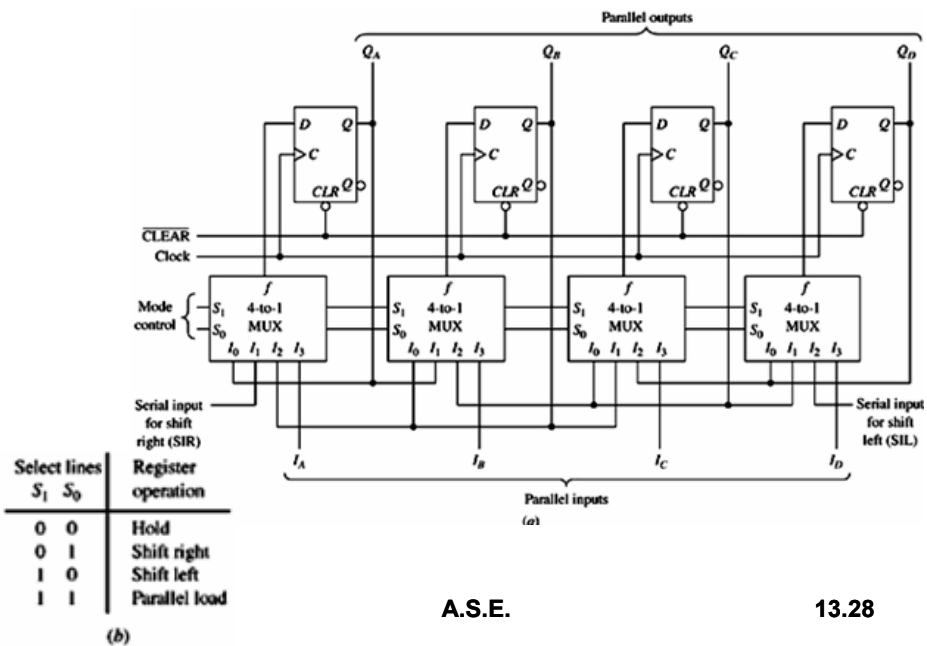
## Registro a scorrimento universale



A.S.E.

13.27

## Registro a scorrimento universale

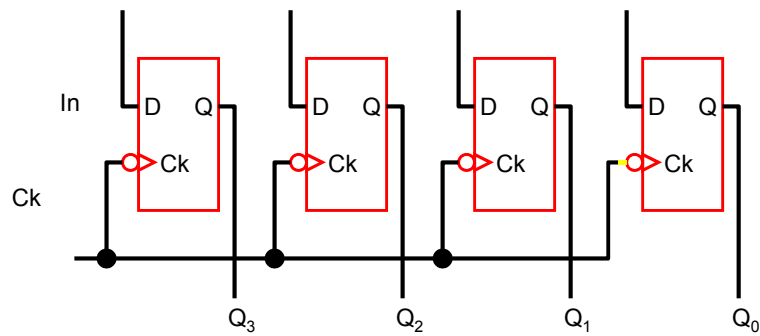


A.S.E.

13.28

## Registro di sincronizzazione

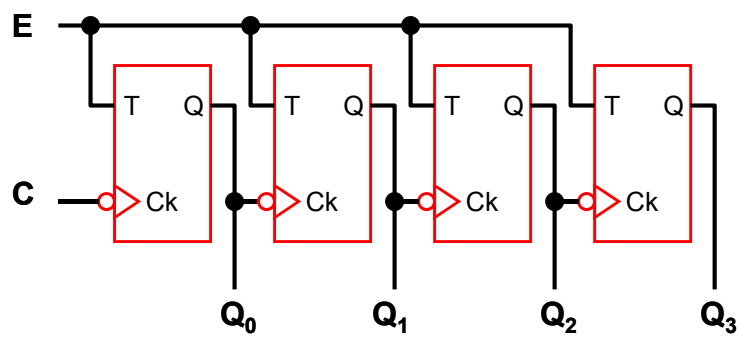
- PIPO Ver. 2



A.S.E.

13.29

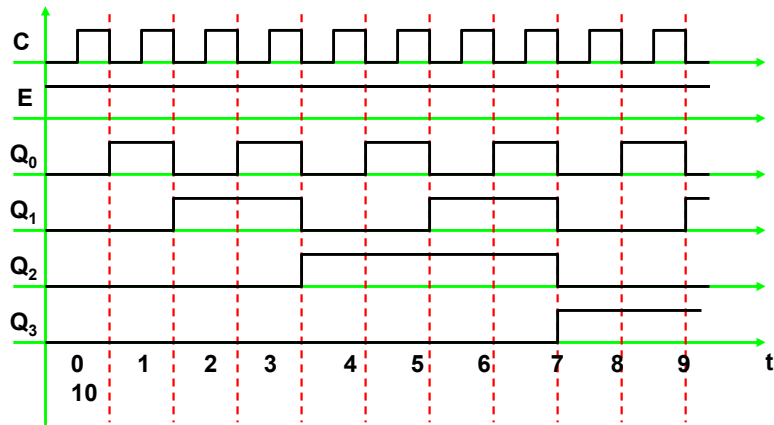
## Flip – Flop T in cascata



A.S.E.

13.30

## Forme d'onda



A.S.E.

13.31

## Contatore modulo $2^N$ con riporto seriale

- Sequenza di uscita

N	Q3	Q2	Q1	Q0
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
11	1	0	1	1
12	1	1	0	0
13	1	1	0	1
14	1	1	1	0
15	1	1	1	1
16	0	0	0	0

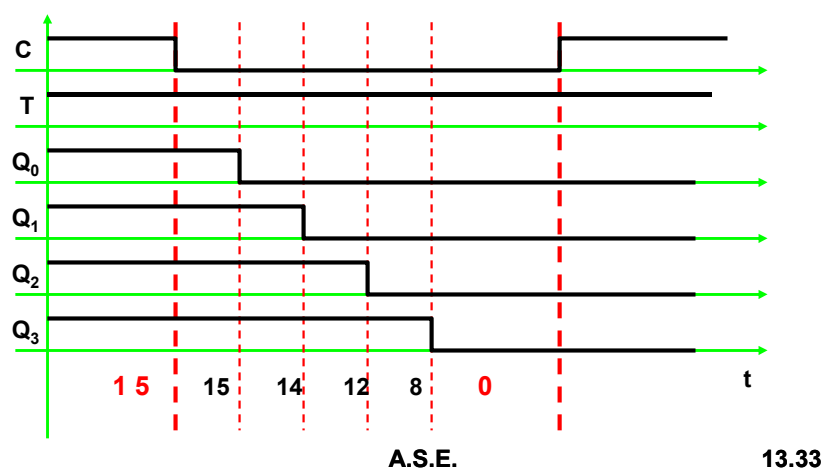
A.S.E.

13.32

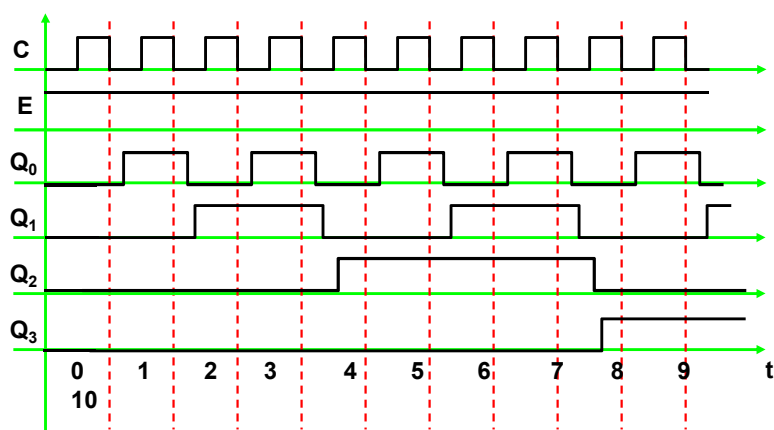


## Problema del riporto seriale

- **Forme d'onda**



## Forme d'onda (2)



## Osservazioni

1. Nel contatore asincrono a riporto seriale (ripple) [a propagazione] c'è un intervallo di indeterminazione dell'uscite
2. Tempo di assestamento
3. Il periodo del clock deve essere maggiore del tempo di assestamento ( $n \times t_{pF-F}$ )
4. Nel divisore  $2^n$  il periodo del clock deve essere maggiore del tempo di propagazione del singolo Flip-Flop ( $t_{pF-F}$ )

A.S.E.

13.35

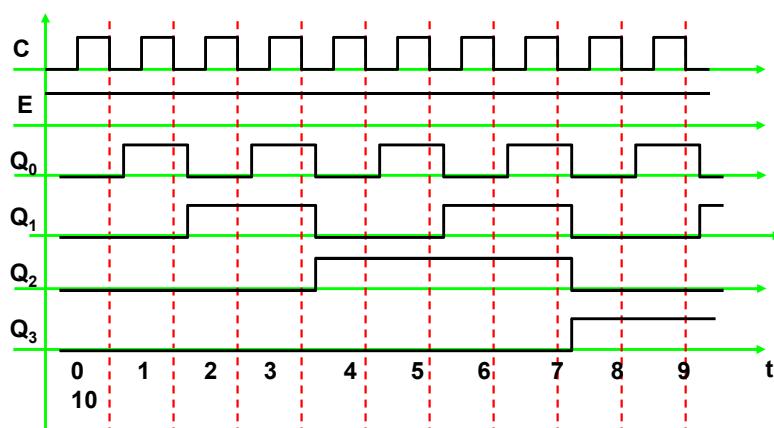
## Contatore sincrono (0)

- Per evitare il tempo di indeterminazione i Flip-Flop devono commutare simultaneamente
- Il clock è comune a tutti i Flip-Flop
- Il Flip-Flop "n" deve commutare solo quando gli "n-1", che lo precedono sono a "1"

A.S.E.

13.36

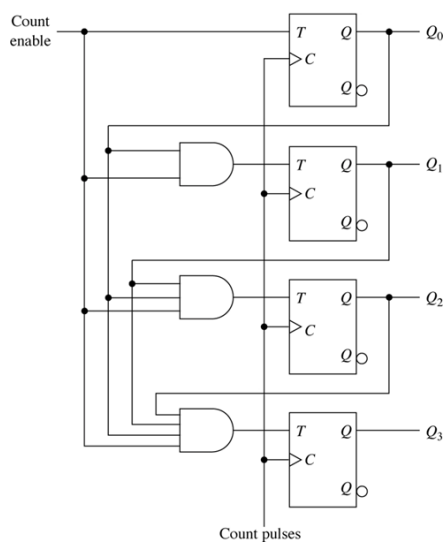
## Forme d'onda (3)



A.S.E.

13.37

## Contatore sincrono modulo $2^N$ (1)



A.S.E.

13.38

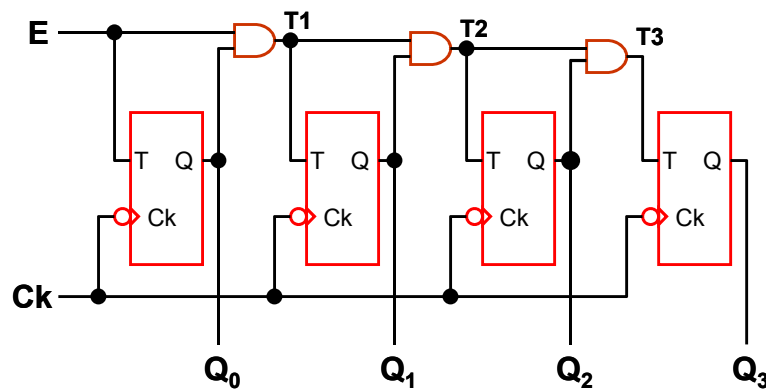
## Osservazioni

- Per un contatore con molti Flip-Flop occorrono porte AND a molti ingressi
- Le porte AND a molti ingressi sono lente
- Per contatore a "n" bit, il Flip-Flop di peso 0 deve pilotare n-1 porte AND
  - Carico eccessivo
- Il periodo del clock deve essere superiore a tempo di propagazione di un F-F + ritardo della porta AND più grossa

A.S.E.

13.39

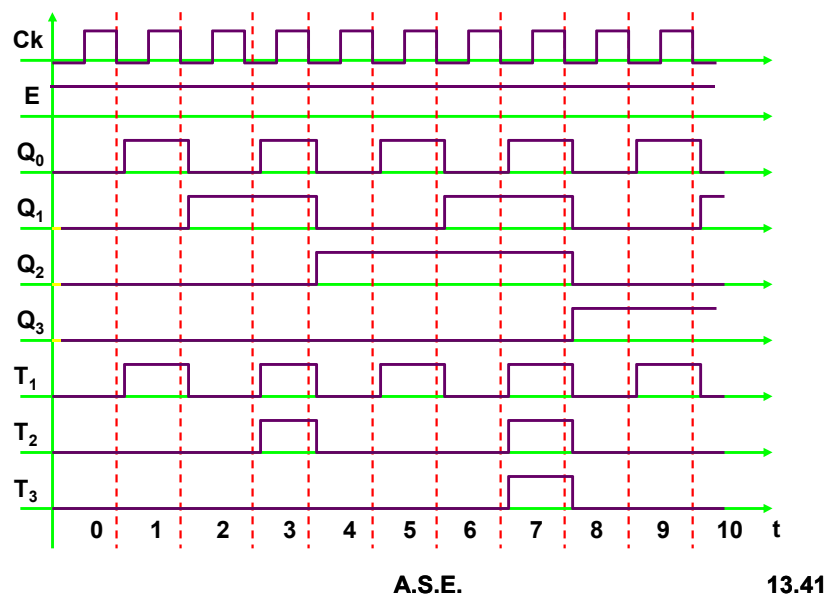
## Contatore sincrono modulo $2^N$ (2)



A.S.E.

13.40

## Forme d'onda



## Osservazioni

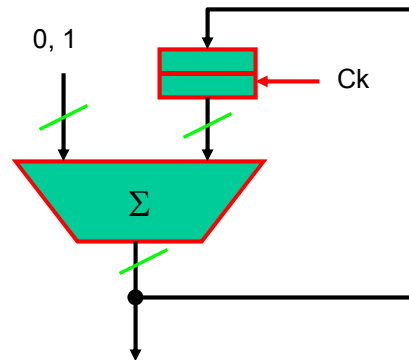
- Le porte AND sono tutte a soli 2 ingressi
- In un contatore a “n” bit, il periodo del Clock deve essere maggiore del tempo di propagazione di un F-F +  $(n-1) \times$  tempo di ritardo di una porta AND
- In generale, un contatore asincrono è più lento di un contatore sincrono
- Nel caso di divisore “ $2^n$ ” il contatore asincrono è più veloce di un contatore sincrono

A.S.E.

13.42

## Contatore mediante sommatore

- Architettura base

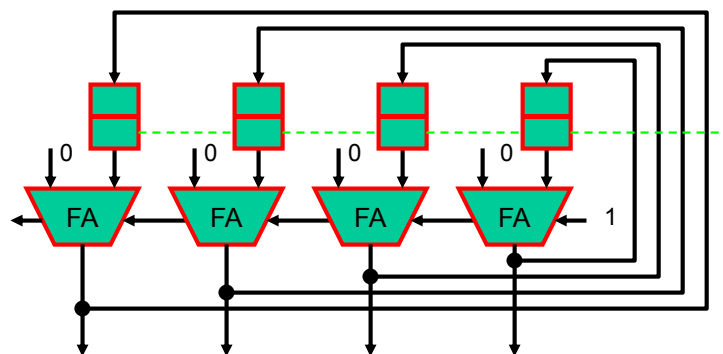


A.S.E.

13.43

## Contatore mediante sommatore

- Uso de Full Adder

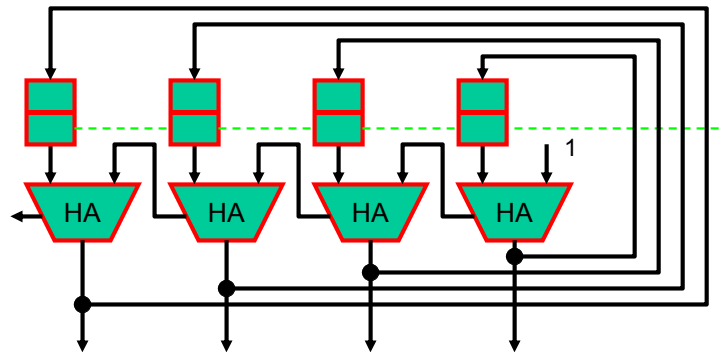


A.S.E.

13.44

## Contatore mediante sommatore

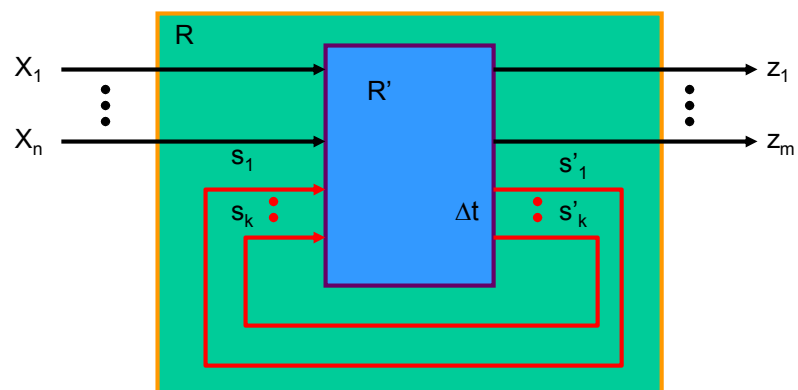
- Uso dell' half adder



A.S.E.

13.45

## Modello 1 di rete sequenziale



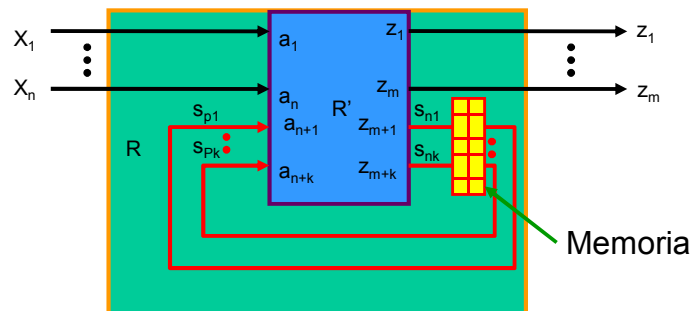
La rete  $R'$  è priva di anelli, ovvero è una rete combinatoria

A.S.E.

13.46

## Macchina di MEALY 1

- Le uscite sono funzioni delle variabili di stato e degli ingressi

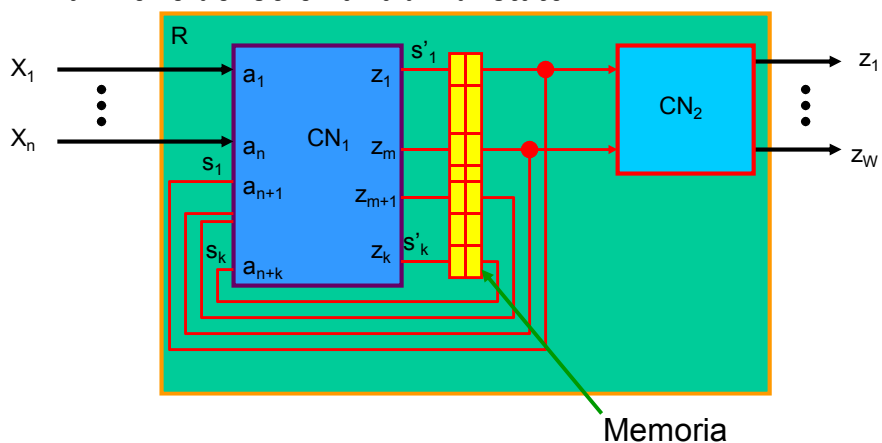


A.S.E.

13.47

## Macchina di MOORE 1

- Le variabili d'uscita, in un determinato istante, sono funzione del sole variabili di stato



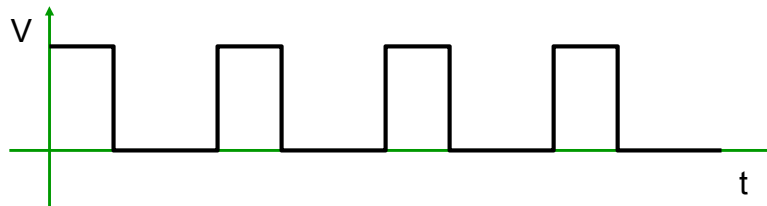
A.S.E.

13.48



## Instabilità

- Segnale di CLOCK



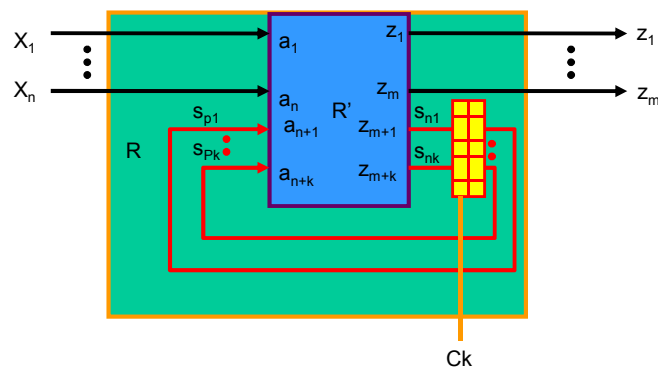
- La memoria cambia le proprie uscite in corrispondenza del fronte di discesa (salita) del CLOCK

A.S.E.

13.49

## Macchina di MEALY 2

- Le uscite sono funzioni delle variabili di stato e degli ingressi

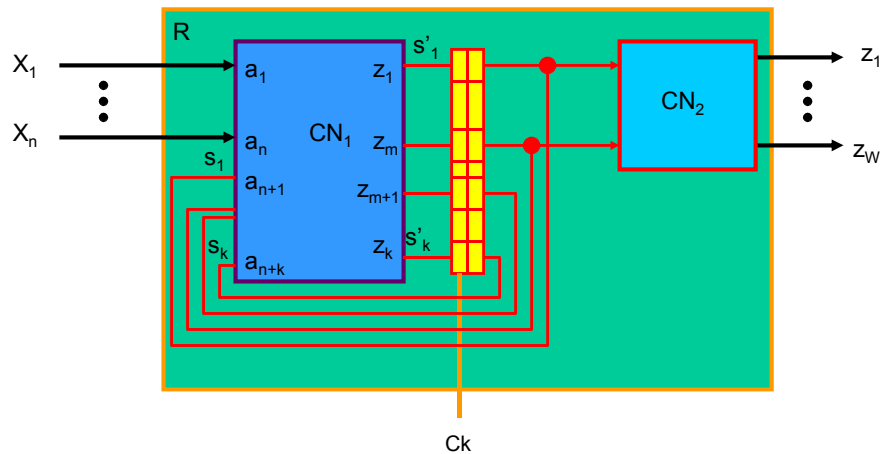


A.S.E.

13.50

## Macchina di MOORE 2

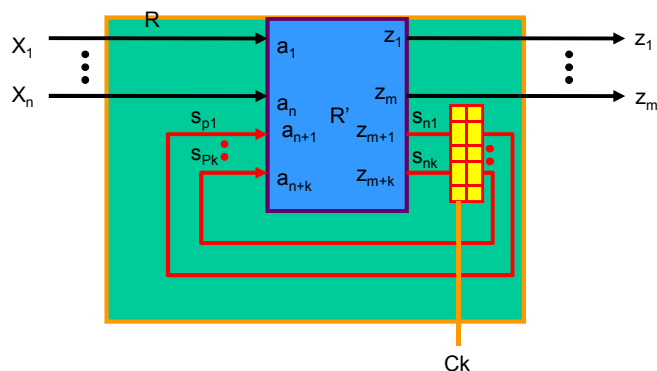
- Le variabili d'uscita, in un determinato istante, sono funzione del sole variabili di stato



A.S.E.

13.51

## Rete sequenziale sincronizzata



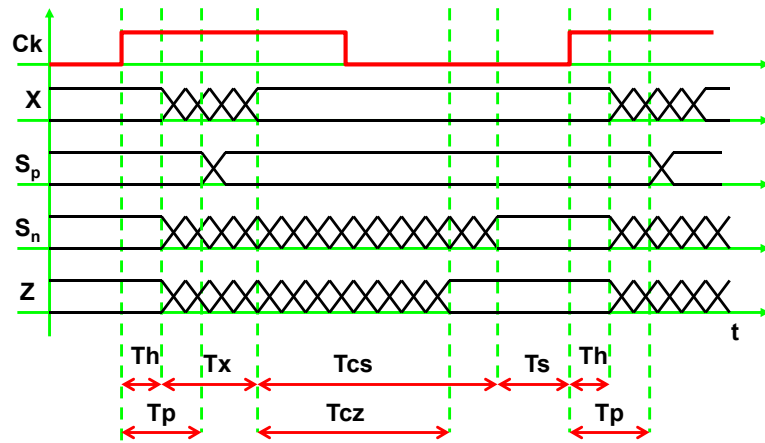
Per il corretto funzionamento è necessario che siano rispettati i tempi  $T_{\text{setup}}$  e  $T_{\text{hold}}$  del registro

A.S.E.

13.52

## Temporizzazione

- Condizioni sugli ingressi



A.S.E.

13.53

## Glossario

- $T_h = T_{\text{hold}}$  (tempo di mantenimento dopo il campionamento)
- $T_s = T_{\text{setup}}$  (tempo di stabilizzazione prima del campionamento)
- $T_p = T_{\text{propagation}}$  (tempo di propagazione del dato nel Flip-Flop D)
- $T_x = T_{\text{input}}$  (tempo durante il quale gli ingressi possono variare)
- $T_{cs} = T_{\text{calc-s}}$  (Tempo di calcolo delle variabili di stato)
- $T_{cz} = T_{\text{calc-z}}$  (Tempo di calcolo delle variabili d'uscita)

A.S.E.

13.54

## Osservazioni

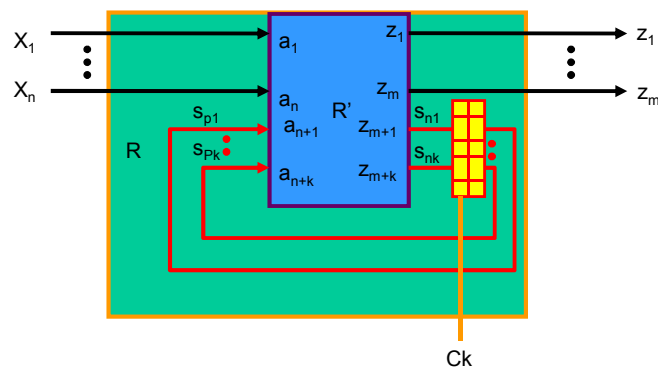
- In questa macchina il tempo di calcolo delle variabili di stato limita pesantemente l'intervallo di tempo durante il quale gli ingressi possono essere instabili
- Per garantire la sincronizzazione degli ingressi si può mettere una barriera di F-F D (un Registro) subito dopo i terminali d'ingresso

A.S.E.

13.55

## Macchina di Mealy

- Le uscite sono funzioni delle variabili di stato e degli ingressi

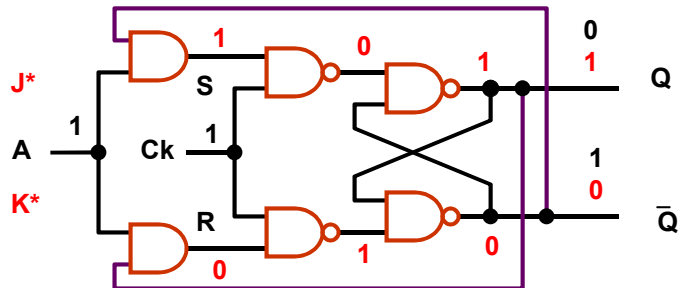


A.S.E.

13.56

## Problema dell'instabilità

- Presenza di anelli multipli



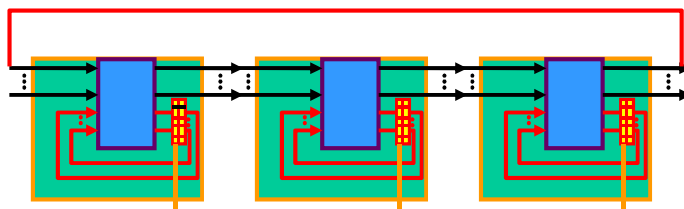
- A causa dei ritardi sulle porte le uscite oscillano

A.S.E.

13.57

## Osservazioni

- Le uscite sono asincrone
- È pericoloso usare più reti fra loro connesse
  - si può ottenere una macchina asincrona “nascosta”

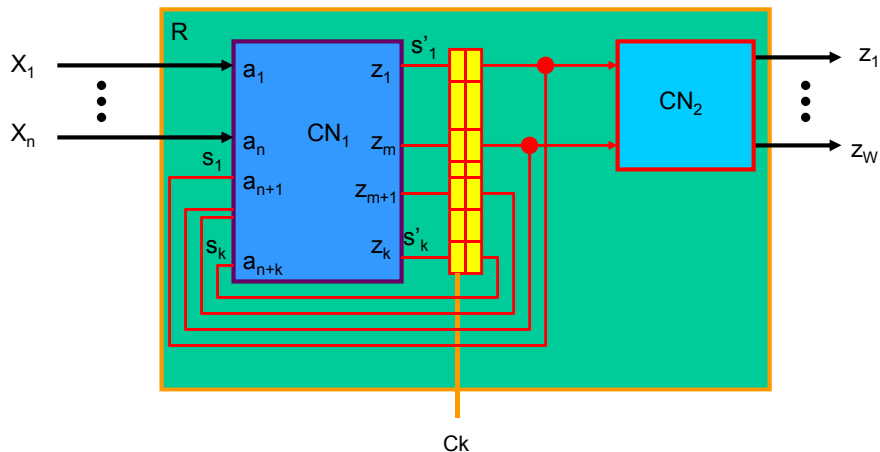


A.S.E.

13.58

## Macchina di MOORE

- Le variabili d'uscita, in un determinato istante, sono funzione del sole variabili di stato



A.S.E.

13.59

## Osservazioni

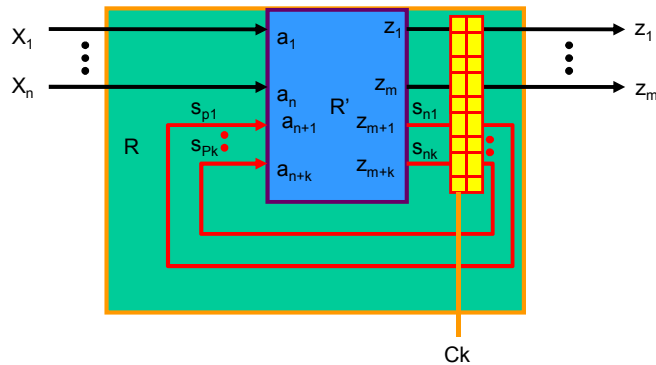
- Le uscite sono sincrone
- È possibile usare più reti fra loro connesse senza il pericolo di creare anelli di reazione che possono dare luogo a reti sequenziali asincrone
- Le condizioni da rispettare sui vari tempi di assestamento risultano meno stringenti
  - Le uscite vengono presentate in ritardo rispetto alla macchina di Mealy (tempo d'attesa per la sincronizzazione)

A.S.E.

13.60

## Macchina di Mealy Ritardata

- Le uscite sono funzioni delle variabili di stato e degli ingressi, ma risultano sincronizzate



A.S.E.

13.61

## Osservazioni

- Le uscite sono sincrone
- È possibile usare più reti fra loro connesse senza il pericolo di creare anelli di reazione che possono dare luogo a reti sequenziali asincrone
- Le condizioni da rispettare sui vari tempi di assestamento risultano meno stringenti
- La macchina di Mealy ritardata è una macchina di Moore in senso stretto
- Può richiedere meno stati interni della macchina di Moore

A.S.E.

13.62

## CONCLUSIONI

### Sintesi di reti sequenziali sincronizzate

- Contatori Sincroni modulo “ $2^N$ ”
- Contatori sincroni modulo “N”
- Modelli di reti sequenziali
- Descrizione di reti sequenziali
- Macchina di Mealy
- Macchina di Moore
- Macchina di Mealy ritardata

A.S.E.

13.63

## Conclusioni

- Flip-flop D Edge triggered
- Contatore asincrono
- Registri

A.S.E.

13.64