

ARCHITETTURA DEI SISTEMI ELETTRONICI

LEZIONE N° 10

- **Sommatori veloci**
- **Reti combinatorie frequenti**
 - Comparatori
 - Generatore/verificatore di parità
 - Decodificatore e Codificatore
 - Multiplex e Demultiplex
- **Tecniche strutturate**
 - PLD
 - PLA, PROM, PAL

A.S.E.

10.1

Richiami

- **Somma e differenza di due numeri in**
 - Modulo e Segno
 - Complemento a 1
 - Complemento a 2
- **Half Adder**
- **Full Adder**
- **Sommatori e Sottrattori di due word di n bit**

A.S.E.

10.2

Sommatori veloci

- Considerazioni sul Carry

| c_i | a_i | b_i | s_i | c_{i+1} | |
|-------|-------|-------|-------|-----------|---|
| 0 | 0 | 0 | 0 | 0 | $s_i = a_i \oplus b_i \oplus c_i$ |
| 0 | 0 | 1 | 1 | 0 | $c_{i+1} = a_i \cdot b_i \cdot \bar{c}_i + \bar{a}_i \cdot b_i \cdot c_i + a_i \cdot \bar{b}_i \cdot c_i + a_i \cdot b_i \cdot c_i =$ |
| 0 | 1 | 0 | 1 | 0 | $= (a_i \cdot b_i \cdot \bar{c}_i + a_i \cdot b_i \cdot c_i) + (\bar{a}_i \cdot b_i \cdot c_i + a_i \cdot \bar{b}_i \cdot c_i)$ |
| 0 | 1 | 1 | 0 | 1 | $c_{i+1} = a_i \cdot b_i + c_i \cdot (a_i \oplus b_i)$ |
| 1 | 0 | 0 | 1 | 0 | $G_i = a_i \cdot b_i$ |
| 1 | 0 | 1 | 0 | 1 | $P_i = a_i \oplus b_i$ |
| 1 | 1 | 0 | 0 | 1 | $c_{i+1} = G_i + c_i \cdot P_i$ |
| 1 | 1 | 1 | 1 | 1 | $S_i = P_i \oplus c_i$ |

A.S.E.

10.3

Carry Look-Ahead Adder

- Quindi risulta

$$\ast C_1 = G_0 + P_0 C_0$$

$$\ast C_2 = G_1 + P_1 C_1 = G_1 + P_1 G_0 + P_1 P_0 C_0$$

$$\ast C_3 = G_2 + P_2 C_2 = G_2 + P_2 G_1 + P_2 P_1 G_0 + P_2 P_1 P_0 C_0$$

$$\ast C_4 = G_3 + P_3 C_3 = G_3 + P_3 G_2 + P_3 P_2 G_1 + P_3 P_2 P_1 G_0 + P_3 P_2 P_1 P_0 C_0$$

– I vari Carry possono essere generati simultaneamente

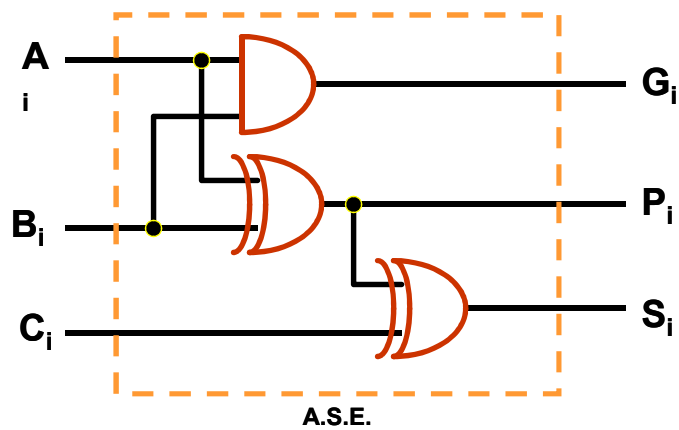
A.S.E.

10.4

Blocco base

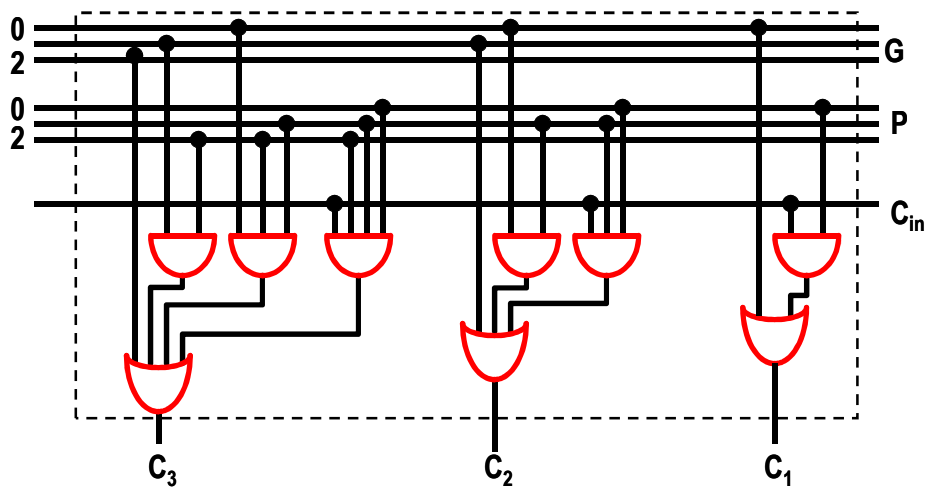
- $$G_i = A_i B_i \quad P_i = A_i \oplus B_i$$

$$S_i = P_i \oplus C_i$$



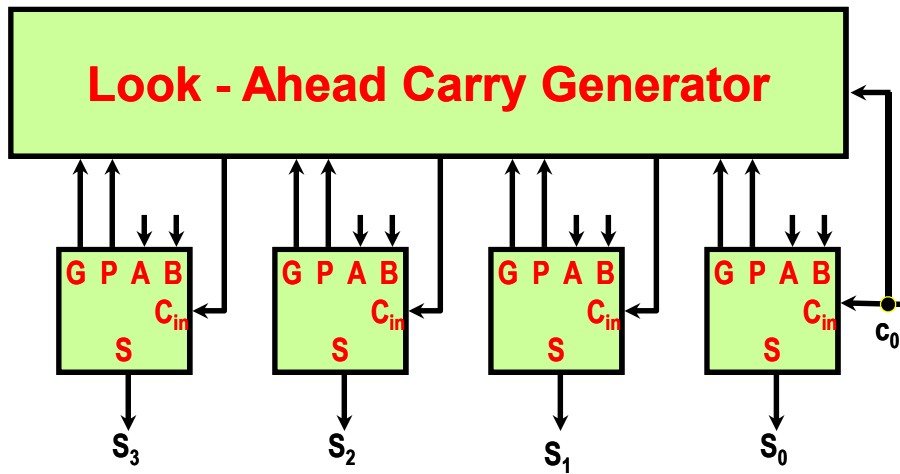
10.5

Look - Ahead Carry Generator Schema



10.6

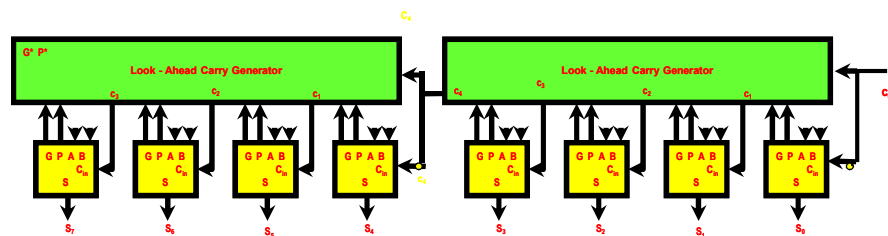
Schema del sommatore



A.S.E.

10.7

sommatore seriale a blocchi



A.S.E.

10.8

Carry Look-Ahead Adder

• Quindi risulta

$$\ast C_1 = G_0 + P_0 C_0$$

$$\ast C_2 = G_1 + P_1 C_1 = G_1 + P_1 G_0 + P_1 P_0 C_0$$

$$\ast C_3 = G_2 + P_2 C_2 = G_2 + P_2 G_1 + P_2 P_1 G_0 + P_2 P_1 P_0 C_0$$

$$\ast C_4 = G_3 + P_3 C_3 = G_3 + P_3 G_2 + P_3 P_2 G_1 + P_3 P_2 P_1 G_0 + P_3 P_2 P_1 P_0 C_0$$

$$\triangleright G^* = G_3 + P_3 G_2 + P_3 P_2 G_1 + P_3 P_2 P_1 G_0$$

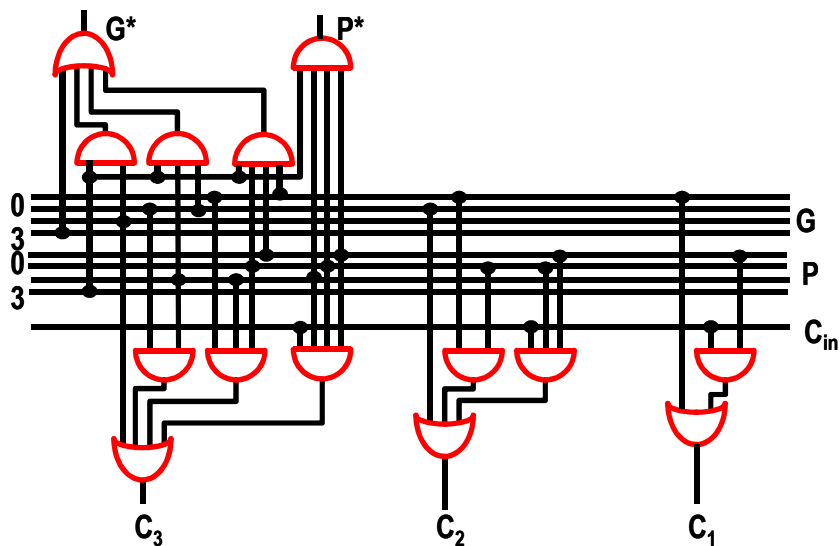
$$\triangleright P^* = P_3 P_2 P_1 P_0$$

$$\triangleright C_4 = G^* + P^* C_0$$

A.S.E.

10.9

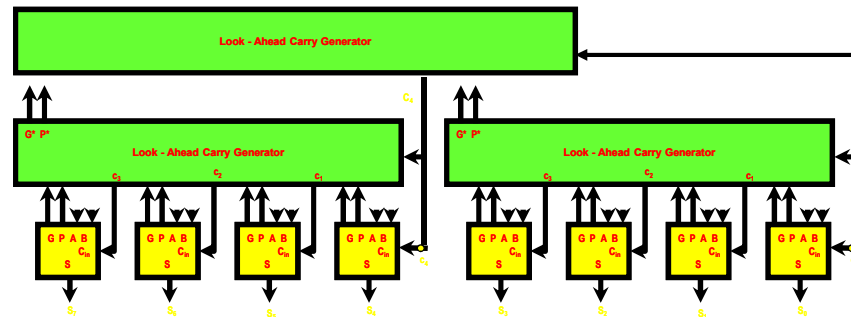
Look - Ahead Carry Generator



A.S.E.

10.10

Schema del sommatore gerarchico



A.S.E.

10.11

Comparatore

- Rete combinatoria che esegue il confronto fra due numeri su “k” bit
- Numeri interi positivi
- Tre uscite
 - E (A=B)
 - G (A>B)
 - L (A<B)

A.S.E.

10.12

Comparatore a 1 bit

| | | | |
|---|---|---|---|
| E | A | | B |
| | 0 | 1 | |
| B | 0 | 1 | |
| | 1 | | 1 |

| | | | |
|---|---|---|---|
| G | A | | B |
| | 0 | 1 | |
| B | 0 | | 1 |
| | 1 | | |

| | | | |
|---|---|---|---|
| L | A | | B |
| | 0 | 1 | |
| B | 0 | | |
| | 1 | 1 | |

$$E = \{A = B\} = \overline{A \cdot B} + A \cdot B = \overline{A \cdot \overline{B}} + \overline{A \cdot B} = \overline{A \oplus B}$$

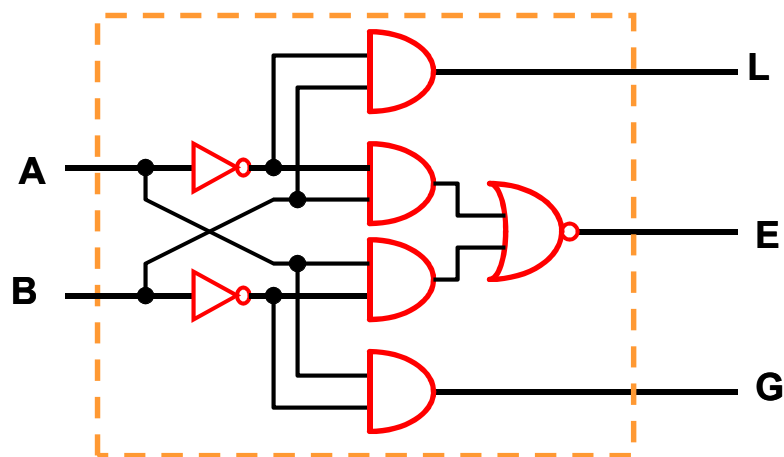
$$G = \{A > B\} = \overline{A}B$$

$$L = \{A < B\} = A\overline{B}$$

A.S.E.

10.13

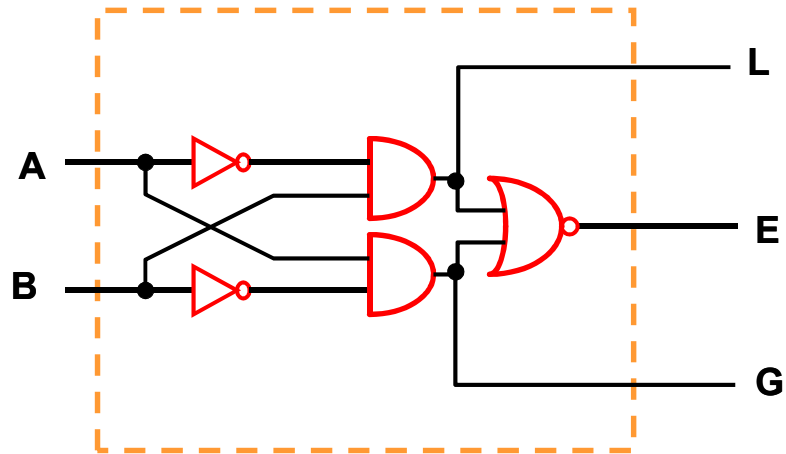
Schema a 1 bit



A.S.E.

10.14

Schema a 1 bit Modificato



A.S.E.

10.15

Comparatore a 2 bit

| | | | | | |
|-------------------------------|----|-------------------------------|----|----|----|
| E | | A ₁ A ₀ | | | |
| | | 00 | 01 | 11 | 10 |
| B ₁ B ₀ | 00 | 1 | | | |
| | 01 | | 1 | | |
| | 11 | | | 1 | |
| | 10 | | | | 1 |

| | | | | | |
|-------------------------------|----|-------------------------------|----|----|----|
| G | | A ₁ A ₀ | | | |
| | | 00 | 01 | 11 | 10 |
| B ₁ B ₀ | 00 | | 1 | 1 | 1 |
| | 01 | | | 1 | 1 |
| | 11 | | | | |
| | 10 | | | 1 | |

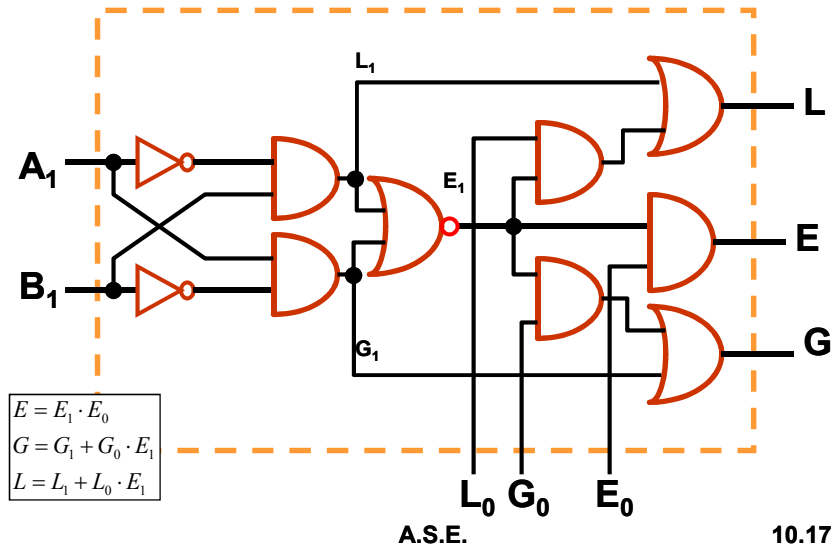
| | | | | | |
|-------------------------------|----|-------------------------------|----|----|----|
| L | | A ₁ A ₀ | | | |
| | | 00 | 01 | 11 | 10 |
| B ₁ B ₀ | 00 | | | | |
| | 01 | 1 | | | |
| | 11 | 1 | 1 | | 1 |
| | 10 | 1 | 1 | | |

$$\begin{aligned}
 E = \{A = B\} &= \bar{A}_1 \bar{A}_0 \bar{B}_1 \bar{B}_0 + \bar{A}_1 A_0 \bar{B}_1 B_0 + A_1 A_0 B_1 B_0 + A_1 \bar{A}_0 B_1 \bar{B}_0 = \\
 &= (A_1 B_1 + \bar{A}_1 \bar{B}_1) \cdot (A_0 B_0 + \bar{A}_0 \bar{B}_0) = E_1 \cdot E_0 \\
 G = \{A > B\} &= A_1 \bar{B}_1 + \bar{A}_1 A_0 \bar{B}_1 \bar{B}_0 + A_1 A_0 B_1 \bar{B}_0 = A_1 \bar{B}_1 + A_0 \bar{B}_0 \cdot (A_1 B_1 + \bar{A}_1 \bar{B}_1) \\
 &= A_1 \bar{B}_1 + A_0 \bar{B}_0 E_1 = G_1 + G_0 \cdot E_1 \\
 L = \{A < B\} &= \bar{A}_1 B_1 + \bar{A}_1 \bar{A}_0 \bar{B}_1 B_0 + A_1 \bar{A}_0 B_1 B_0 = \bar{A}_1 B_1 + \bar{A}_0 B_0 \cdot (A_1 B_1 + \bar{A}_1 \bar{B}_1) \\
 &= \bar{A}_1 B_1 + \bar{A}_0 B_0 E_1 = L_1 + L_0 \cdot E_1
 \end{aligned}$$

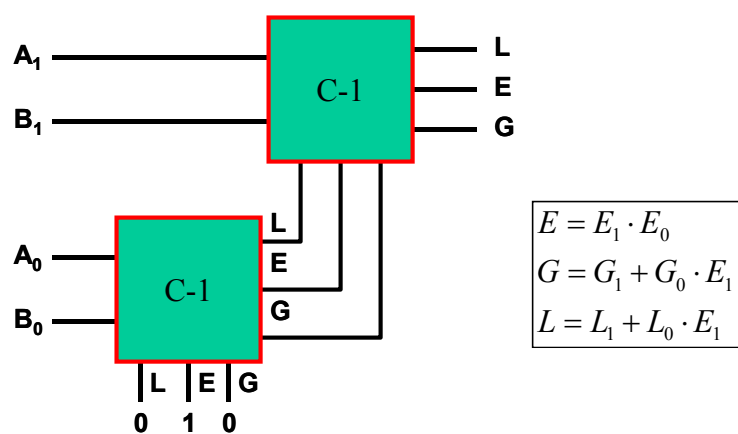
A.S.E.

10.16

Schema di Comparatore a 1 bit con abilitazioni



Schema a 2 bit



Osservazione

- **Blocco base**
 - Comparatore a 1 bit con abilitazioni
- **Comparatore a “n+1” bit**
 - Comparatore a “n” bit più comparatore a 1 bit

A.S.E.

10.19

Generatore di parità

- Si impiega (per esempio) per trasmettere a distanza un dato
- Data una parola a “n” bit
 - Deve fornire un “1” se in numero di uno presenti nella parola è dispari
 - Deve fornire uno “0” se in numero di uno presenti nella parola è pari
- Si invia la parola di “n” + il bit di parità

A.S.E.

10.20

Osservazione

- Per una parola di 4 bit si ha

| | | | | |
|---|-------------------------------|----|----|----|
| P | A ₃ A ₄ | | | |
| | 00 | 01 | 11 | 10 |
| | 00 | 1 | | 1 |
| | 01 | 1 | | 1 |
| | 11 | | 1 | 1 |
| | 10 | 1 | | 1 |

| | | | | |
|---|-------------------------------|----|----|----|
| D | A ₃ A ₄ | | | |
| | 00 | 01 | 11 | 10 |
| | 00 | 1 | | 1 |
| | 01 | | 1 | 1 |
| | 11 | 1 | | 1 |
| | 10 | | 1 | 1 |

$$P = A_3 \oplus A_2 \oplus A_1 \oplus A_0 = (A_3 \oplus A_2) \oplus (A_1 \oplus A_0)$$

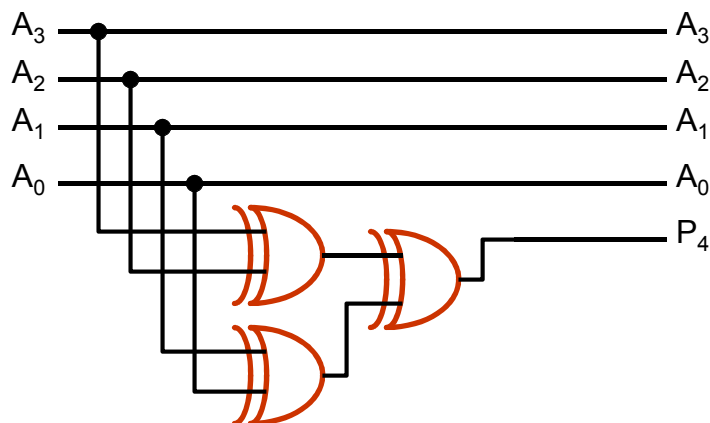
$$D = \overline{A_3 \oplus A_2 \oplus A_1 \oplus A_0}$$

A.S.E.

10.21

Schema

- Per parola di 4 bit



A.S.E.

10.22

Osservazione

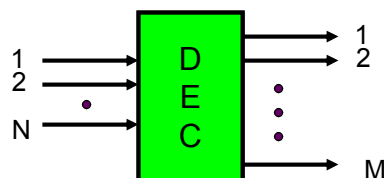
- La verifica di parità in ricezione è eseguita con una rete equivalente a quella di generazione
- Data una parola di “n” bit
 - Il Generatore di parità necessita di n-1 XOR
 - Il Verificatore di parità necessita di n XOR

A.S.E.

10.23

Decodificatori (Decoders)

- Rete combinatoria che converte l'informazione codificata in una forma “più appropriata”
- Esempi
 - Decodificatore BCD – Sette Segmenti
 - Decodificatore $n - 2^n$
- In generale un decodificatore è una rete combinatoria con “N” ingressi e “M” uscite con $M > N$



A.S.E.

10.24

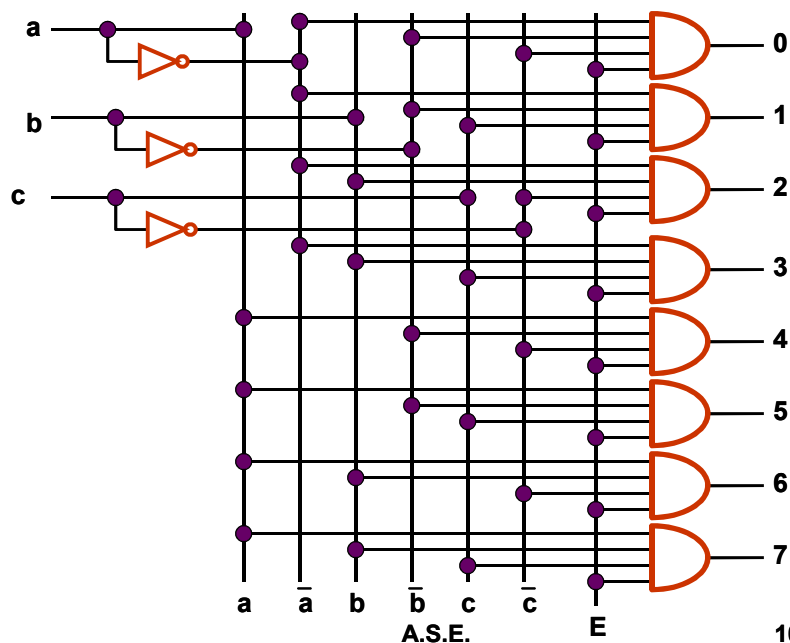
Decodificatore 3 a 8 con Abilitazione

| E | a | b | c | 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | |
|---|---|---|---|---|---|---|---|---|---|---|---|-------------------------------|
| 0 | x | x | x | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | |
| 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | \bar{a} \bar{b} \bar{c} |
| 1 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | \bar{a} \bar{b} c |
| 1 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | \bar{a} b \bar{c} |
| 1 | 0 | 1 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | \bar{a} b c |
| 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | a \bar{b} \bar{c} |
| 1 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | a \bar{b} c |
| 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | a b \bar{c} |
| 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | a b c |

A.S.E.

10.25

Schema

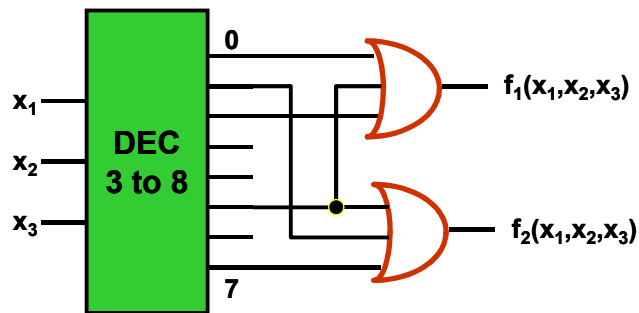


A.S.E.

10.26

Osservazione 1

- Le uscite del Decodificatore sono i mintermini
- È possibile realizzare qualunque funzione nella forma SP

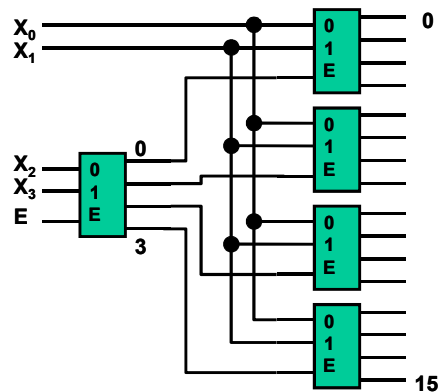


A.S.E.

10.27

Osservazione 2

- Decodificatore 4 a 16 realizzato con decodificatori 2 a 4 con *enable*

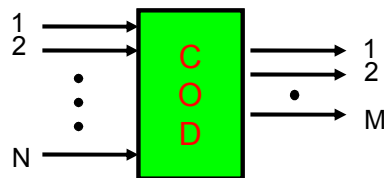


A.S.E.

10.28

Codificatori

- Rete combinatoria che converte l'informazione "in chiaro" in una forma "codificata"
- Esempi
 - Codifica Gray
 - Codifica Decimale BCD
- In generale un codificatore è una rete combinatoria con "N" ingressi e "M" uscite con $M < N$



A.S.E.

10.29

Decimale - BCD

| 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | d | c | b | a |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 |
| 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 |
| 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 |
| 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 |
| 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 |
| 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 0 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 1 | 1 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 1 |

$$a = P_1 + P_3 + P_5 + P_7 + P_9$$

$$b = P_2 + P_3 + P_6 + P_7$$

$$c = P_4 + P_5 + P_6 + P_7$$

$$d = P_8 + P_9$$

A.S.E.

10.30

Codice Gray

- **Proprietà**
 - Lo stato “N” differiscono da quello “N-1” per un solo bit
- **Codice Gray a N bit**
 - C.G. a N-1 preceduto da 0
 - + C. G. a N-1 invertito preceduto da 1
- **Chiamato anche CODICE INVERSO**
- **Viene utilizzato nelle macchine a controllo numerico**

A.S.E.

10.31

Codice GRAY a 4 bit

| | QD | QC | QB | QA | G ₃ | G ₂ | G ₁ | G ₀ |
|---|----|----|----|----|----------------|----------------|----------------|----------------|
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 |
| 2 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 1 |
| 3 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 0 |
| 4 | 0 | 1 | 0 | 0 | 0 | 1 | 1 | 0 |
| 5 | 0 | 1 | 0 | 1 | 0 | 1 | 1 | 1 |
| 6 | 0 | 1 | 1 | 0 | 0 | 1 | 0 | 1 |
| 7 | 0 | 1 | 1 | 1 | 0 | 1 | 0 | 0 |
| 8 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | 0 |
| 9 | 1 | 0 | 0 | 1 | 1 | 1 | 0 | 1 |
| A | 1 | 0 | 1 | 0 | 1 | 1 | 1 | 1 |
| B | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 0 |
| C | 1 | 1 | 0 | 0 | 1 | 0 | 1 | 0 |
| D | 1 | 1 | 0 | 1 | 1 | 0 | 1 | 1 |
| E | 1 | 1 | 1 | 0 | 1 | 0 | 0 | 1 |
| F | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 |

A.S.E.

10.32

Tabelle di Verità

| G ₃ BA | | 00 | 01 | 11 | 10 |
|-------------------|----|----|----|----|----|
| D C | 00 | | | | |
| | 01 | | | | |
| | 11 | 1 | 1 | 1 | 1 |
| | 10 | 1 | 1 | 1 | 1 |

| G ₂ BA | | 00 | 01 | 11 | 10 |
|-------------------|----|----|----|----|----|
| D C | 00 | | | | |
| | 01 | 1 | 1 | 1 | 1 |
| | 11 | | | | |
| | 10 | 1 | 1 | 1 | 1 |

| G ₁ BA | | 00 | 01 | 11 | 10 |
|-------------------|----|----|----|----|----|
| D C | 00 | | | 1 | 1 |
| | 01 | 1 | 1 | | |
| | 11 | 1 | 1 | | |
| | 10 | | | 1 | 1 |

| G ₀ BA | | 00 | 01 | 11 | 10 |
|-------------------|----|----|----|----|----|
| D C | 00 | | 1 | | 1 |
| | 01 | | 1 | | 1 |
| | 11 | | 1 | | 1 |
| | 10 | | 1 | | 1 |

$$G_0 = A \cdot \bar{B} + \bar{A} \cdot B = A \oplus B \quad G_1 = B \cdot \bar{C} + \bar{B} \cdot C = B \oplus C$$

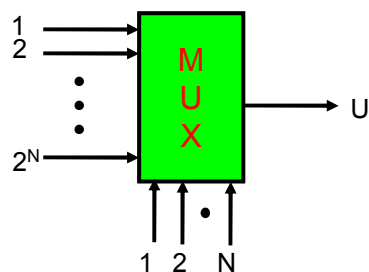
$$G_2 = C \cdot \bar{D} + \bar{C} \cdot D = C \oplus D \quad G_3 = D \quad G_n = Q_n \oplus Q_{n+1}$$

A.S.E.

10.33

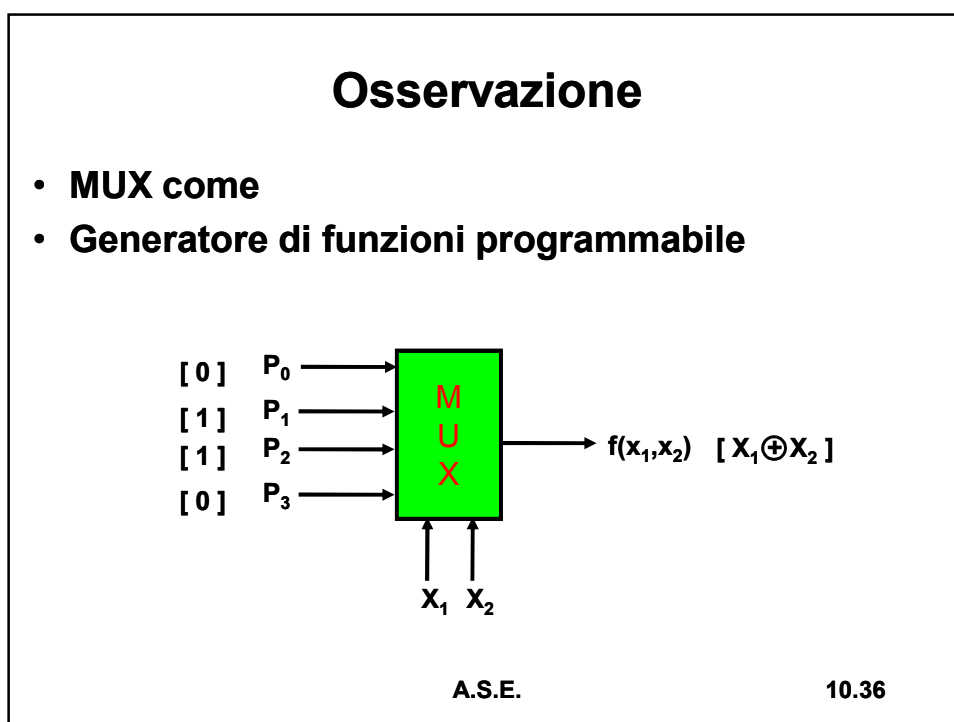
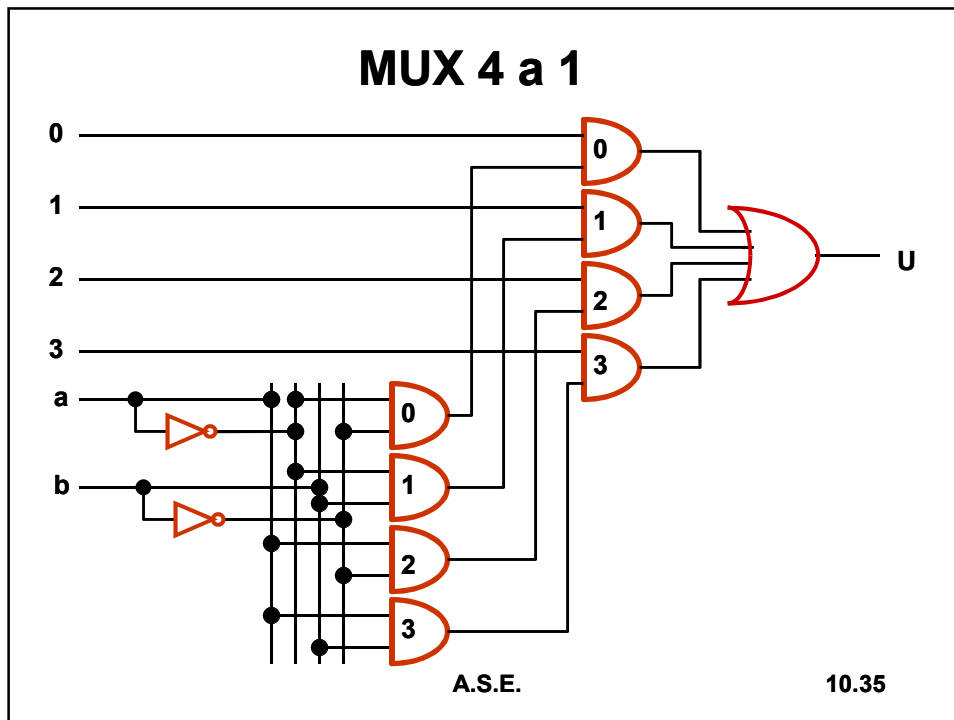
Multiplex

- Rete combinatoria con 2^N ingressi una uscita e N ingressi di controllo
- In uscita viene presentato l'ingresso K, dove K corrisponde al numero decodificato relativo agli N ingressi di controllo



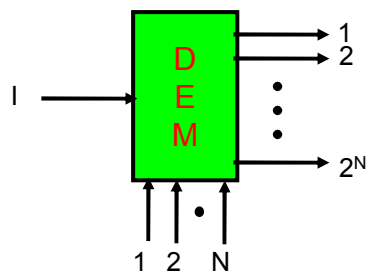
A.S.E.

10.34



Demultilex

- Rete combinatoria con 1 ingresso 2^N uscite e N ingressi di controllo
- L'ingresso viene convogliato sull'uscita K, dove K corrisponde al numero decodificato relativo agli N ingressi di controllo

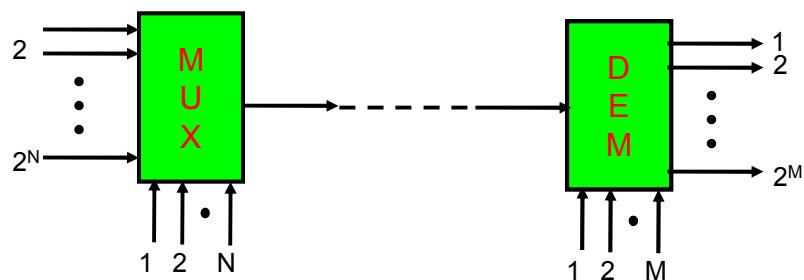


A.S.E.

10.37

Mux -Demux

- Sistema per connettere con un unico canale più utenti

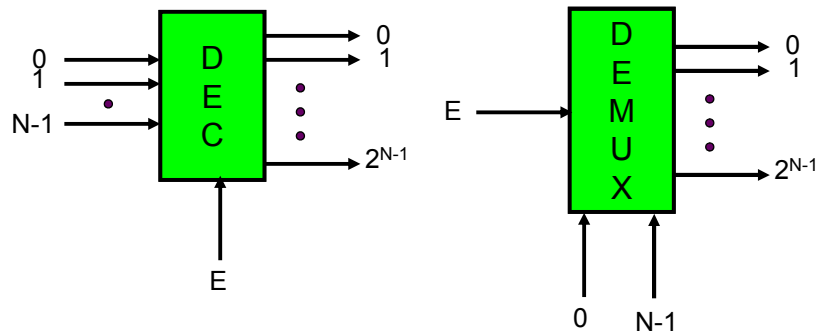


A.S.E.

10.38

Decoder / Demultiplex

- Il Decoder con Enable può essere visto come un Demultiplex

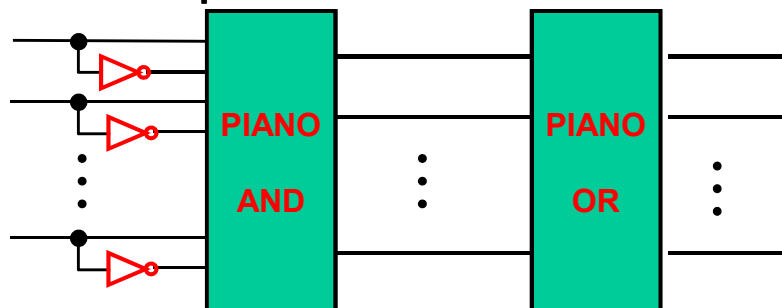


A.S.E.

10.39

Osservazioni

- Qualunque rete combinatoria può essere realizzata con logica a due livelli, nella forma SP
- Prodotti => porte AND
- Somme => porte OR



A.S.E.

10.40

PLD

- **PLD = Programmable Logic Devices**

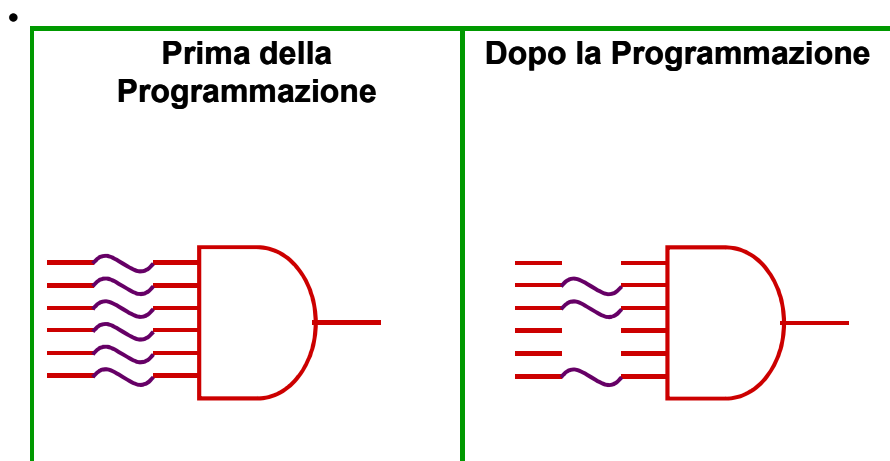
- **Tipi di PLD**

| Dispositivo | Piano AND | Piano OR |
|-------------|---------------|---------------|
| PLA | Programmabile | Programmabile |
| PROM | Fisso | Programmabile |
| PAL | Programmabile | Fisso |

A.S.E.

11.41

Porte AND programmabili



A.S.E.

11.42

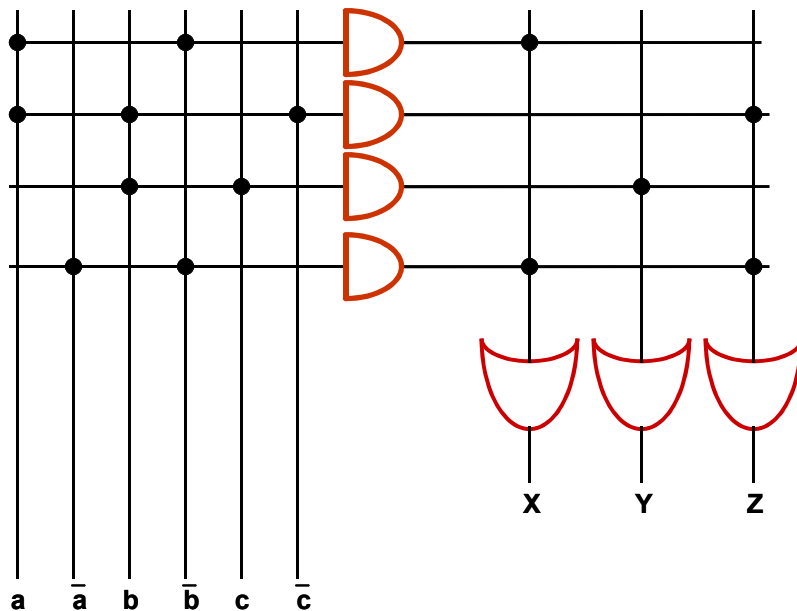
PLA

- **PLA = Programmable Logic Arrays**
- **Tutte le funzioni combinatorie possono essere realizzate come somme di prodotti**
- **AND – OR**
- **Tecnica di progettazione strutturata:**
 - **Piano AND**
 - Realizza i termini di prodotto necessari
 - **Piano OR**
 - Realizza le somme secondo le uscite desiderate
- **In ingresso al piano AND ci sono tutti gli ingressi dritti e negati**

A.S.E.

10.43

Schema



A.S.E.

10.44

PROM

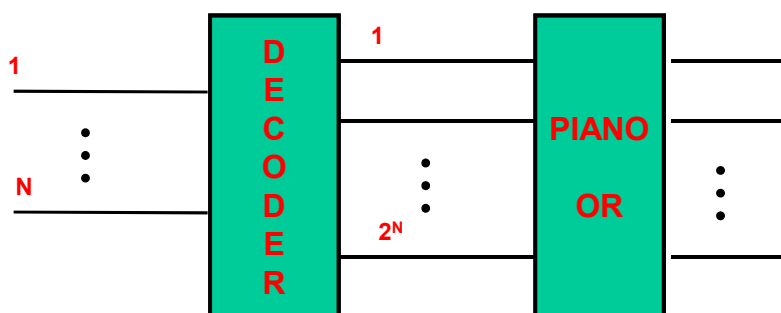
- **PROM = Programmable Read Only Memories**
- **PLA con il piano AND completo**
 - decodificatore $N - 2^N$
- **Ciascuna uscita del piano AND abilita una particolare configurazione delle uscite**
- **Con una PROM con N ingressi e Word di M bit si può realizzare qualunque funzione di N ingressi e M uscite**

A.S.E.

10.45

Architettura di una PROM

- **Piano AND sostituito dal Decoder $N - 2^N$**



A.S.E.

10.46

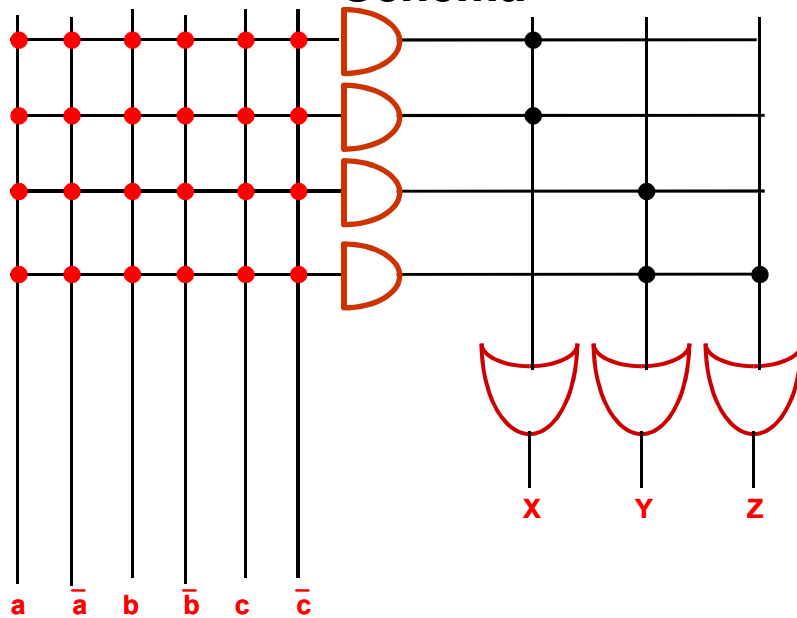
PAL

- PAL = Programmable Array (schiera) Logic
- Numero di mintermini minore di 2^N
- Piano AND programmabile
- Piano OR Fisso

A.S.E.

10.47

Schema

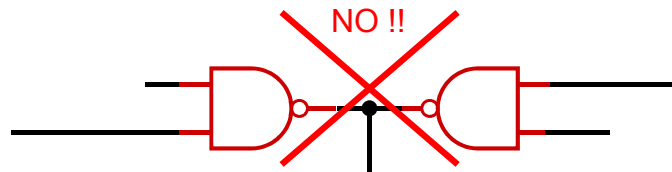


A.S.E.

10.48

CONFLITTO

- **ATTENZIONE !!!**
- **Non è possibile collegare insieme due uscite**



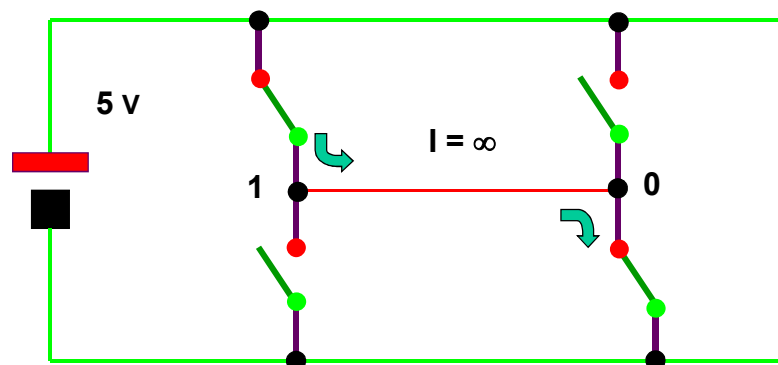
- **Elettricamente si ha un CORTOCIRCUITO**
- **Logicamente non risulta definito il valore**
 - (almeno in alcuni casi)

A.S.E.

10.49

Esempio

- **Conflitto elettrico**



A.S.E.

10.50

Uscita TRI - STATE

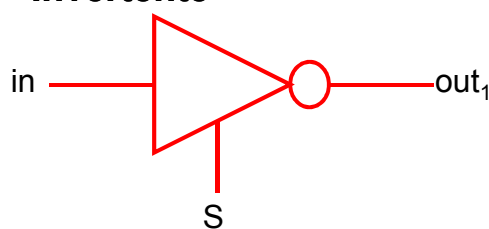
- Si introduce un novo stato logico
- **ALTA IMPEDENZA "Z"**
- Più uscite Tri – State possono essere connesse in parallelo
- Si deve garantire che logicamente sia possibile abilitarne solo una alla volta

A.S.E.

10.51

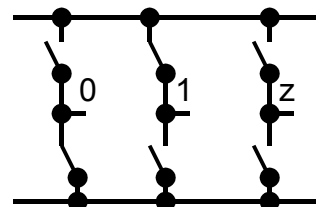
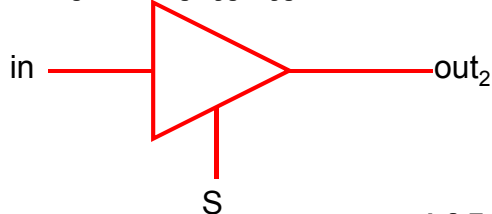
Buffer Tri - State

- **Invertente**



| S | in | out ₁ | out ₂ |
|---|----|------------------|------------------|
| 0 | 0 | Z | Z |
| 0 | 1 | Z | Z |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 1 |

- **Non invertente**

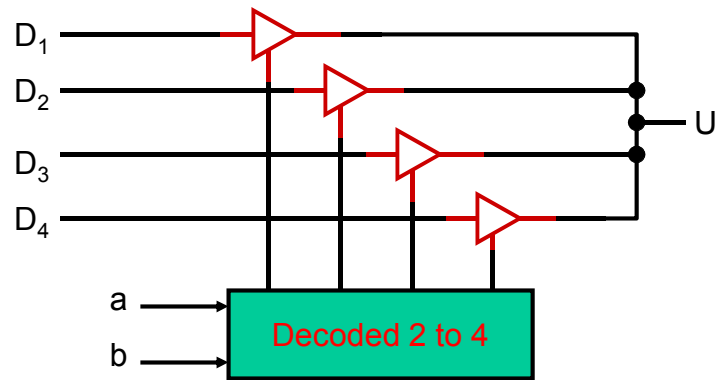


A.S.E.

10.52

Esempio MUX

- Multiplex 4 a 1

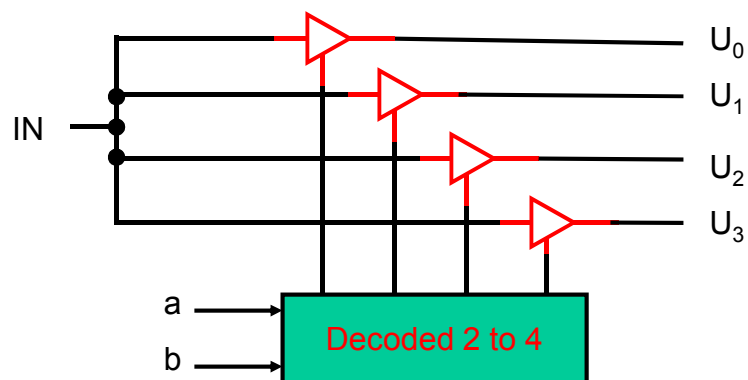


A.S.E.

10.53

Esempio DEMUX

- Demultiplex 1 a 4



A.S.E.

10.54

Conclusioni

- **Sommatori veloci**
- **Reti combinatorie frequenti**
 - Comparatori
 - Generatore/verificatore di parità
 - Decodificatore
 - Codificatore
 - Multiplex
- **Tecniche strutturate di realizzazione di reti combinatorie**
 - PLD
 - PLA PROM PAL
- **Porte Tri-State**

A.S.E.

10.55