

Architetture dei sistemi Elettronici

13. Reti sequenziali asincrone

Roberto Roncella



Reti sequenziali asincrone

Un approccio strutturato

(9.1-9.3)

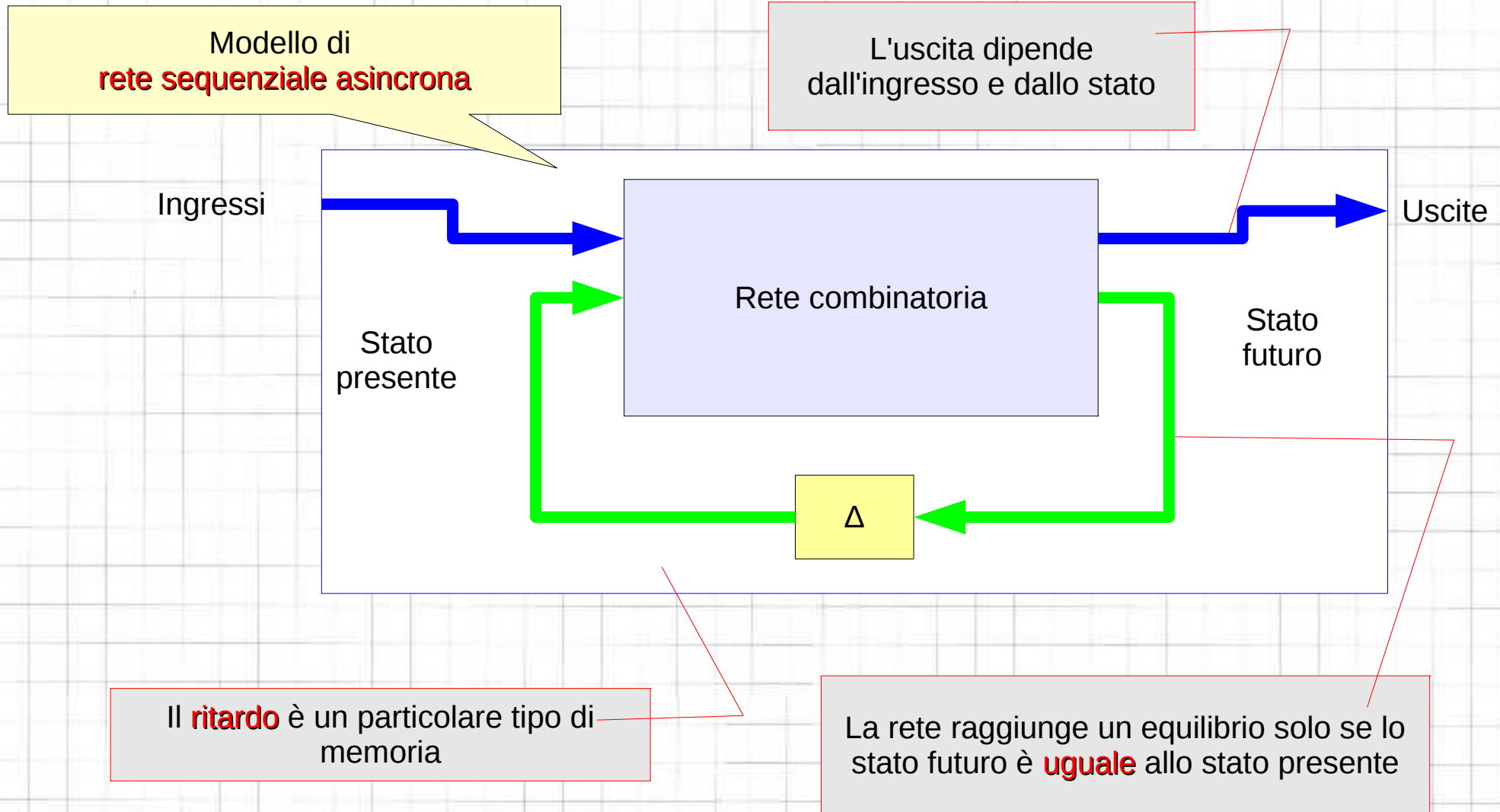
Modelli di reti sequenziali asincrone

Descrizione col diagramma degli stati

Requisiti per la rete che valuta lo stato futuro

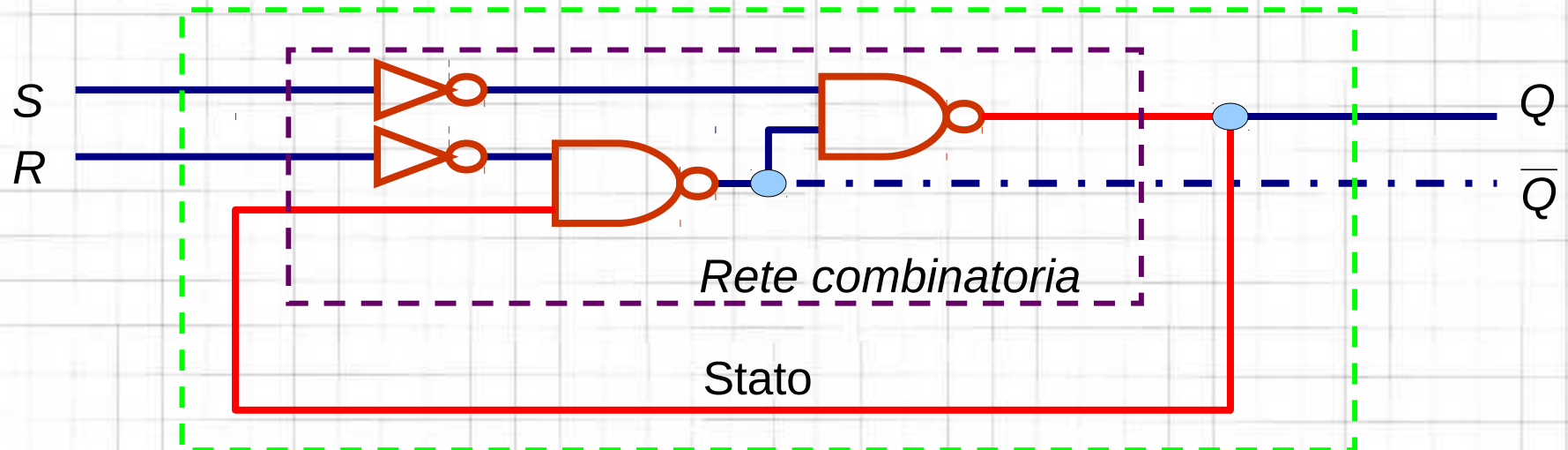
Glitch e alee statiche

Reti sequenziali asincrone



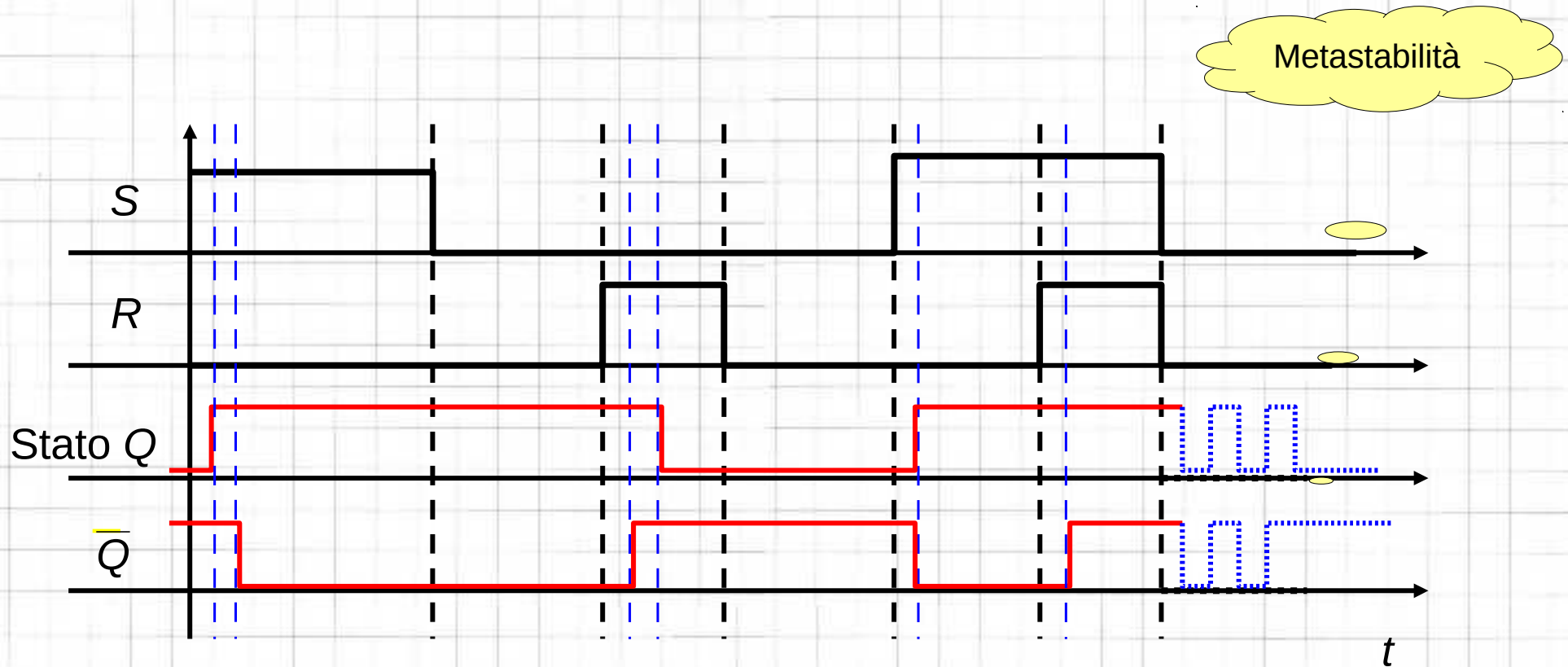
Variabili di stato

- La capacità di “memorizzazione” è legata agli anelli di richiusura interni
 - Variabili di stato
 - Tante quante sono i loop di **richiusura** k
 - Stati interni 2^k

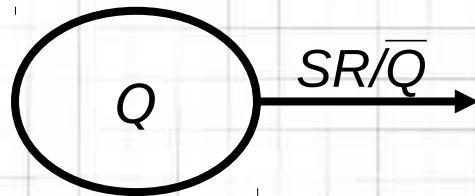


Forme d'onda

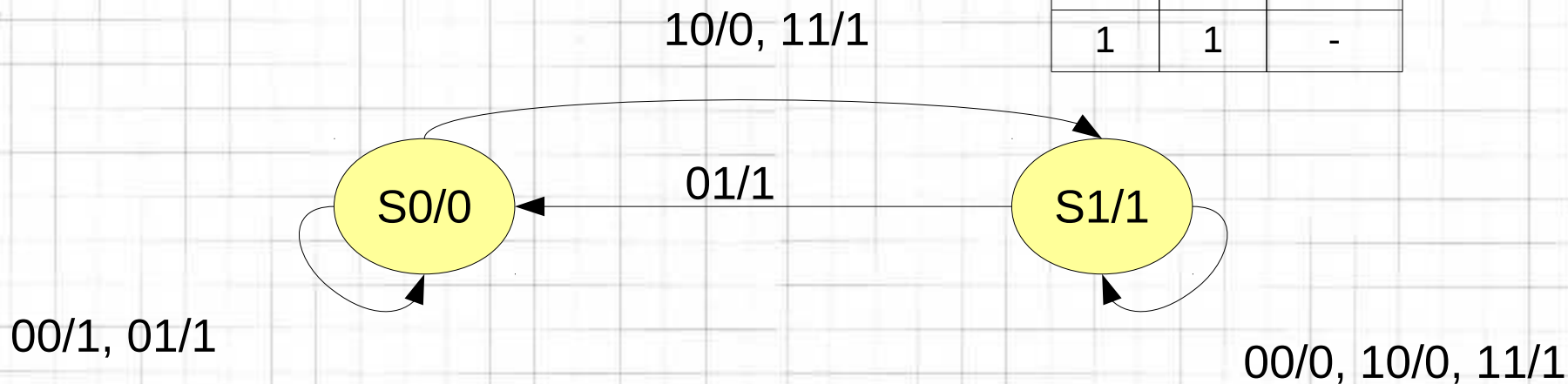
- Si riportano sia gli ingressi, sia le uscite, che gli stati interni



Grafo degli stati



S	R	Q
0	0	Q
0	1	0
1	0	1
1	1	-



Gli archi che si richiudono sullo stesso stato da dove partono indicano uno stato stabile di memorizzazione

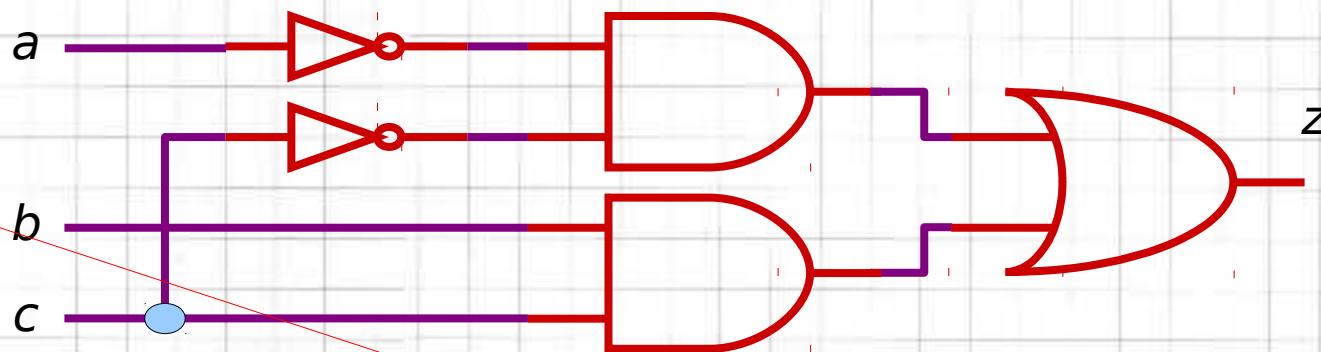
Requisiti della rete combinatoria

- La rete che calcola lo stato futuro **non deve avere transizioni multiple** in ingresso
 - Deve cambiare un ingresso alla volta
 - Lo stato futuro non deve differire dallo stato presente per più di un bit
 - Cambia un ingresso quindi cambia lo stato
 - La rete è nuovamente stabile
- Le **transizioni** delle variabili di stato devono essere “**pulite**”
 - La rete che calcola lo stato futuro deve passare da uno stato al successivo senza assumere altri valori
 - Lo stato successivo è identico a se stesso se stabile
 - Se è diverso, lo è per un unico bit

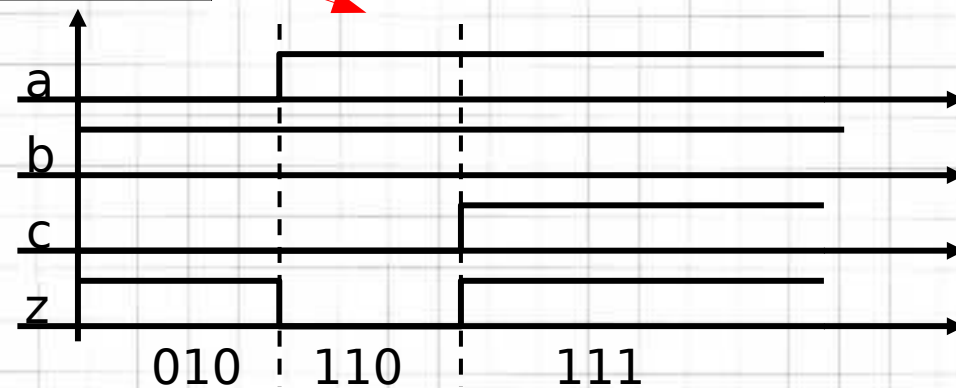
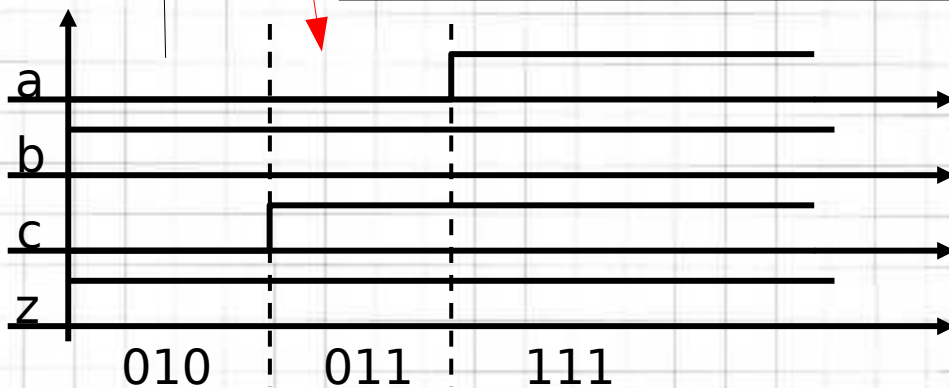
Transizioni multiple in ingresso

		ab			
		00	01	11	10
c	0	1	1	0	0
	1	0	1	1	0

Possono dare luogo a *glitch*



Transizione 010 → 111



Alea statiche

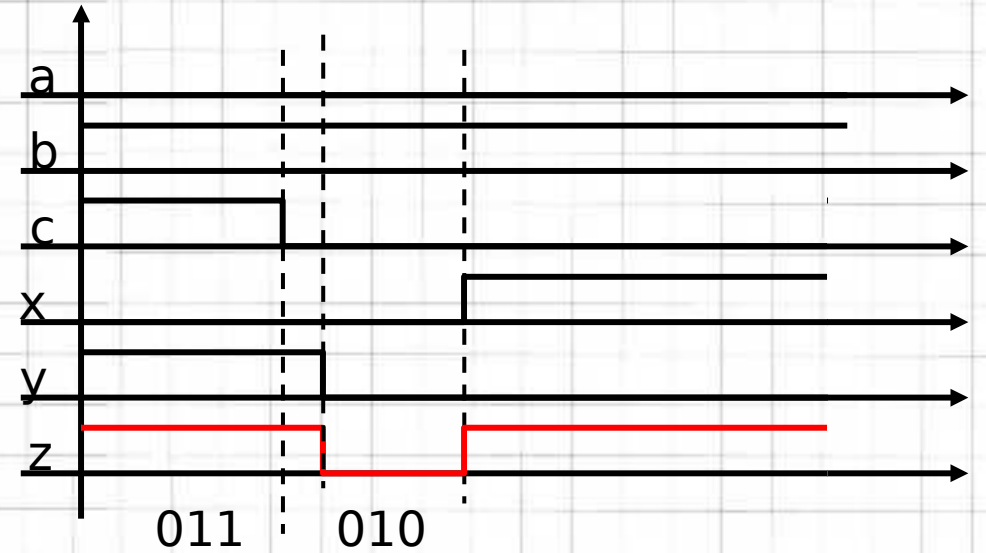
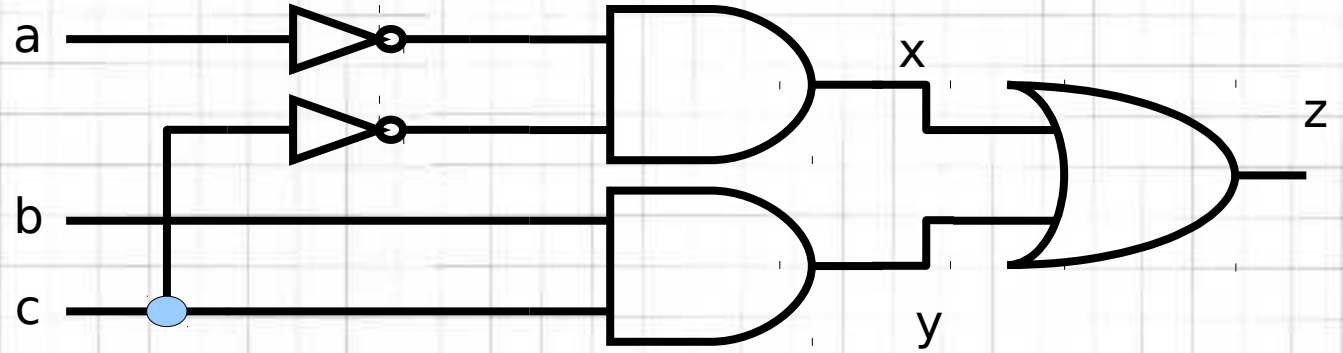
→

	ab			
c	00	01	11	10
0	1	1	0	0
1	0	1	1	0

011 → 010

→

Alea statica di "1"



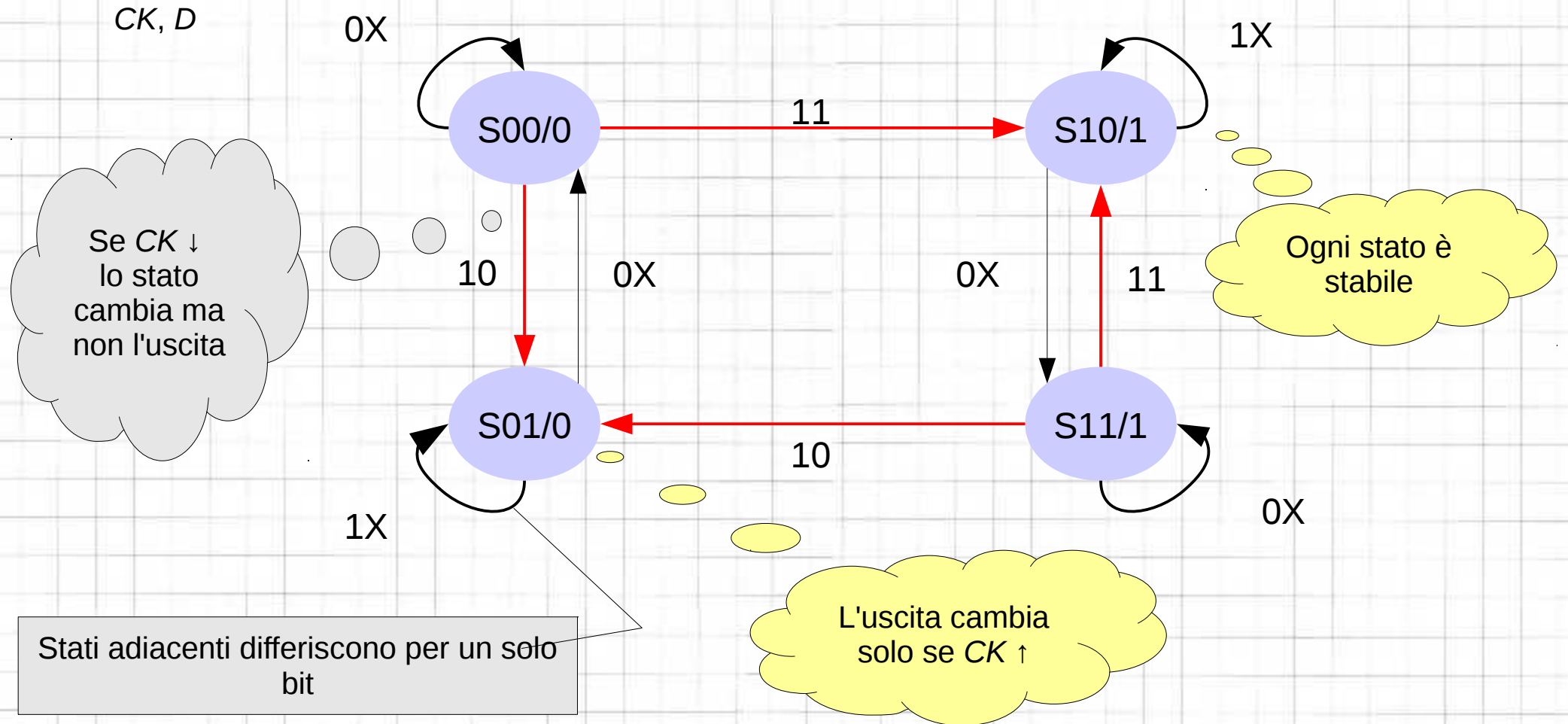
Come evitare le alee statiche

- Prodotte da transizioni tra caselle adiacenti nella mappa di Karnaugh
 - Entrambe a 1 (oppure 0)
 - Non coperte da uno stesso implicante (implicato)
- Rimedio
 - Tutti gli 1 (oppure 0) adiacenti devono essere coperti da uno stesso implicante
 - Si rinuncia alla sintesi ottima

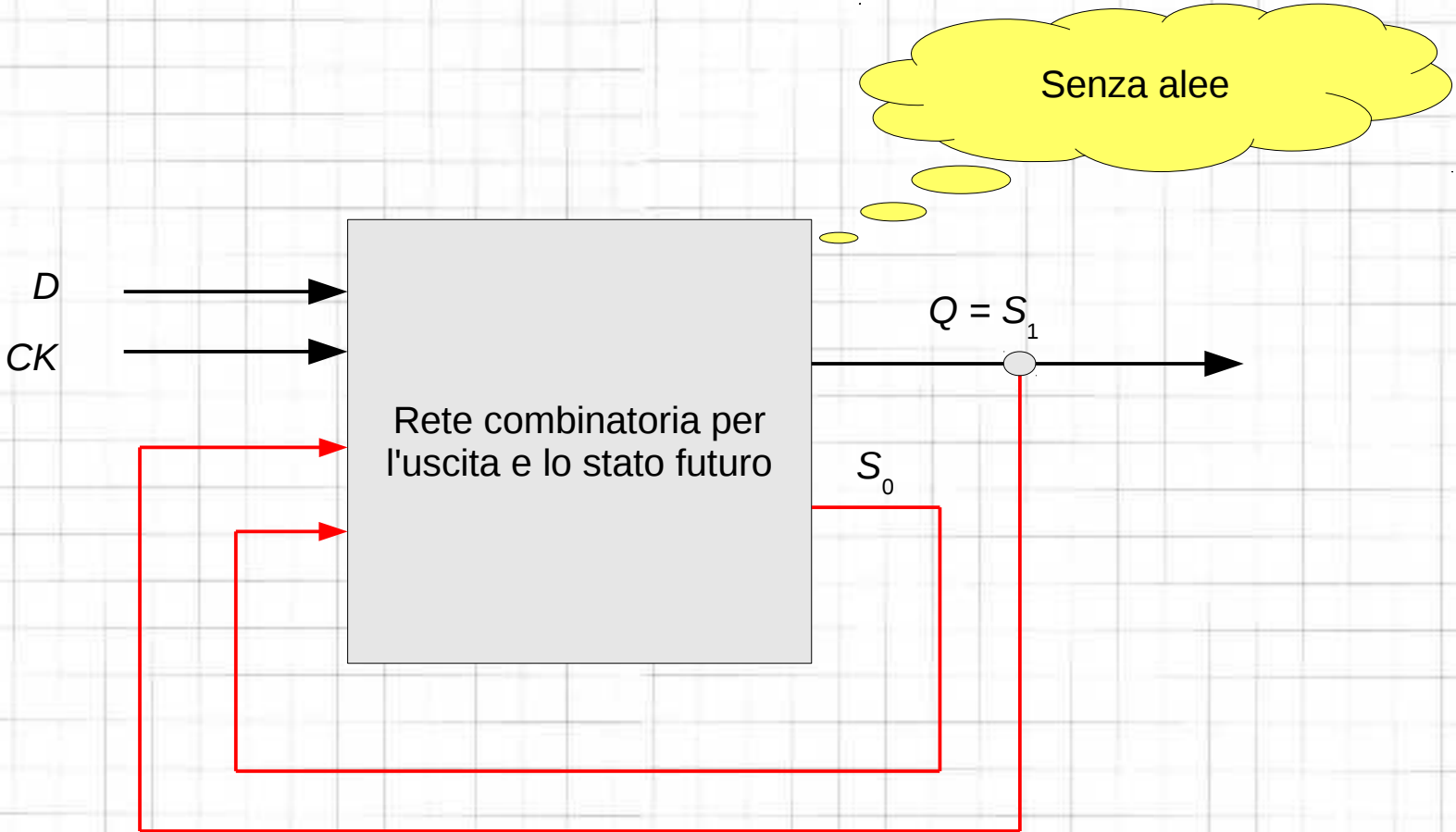
D-FF come rete asincrona

- Come esempio, proviamo a descrivere e realizzare un flip-flop *D* edge triggered come rete asincrona
 - Due ingressi: *D* e *CK*
 - Una uscita: *Q*
- Procedura
 - Grafo degli stati
 - Codifica degli stati secondo il requisito della **variazione di un unico bit**
 - Sintesi della rete combinatoria **senza alee**

Descrizione formale



Architettura



Sintesi formale

		CK, D			
		00	01	11	10
SXY	00	00	00	10	01
	01	00	00	01	01
	11	11	11	10	01
	10	11	11	10	10

		Ck, D			
		00	01	11	10
S ₀	00	0	0	0	1
	01	0	0	1	1
	11	1	1	0	1
	10	1	1	0	0

		Ck, D			
		00	01	11	10
S ₁	00	0	0	1	0
	01	0	0	0	0
	11	1	1	1	0
	10	1	1	1	1

Contro le alee

$$S_0' = S_1 \overline{Ck} + S_1 S_0 \overline{D} + S_0 Ck \overline{D} + \overline{S_1} Ck \overline{D} + \overline{S_1} S_0 Ck$$

$$S_1' = S_1 \overline{Ck} + S_1 D + S_1 \overline{S_0} + \overline{S_0} Ck D$$